

Fundamentos para la paralelización de IGBTs

A. Matallana, J. Andreu, E. Planas, J. I. Garate, D. Cabezuelo
 Universidad del País Vasco/Euskal Herriko Unibertsitatea (UPV/EHU)
 e-mail: asier.matallana@ehu.es
 http://det.bi.ehu.es/~apert

Resumen—Las aplicaciones de electrónica de potencia requieren cada vez mayores rangos de tensión y corriente que no pueden ser alcanzados a través de dispositivos discretos. Por este motivo, surge la necesidad de realizar diseños paralelizados. Los IGBTs son unos de los semiconductores de electrónica de potencia más empleados en el mercado y para realizar la paralelización de estos, ya sea en el formato de dispositivos discretos, *dies*, celdas individuales o módulos de potencia, es necesario conocer el comportamiento estático y dinámico de los dispositivos. Además, es muy importante estudiar la influencia de los diversos parámetros del semiconductor, el circuito de *driver* y el *layout* de potencia, así como las distintas inductancias parásitas que aparecen en el diseño. Todo esto teniendo en cuenta la variación de la temperatura en los parámetros, componentes y circuitos que componen el sistema paralelizado.

Palabras Clave—Paralelización, IGBT, *driver*, *layout*, equilibrio, inductancia parásita (L_{σ}), temperatura de unión (T_j), comportamiento estático, comportamiento dinámico.

I. INTRODUCCIÓN

Hoy en día, las aplicaciones de electrónica de potencia requieren altos rangos de corrientes y tensiones. Dichos rangos se encuentran, a veces, fuera de los márgenes máximos en los que trabajan tanto los dispositivos discretos como los módulos de potencia. Para solventar dicho problema se recurre a diseños paralelizados.

El objetivo principal de la paralelización es aumentar la capacidad de corriente y, por lo tanto, de potencia, a la que puede trabajar el convertidor. Para llegar a dicho objetivo, la corriente deberá estar equilibrada, es decir, la corriente total se debe distribuir de forma igual por cada dispositivo o módulo paralelizado, tal y como se puede ver en el ejemplo de la figura 1. Evidentemente, siempre existirá un desequilibrio en los niveles de corriente, pero se debe conseguir que sea el menor posible. El caso expuesto en la figura 1 es ideal ya que existen multitud de factores que interactúan entre sí provocando el desequilibrio de la corriente. Por ejemplo:

- Diferencia entre los parámetros que caracterizan cada dispositivo o módulo a paralelizar [1]–[3].
- Diseño del circuito de *driver*, analizando el comportamiento de la impedancia de compuerta (Z_g), así como las diversas estrategias de control de compuerta compartida o individual [4]–[8].
- Diseño del *layout* del circuito de potencia, estudiando los efectos de las inductancias parásitas, sobre todo, la inductancia de emisor [8]–[10].
- Diferencias en el circuito térmico de cada semiconductor.

Todo esto se traduce en que por cada semiconductor paralelizado circula una corriente distinta, efecto que se deberá minimizar para mejorar el comportamiento del convertidor. En el presente artículo se abordan los aspectos más relevantes de la paralelización a través del análisis de las distintas características y fenómenos que influyen en la corriente durante el estado de conducción y las transiciones de encendido a

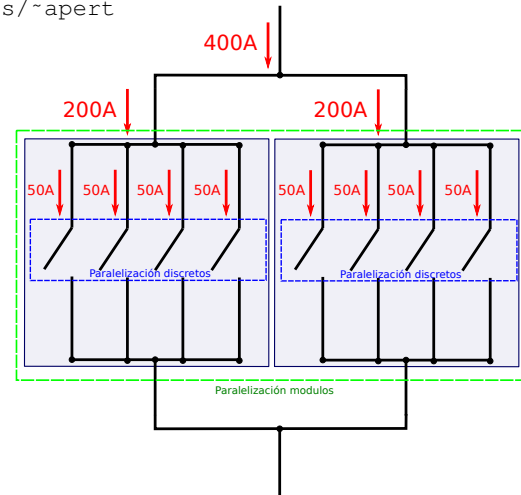


Fig. 1. Equilibrio ideal de corrientes en paralelización discreta y modular.

apagado, y viceversa. El diseño del *driver*, estudiando los efectos de las inductancias parásitas en la compuerta. Y, por último, el *layout*, analizando como influyen los efectos parásitos en el circuito de potencia.

II. COMPORTAMIENTO ESTÁTICO

El régimen estático comprende tanto el estado de conducción como el de corte del semiconductor, siendo este último irrelevante para la paralelización [1]. Los principales parámetros estáticos a ser vigilados son [2]:

- $V_{CE(sat)}$, tensión de saturación colector - emisor. El cual, a su vez, depende de la temperatura de la unión (T_j).
- $V_{GE(th)}$, voltaje umbral de compuerta. Es importante indicar la variación con T_j .
- V_{GE} , voltaje de compuerta.

La variación de cualquiera de estos parámetros implica un cambio de la corriente (I_c) que circula por el IGBT o módulo. Dicha variación se produce por el cambio de temperatura del semiconductor que afecta tanto a la corriente I_c como a la tensión umbral $V_{GE(th)}$. Vista la importancia de la temperatura (T_j) se va a analizar la influencia de ésta sobre la tensión umbral $V_{GE(th)}$ y la tensión $V_{CE(sat)}$, así como los conceptos para reducir los desequilibrios de corriente que se producen por la variación de los parámetros anteriores.

A. Influencia de la temperatura sobre los parámetros eléctricos del semiconductor

Los parámetros de tensión de saturación $V_{CE(sat)}$ y tensión de compuerta V_{GE} , así como la tensión umbral $V_{GE(th)}$, son los más importantes para encontrar el equilibrio de los dispositivos conectados en paralelo en estado de conducción. En este sentido, es importante conocer la influencia que tiene la temperatura sobre ellos.

La expresión (1) indica la tensión umbral $V_{GE(th)}$ según la función de Fermi (Φ_{FB}), parámetro que describe el nivel de

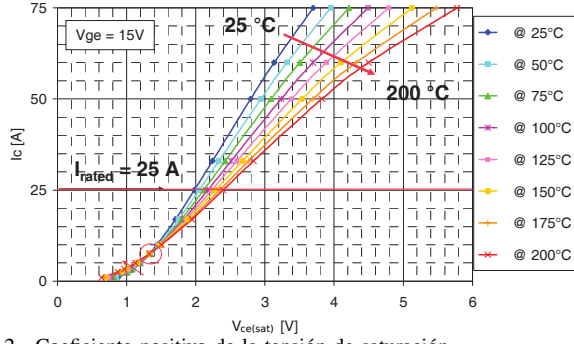


Fig. 2. Coeficiente positivo de la tensión de saturación.

energía y que es proporcional a la temperatura de unión (T_j) [2]:

$$V_{GE(th)} = -V_{ms} - \frac{Q_{SS}}{C_{OX}} + 2\Phi_{FB} + \frac{\sqrt{2\varepsilon_0\varepsilon_{si}N_{Amax}(2\Phi_{FB})}}{C_{OX}}; \quad (1)$$

donde V_{ms} es la tensión metal-semiconductor, Q_{SS} la carga extrínseca de los estados de energía, C_{OX} la capacidad de óxido de compuerta, $\varepsilon_0\varepsilon_{si}$ la permitividad del material y N_{Amax} la concentración máxima de los portadores en el material. $V_{GE(th)}$ decrece cuando aumenta la T_j , es decir, presenta un coeficiente negativo respecto a la temperatura [2].

Por otro lado, el voltaje de saturación colector - emisor ($V_{CE(sat)}$) se puede expresar como [2]:

$$V_{CE(sat)} = I_C \cdot R_{ch} = \frac{I_C \cdot l}{z\mu_{ns}C_{OX}(V_{GE} - V_{GE(th)})}; \quad (2)$$

donde R_{ch} es la resistencia del canal, l la longitud del canal, z la anchura del canal en dirección perpendicular al canal y μ_{ns} la movilidad de los portadores en el canal. El parámetro μ_{ns} tiene un comportamiento decreciente con T_j [2]. Teniendo en cuenta que el voltaje aplicado durante el proceso de encendido (V_{GE}) suele ser mayor que el voltaje umbral de compuerta $V_{GE(th)}$, $V_{CE(sat)}$ es una función con un comportamiento creciente con T_j . A la hora de realizar la paralelización se persigue disponer de un coeficiente de temperatura positivo para la tensión $V_{CE(sat)}$, ya que facilita la paralelización debido a que la corriente compartida se autoequilibra, reduciendo la corriente del dispositivo más caliente (figura 2) [11].

B. Equilibrado de corriente en estado de conducción

Para conseguir que un convertidor de potencia con IGBTs paralelizados se encuentre equilibrado es necesario tener en cuenta la curva característica para que todos los IGBTs proporcionen una corriente aproximadamente igual. La curva característica $V_{CE(sat)}$ frente I_C depende de la temperatura de la unión del dispositivo (T_j).

Al realizar la paralelización, todos los dispositivos tienen la misma tensión entre colector - emisor y, por consiguiente, presentan la misma $V_{CE(sat)}$, pero para conseguir que se encuentren equilibrados se debe:

- 1) La curva característica de salida $V_{CE(sat)}$ frente I_C de todos los dispositivos debe ser lo más similar posible en todos rangos de temperatura de unión, presentando el mismo comportamiento de coeficiente de temperatura y, a poder ser, que sea positivo. Para conseguir esto, los IGBTs deben pertenecer al mismo fabricante, modelo y lote (mismo *code bar*). No obstante, aunque cumplan los

requisitos de fecha y lote, los fabricantes no garantizan que los *dies* sean de la misma oblea. De todos modos, la curva característica será prácticamente igual y presentará el mismo comportamiento frente a la temperatura.

- 2) Los dispositivos que componen el conjunto paralelizado deben presentar el mismo comportamiento térmico, o ser lo más similar posible. Esto se traduce en lograr que en todo el rango de temperaturas de operación los IGBTs presenten una diferencia térmica entre dispositivos prácticamente nula (3) [3], [12].

$$|\Delta T_{jxy}| \simeq 0^\circ C; \quad (3)$$

Para ello, se debe realizar el correcto diseño del circuito de refrigeración térmico, cada semiconductor debe ver la misma resistencia e impedancias térmicas transitorias, de manera que el calor se distribuya forma homogénea.

Si se cumplen los dos requisitos, igualando o aproximando la temperatura de los dispositivos paralelizados se consigue trabajar en la misma curva característica, consiguiendo que el desequilibrio de corriente sea prácticamente nulo (4) [3], [13].

$$|\Delta I_{cxy}| \simeq 0 V; \quad (4)$$

A modo de ejemplo, en la figura 3 se presentan distintos casos de equilibrio o desequilibrio de corriente según las condiciones anteriores. En las figuras 3(a) y 3(b) se puede observar como una diferencia sustancial entre las curvas características, con independencia de la temperatura, puede generar una gran diferencia de corriente en los dispositivos. Por otro lado, se puede comprobar como en las figuras 3(c) y 3(d), en dispositivos con misma curva característica (a distintas temperaturas), si no se consigue que ambos trabajen a la misma temperatura el desequilibrio de corriente puede ser muy elevado con el posible fallo del IGBT más caliente.

III. COMPORTAMIENTO DINÁMICO

Durante el proceso de encendido y apagado de los IGBTs se pueden producir diversos efectos que producen desequilibrios en las corrientes. Este efecto cada vez es más importante ya que las frecuencias de conmutación son mayores. Los parámetros dinámicos más importantes a tener en cuenta son [2], [14]:

- $t_{d(on)}$, retardo del proceso de encendido: desde el 10% de la tensión V_{GE} hasta el 10% de I_C .
- t_r , tiempo de subida: desde el 10% al 90% de I_C .
- $t_{d(off)}$, retardo del proceso de apagado: desde el 90% de la tensión V_{GE} hasta el 90% de I_C .
- t_f , tiempo de caída: desde el 90% al 10% de I_C .

La variación de la temperatura se traduce en una variación de los tiempos de conmutación, lo que produce una variación de las pérdidas de conmutación. Éstas, a su vez, hacen que la temperatura de la unión del dispositivo cambie. Al variar la temperatura cambiará el punto de operación y, por lo tanto, la corriente del dispositivo, pudiendo originar un desequilibrio.

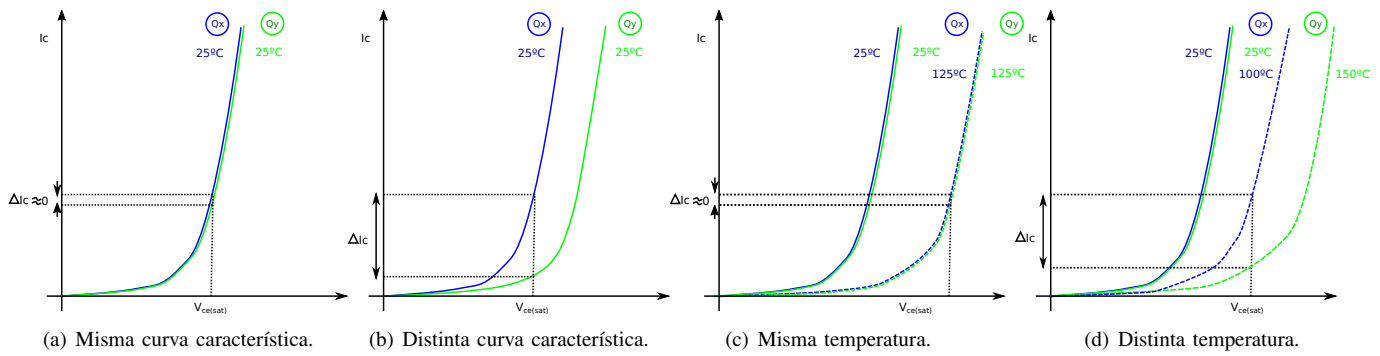
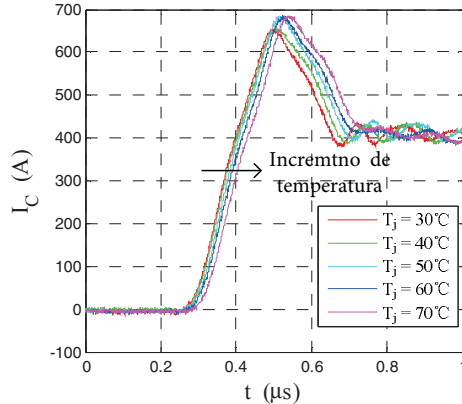
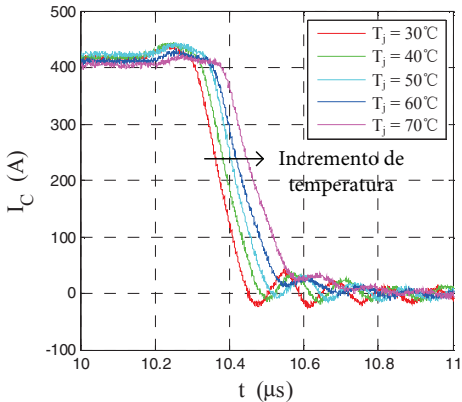


Fig. 3. ΔI_c entre dos IGBTs según las curvas características y la T_j .



(a) Proceso de encendido.



(b) Proceso de apagado.

Fig. 4. Variación de los transitorios según la temperatura.

A. Influencia de la temperatura sobre los tiempos de conmutación

La temperatura juega un papel importante en los desequilibrios que se pueden producir durante la conmutación, ya que ésta influye sobre muchos parámetros que intervienen en este régimen de operación. En este sentido, se pueden producir diferencias en el voltaje umbral de activación de los IGBTs ($V_{GE(th)}$) influyendo en el retardo del encendido ($t_{d(on)}$) y apagado ($t_{d(off)}$) que, de forma indirecta, afecta al equilibrio de la corriente de los IGBTs paralelizados en el transitorio [1]:

$$t_{d(on)} = -\tau_1 \cdot \ln\left(1 - \frac{V_{GE(th)}}{V_{GE}}\right); \quad (5)$$

donde la constante de tiempo τ_1 es:

$$\tau_1 = R_G(C_{GE} + C_{GC}); \quad (6)$$

Según las ecuaciones (5) y (6), se puede demostrar que $t_{d(on)}$, y de forma análoga con $t_{d(off)}$, aumenta con T_j . Ello se constata en las figuras 4(a) y 4(b) [2].

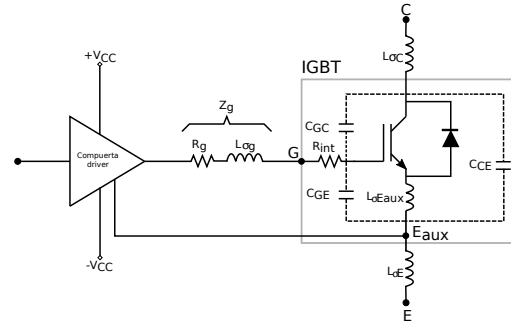


Fig. 5. Circuito de compuerta de driver.

B. Equilibrado de corriente durante la conmutación

Es necesario eliminar los factores que generan desequilibrios térmicos y reducir, así, la diferencia de temperatura $\Delta T_{j_{xy}}$ durante el proceso de apagado. Una forma de reducir dicha variación de temperatura es a través del diseño del layout [15] y diseño térmico. Teniendo en cuenta que los parámetros $t_{d(on)}$ y $t_{d(off)}$ aumentan con T_j , si los IGBTs conectados en paralelo operan a diferente temperatura se produce un desequilibrio de corriente debida a la diferencia que se produce en estos retardos [2].

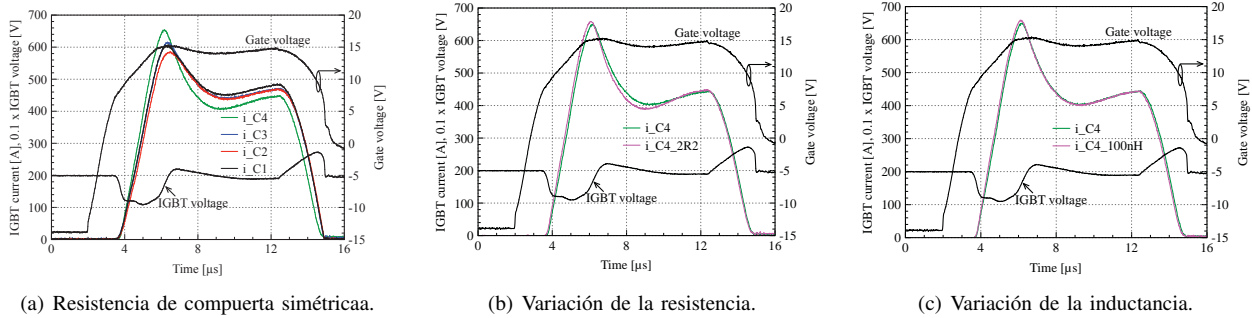
IV. CIRCUITO DE CONTROL: Driver

El diseño de la compuerta del circuito de driver es crucial para el equilibrado de la corriente. Para el driver es muy importante realizar un diseño lo más simétrico posible, ya que las asimetrías se traducen en la no uniformidad de las conmutaciones y, por consiguiente, en un desequilibrio de corriente. Por ello, es necesario tener controlados los valores de resistencia de compuerta (R_g), las inductancias parásitas ($L_{\sigma g}$) que conforman la impedancia de salida del driver (Z_g), y la tensión de compuerta (V_{GE}), ya que tienen una gran influencia en el equilibrio de la corriente (figura 5) [4].

A. Impedancia de compuerta

A la hora de realizar un diseño paralelizado de IGBTs es muy importante tener en cuenta el efecto de la longitud de las pistas entre el driver y los semiconductores de potencia. Tanto el proceso de encendido como el estado de conducción se ven afectados por las características del PCB entre driver y compuerta. En el caso de realizar un diseño con asimetrías aumenta el desequilibrio de corriente, sobre todo durante el proceso de apagado, ya que se producen retardos responsables de las variaciones de corriente, las cuales aumentan las pérdidas [5].

Varias recomendaciones como [6]–[8] indican que para reducir los desequilibrios hay que conectar las compuertas de



(a) Resistencia de compuerta simétrica.

(b) Variación de la resistencia.

(c) Variación de la inductancia.

Fig. 6. Efectos asimétricos provocados sobre la conexión a compuerta.

los dispositivos IGBT paralelizados a una resistencia por cada IGBT y éstas, a su vez, a la misma señal del *driver*.

Debido a la importancia de la conexión entre el *driver* y la compuerta se exponen las consecuencias en el desequilibrio de corriente al variar el valor de la impedancia de compuerta [16] (considerándose dicho trabajo muy representativo en lo que respecta a este análisis). En dicho trabajo se emplean cuatro IGBTs paralelizados sobre los que se estudian los posibles efectos asimétricos:

- 1) Conocido el comportamiento de cada IGBT a paralelizar es necesario el uso de resistencias de compuerta entre los IGBTs y el *driver* para disminuir las desviaciones que existen entre ellos. Controlando los valores de las resistencias y las inductancias parásitas de compuerta se puede determinar la tensión que se aplica a la compuerta del IGBT [16].
- 2) Una vez analizadas las asimetrías naturales que presentan los IGBTs a paralelizar, el estudio [16] introduce elementos artificiales:

- Resistencias de compuerta simétricas: los distintos comportamientos que presentan los dispositivos, tanto en el encendido como en el apagado, están influenciados por leves variaciones en el circuito de control. Dichas variaciones se centran, concretamente, en la resistencia interna ($R_{G,int}$) y las resistencias de compuerta (R_G) [16]. Las diferentes curvas que presentan los IGBTs paralelizados se pueden ver en la figura 6(a). Las diferentes pendientes de encendido y apagado de los IGBTs provocan desequilibrios dinámicos. Dicho desequilibrio está muy relacionado con el voltaje de compuerta, ya que está muy influenciado por el proceso de apagado del IGBT.
- Variación de la resistencia y la inductancia de compuerta: para comprobar el efecto de las asimetrías sobre el IGBT 4, el cual presenta un mayor desequilibrio de corriente debido a sus características, se varía la resistencia e inductancia de compuerta obteniendo los resultados de las figuras 6(b) y 6(c) [16]. En la figura 6(b) se aprecia que reducir la resistencia de compuerta provoca una di_c/dt más rápida y, por lo tanto, un mayor pico de corriente. Sin embargo, se puede ver que el efecto de la asimetría es muy pequeño. En la figura 6(c) se aprecia que reducir la inductancia parásita de compuerta provoca una pequeña desviación respecto al comportamiento de referencia [16].

B. Diseño de compuerta

La paralelización de los IGBTs supone un reto, especialmente desde el punto de vista de la compuerta del *driver*. En muchas ocasiones es muy complicado realizar diseños totalmente simétricos debido a restricciones físicas para diseñar el circuito [11]. A la hora de realizar el diseño de compuerta de los IGBTs existen dos posibles estrategias de diseño:

- Emplear una compuerta común para todos los IGBTs: reduce sustancialmente los diferentes problemas de tiempos de retardo y distintos niveles de voltaje, ya que tienen un gran impacto sobre las características dinámicas del dispositivo IGBT [9]. Sin embargo, el acoplamiento entre la parte de potencia y las señales de control necesita ser optimizado para evitar la problemática de acoplamiento interno entre el *driver* y potencia [11].
- Usar una compuerta independiente para cada IGBT: esta técnica permite evitar efectos de acoplamiento entre los dispositivos paralelizados. Sin embargo, los niveles de tensión de conducción tienen que ser similares para evitar que éstos influyan en la conmutación del IGBT, ya que V_{CE} influye en los retardos y en el punto de operación. Por ello, la señal de compuerta que llega al IGBT tiene que ser igual en todos los dispositivos para evitar problemas de sincronización [11].

Por lo tanto, el escenario de compuerta de *driver* compartida produce menores desajustes de energía que el escenario de compuertas de *driver* independientes [17]. Esto se debe a que el tiempo de la señal de compuerta está determinado por la impedancia de la conexión de la compuerta.

V. CIRCUITO DE POTENCIA: *Layout*

Todos los circuitos, tanto de *driver* como de potencia, con conexiones paralelas deben ser diseñados con las mínimas inductancias parásitas, así como lo más simétrico posible. La necesidad de simetría responde a la necesidad de las pistas del *layout* que forman parte del bus DC [7]. Para conseguir cumplir la simetría en el *layout* se debe:

- La impedancia existente en las conexiones entre cada *die* o semiconductor discreto tiene que ser idéntica para permitir la conducción y conmutación de corriente sin perturbaciones.
- La corriente que fluye a través de los dispositivos paralelizados no debe influir en la impedancia del dispositivo adyacente [11].
- Los valores de las inductancias de lazo, así como, el diseño simétrico de las pistas del *layout* deben ser iguales en toda la circuitería de potencia.

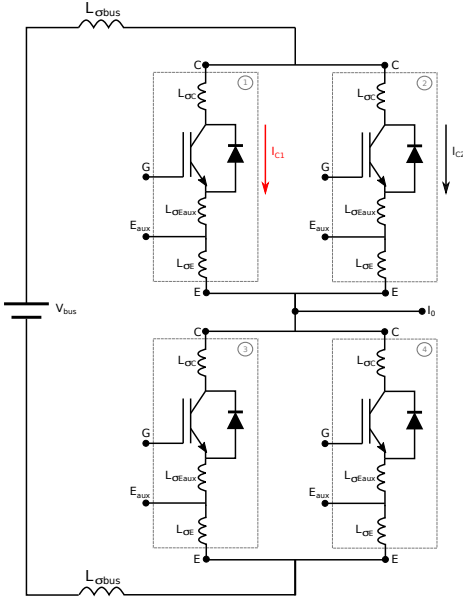


Fig. 7. Circuito con las inductancias parásitas de conmutación.

- Los IGBTs deben colocarse lo más próximos posible para reducir las inductancias parásitas [9].
- Es importante minimizar la variación de temperatura en el circuito, ya produce desequilibrios de corriente [10].
- Es importante analizar los efectos que tiene la inductancia interna de emisor ($L_{E\sigma_{aux}}$), así como el control de la inductancia de emisor ($L_{\sigma E}$) para obtener un bajo valor de impedancia parásita total (L_{σ}).

Dada su importancia, en los siguientes apartados se va a dar una visión global de las inductancias parásitas que existen en el circuito de potencia.

A. Inductancias parásitas

Todos los aspectos del diseño de *layout*, como el diseño del condensador DC, el bus DC, la interconexión mecánica y el módulo de potencia influyen en la impedancia parásita (Z_{σ}) de los IGBTs paralelizados. Concretamente, dentro de dicha impedancia la componente inductiva (L_{σ}) es la que mayor relevancia tiene. La figura 7 muestra las inductancias parásitas presentes en el circuito de conmutación para el caso específico de dos IGBTs paralelizados [4]. Si los valores de inductancia parásita son distintos se generan asimetrías durante la conmutación de los IGBTs provocando desequilibrios de corriente.

La inductancia parásita total (L_{σ}), resultante de todo el circuito de conmutación de los IGBTs, debe ser tenida en consideración a la hora de realizar un diseño equilibrado. Dicha inductancia parásita (9) se puede expresar como la suma de las inductancias externas del circuito, las conexiones de cada IGBT (7) y las inductancias internas de los IGBTs paralelizados (8):

$$L_{\sigma_{ext}} = \sum_n (L_{\sigma C} + L_{\sigma E}); \quad (7)$$

$$L_{\sigma_{int}} = \sum_n L_{\sigma E_{aux}\sigma}; \quad (8)$$

$$L_{\sigma} = L_{\sigma_{ext}} + L_{\sigma_{int}} \quad (9)$$

En el caso de un diseño personalizado, empleando dispositivos discretos o *dies*, se puede controlar todos los valores de inductancia a excepción de la inductancia interna ($L_{\sigma E_{aux}}$) que posee el propio IGBT [7]. A continuación, se exponen los efectos de las inductancias parásitas más determinantes para el equilibrado de corriente que presenta el circuito de conmutación (figura 7) [7]:

- Inductancia del bus DC ($L_{\sigma bus}$): el control de dicha inductancia es fundamental y debe tener el valor más pequeño posible. Esto se aplica tanto a la conexión del condensador del bus, como a la conexión entre el bus DC y el módulo de potencia. En relación con esto, un sistema laminado adaptado al *layout* del convertidor permite conseguir valores reducidos de inductancia (20 - 50 nH) [7].
- Inductancia de emisor ($L_{\sigma E}$): los efectos de dicha inductancia afectan tanto al circuito de potencia como al circuito de *driver*. Debido a la rápida di_c/dt de la corriente, se inducirá una tensión que se sumará o restará a la V_{GE} produciendo un efecto de retroalimentación en el *driver*.

Debido a la importancia que tiene la inductancia de emisor, en las siguientes secciones se va a analizar el comportamiento de inductancia de emisor auxiliar y externa.

B. Inductancia parásita de emisor auxiliar ($L_{\sigma E_{aux}}$)

La inductancia de emisor interna en combinación con las capacidades de los IGBTs generan un lazo cerrado con el *driver* que puede generar fuertes oscilaciones que se pueden propagar entre los IGBTs. Los rápidos cambios en la corriente del emisor durante la conmutación inducirán un voltaje a través de $L_{\sigma E_{aux}}$. Esto puede ser contraproducente ya que puede influir en el proceso de carga de compuerta (retroalimentación negativa) o descarga del proceso (retroalimentación positiva), siendo crítico para la distribución de la corriente dinámica. Debido a que no se puede actuar sobre el valor de inductancia parásita $L_{\sigma E_{aux}}$, la forma de mejorar la simetría es a través de la impedancia de emisor externa ($L_{\sigma E}$) ya que se pueden equilibrar las velocidades de conmutación. Al variar el valor de $L_{\sigma E}$ es importante observar la variación que se produce durante el proceso de apagado, ya que puede producir un aumento de las pérdidas de conmutación [7]. A continuación se van a exponer distintos ejemplos de retroalimentación:

- Retroalimentación asimétrica positiva (figura 8(a)): se muestran distintos niveles de retroalimentación positiva, causando que el IGBT ③ se encienda más rápido que el IGBT ①, ya que:

$$V_{GE_3} = V_{GE} + 2 \cdot V_L > V_{GE_1} = V_{GE} \quad (10)$$

- Retroalimentación asimétrica negativa y positiva (figura 8(b)): se puede ver como el IGBT ② tiene una retroalimentación positiva, mientras que el IGBT ③ tiene retroalimentación negativa (11).

$$V_{GE_2} = V_{GE} + V_L > V_{GE} > V_{GE_3} = V_{GE} - V_L \quad (11)$$

- Retroalimentación asimétrica negativa (8(c)): se producen distintos niveles de retroalimentación negativa causando

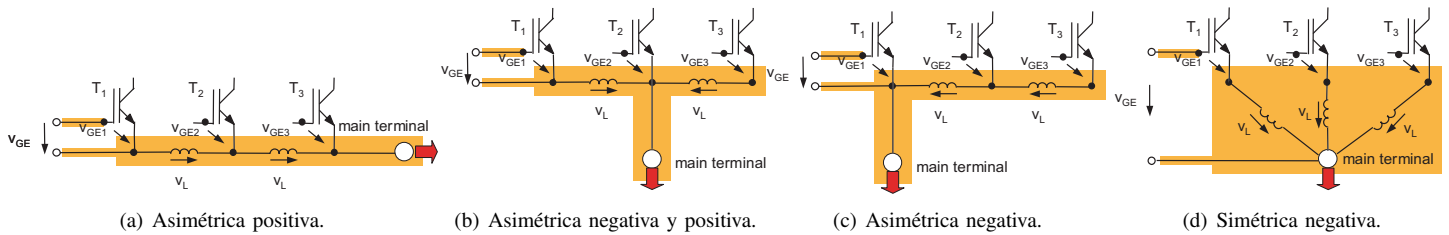


Fig. 8. Ejemplos de retroalimentaciones entre circuito de potencia y *driver*, que el IGBT ③ se encienda más lentamente que el IGBT ① (12).

$$V_{GE_3} = V_{GE} - 2 \cdot V_L < V_{GE_1} = V_{GE} \quad (12)$$

d) Retroalimentación simétrica negativa (8(d)): todos los IGBTs tienen, aproximadamente, la misma retroalimentación negativa, permitiendo que las conmutaciones de todos los IGBTs paralelizados sean sincras (13).

$$V_{GE_1} = V_{GE_2} = V_{GE_3} = V_{GE} - V_L \quad (13)$$

C. Inductancia parásita de emisor ($L_{\sigma E}$)

La inductancia del circuito de conmutación (L_{σ}) afecta a los semiconductores de potencia en su encendido y apagado (generación de sobretensiones de conmutación). Si los circuitos de conmutación están sujetos a diferentes caminos de inductancia, la velocidad de conmutación de los IGBTs paralelizados puede ser diferente, provocando una asimetría dinámica que puede tener mayor impacto que los desequilibrios de corriente producidos por emplear dispositivos con parámetros dispares. Aunque los IGBTs presenten inductancias L_{σ} iguales, leves diferencias entre las inductancias $L_{\sigma E}$ pueden provocar una distribución asimétrica de las pérdidas de conmutación y oscilaciones entre los IGBTs [7].

Aún en ejemplos totalmente simétricos [8] de dos módulos paralelizados, en el que tanto los valores de inductancia total como de resistencia son equivalentes. Se puede producir un desequilibrio de, aproximadamente, el 2% debido a las diferentes $L_{\sigma E}$. En un principio, este desequilibrio es totalmente asumible sin causar problemas al diseño y es debido a los distintos parámetros internos que presentan los IGBTs paralelizados que afectan, en este caso, en mayor medida a la corriente estática que a la corriente dinámica [8].

VI. CONCLUSIONES

A la hora de hacer la paralelización es necesario emplear dispositivos o módulos que presenten la misma curva característica $V_{CE(sat)}$ frente I_c , así como una misma $V_{GE(th)}$, con la variación de T_j . De esta manera, se consigue reducir la variación de temperatura $|\Delta T_{xy}|$ entre los dispositivos y reducir el desequilibrio estático de corriente. Además, hay que conseguir que los retardos, $t_{d(on)}$ y $t_{d(off)}$ dependientes de T_j , de los dispositivos sean lo más parecidos entre sí para evitar posibles desequilibrios dinámicos de corriente. Por ello, es necesario que los semiconductores o módulos pertenezcan al mismo lote de fabricación, garantizando una similitud de los parámetros internos y la variación de los mismos con la temperatura. Respecto al circuito de *driver*, es recomendable emplear un diseño de compuerta común en todos los IGBTs paralelizados para reducir los problemas de tiempo de retardo y niveles de tensión, vigilando los valores de resistencia R_g y

de impedancia parásita $L_{\sigma g}$ para conseguir el equilibrio de la corriente I_c . Por último, en el *layout* de potencia es necesario reducir al máximo los efectos de las inductancias parásitas, en especial $L_{\sigma E_{aux}}$ y $L_{\sigma E}$, ya que sino se pueden producir diversos efectos de retroalimentación que desequilibran el sistema y, por consiguiente, producir la ruptura del sistema.

VII. AGRADECIMIENTOS

El trabajo descrito en esta publicación ha sido generado en la Unidad de Formación e Investigación UFI11/16 financiada por la UPV/EHU y patrocinado por el Departamento de Educación, Universidades e Investigación del Gobierno Vasco a través de: las ayudas para apoyar las actividades de grupos de investigación del sistema universitario vasco IT394-10 y del proyecto de investigación KT4TRANS del programa ELKARTEK (KK-2015/00047). La financiación del Ministerio de Economía y Competitividad a través del proyecto de investigación DPI2014-53685-C2-2-R y los fondos FEDER. Así como, a través del programa de apoyo a la formación de investigadores del Gobierno Vasco PRE_2015.2.0012.

REFERENCIAS

- [1] C. Keller and Y. Tadros, "Are paralleled IGBT modules or paralleled IGBT inverters the better choice?" in *Power Electronics and Applications*, 1993, pp. 1–6.
- [2] Xuesong Wang, Zhengming Zhao, and Liqiang Yuan, "Current Sharing of IGBT Modules in Parallel with Thermal Imbalance," in *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2010, pp. 2101–2108.
- [3] R. Letor, "Static and dynamic behavior of paralleled IGBTs," *IEEE Transactions on Industry Applications*, vol. 28, no. 2, pp. 395–402, March 1992.
- [4] Z. Zhenbo, "Design reference on IGBT paralleling," Infineon, Tech. Rep., 2009.
- [5] D. Medaule and Y. Yu, "Parallel operation of high power IGBTs," in *IEE Colloquium on IGBT Propulsion Drives*, 1995, pp. 1–9.
- [6] A. Volke and M. Hornjamp, *IGBT Modules - Technologies, Driver and Application*, Infineon, Ed. Infineon Technologies AG, Munich, 2012.
- [7] A. W. . U. N. . W. T. . T. Reimann, *Application Manual Power Semiconductors*, 2nd ed., SEMIKRON International GmbH, 2015.
- [8] "Fuji IGBT modules application manual," Fuji Electric Co., Ltd., Tech. Rep., 2011.
- [9] Wen Huiqin, Liu Jun, Zhang Xuhui, and Wen Xuhui, "Design of high power electronic building block based on parallel of IGBTs for electric vehicle," in *International Power Electronics and Motion Control Conference*, 2008, pp. 1518–1522.
- [10] Nan Chen, F. Chimento, M. Nawaz, and Liwei Wang, "Dynamic characterization of parallel-connected high-power IGBT modules," in *IEEE Energy Conversion Congress and Exposition (ECCE)*, 2013, pp. 4263–4269.
- [11] U. Schlapbach, "Dynamic paralleling problems in IGBT module construction and application," in *Conference on Integrated Power Electronics Systems (CIPS)*, 2010, pp. 1–7.
- [12] Hua Yang, Wen Xuhui, Gu Lingyun, Wang Li, and Zhao Feng, "Investigation of parallel connection of IGBTs," in *Conference on Electrical Machines and Systems*, 2005, pp. 833–838.
- [13] J. Nelson, G. Venkataramanan, and B. Beihoff, "Investigation of parallel operation of IGBTs," in *IEEE Industry Applications Conference*, 2002, pp. 2585–2591.
- [14] Infineon Technologies AG, "Automotive IGBT Module AN2010-09," Tech. Rep., 2010.
- [15] S. Finney, B. Williams, and T. Green, "IGBT turn-off characteristics and high frequency application," in *IEE Colloquium on Devices, Drive Circuits and Protection*, 1994, pp. 1–4.
- [16] T. Basler, J. Lutz, R. Jakob, and T. Bruckner, "The influence of asymmetries on the parallel connection of IGBT chips under short-circuit condition," in *European Conference on Power Electronics and Applications (EPE)*, 2011, pp. 1–8.
- [17] "Paralleling of IGBT modules," ABB, Tech. Rep., 2013.