

Análisis y aplicación de simetría sobre diseños de *layouts* de convertidores de potencia con dispositivos SiC en paralelo

Asier Matallana, Jon Andreu, Jose Ignacio Garate, Iñigo Kortabarria, Endika Robles

Universidad del País Vasco/Euskal Herriko Unibertsitatea (UPV/EHU)

e-mail: asier.matallana@ehu.eus

http://det.bi.ehu.es/~apert

Resumen—Las aplicaciones de electrónica de potencia cada vez requieren mayores prestaciones en cuanto a frecuencias de conmutación, tensiones de ruptura, conductividad térmica, etc. Estos nuevos requisitos cada vez son más complicados de conseguir a través de los dispositivos y materiales tradicionales como los IGBTs de silicio (Si). Por ello, es necesario recurrir a dispositivos fabricados con nuevos materiales, *Wide BandGap* (WBG), como son los MOSFETs de carburo de silicio (SiC). Sin embargo, estos nuevos dispositivos no pueden alcanzar las tensiones y corrientes que requieren muchas de las aplicaciones de potencia por si mismos. En caso de requerir mayores niveles de corriente es necesario paralelizarlos. La paralelización requiere el estudio completo de los elementos parásitos de los circuitos para poder minimizar los desequilibrios de corriente que se producen entre los semiconductores de potencia dispuestos en paralelo. El objetivo de este artículo es estudiar los desequilibrios de corriente que se producen en la paralelización de los SiC MOSFETs, mediante simulaciones electromagnéticas (*EM model*), e intentar reducirlos mediante el concepto de diseño simétrico, comprendiendo la influencia de las impedancias parásitas del circuito sobre las señales de tensión y corriente sobre los SiC MOSFETs.

Palabras Clave—Paralelización, simetría, *layout*, impedancia parásita, carburo de silicio (SiC), SiC MOSFETs, *Wide BandGap* (WBG) inductancia parásita, *EM model*, efectos no ideales, *ADSTM*.

I. INTRODUCCIÓN

Debido a la demanda de nuevas aplicaciones de potencia que requieren mayores prestaciones en cuanto a tensión, corriente y frecuencia comienza a ser necesario emplear semiconductores de potencia de nueva generación, o también llamados *Wide BandGap* (WBG). En la electrónica de potencia el gran dominador sobre tecnología de silicio (Si) es el IGBT. A día de hoy, su equivalente en tecnología de carburo de silicio (SiC) es el SiC MOSFET, que presenta, debido a las propiedades de este nuevo material [1], mayores tensiones de ruptura, velocidad de conmutación y conductividad térmica en comparación con los dispositivos de Si. Además, al ser un dispositivo unipolar evita la presencia de la cola de corriente típica de los IGBTs, lo que implica una mejora de las pérdidas de conmutación. Sin embargo, estos dispositivos proporcionan unos rangos de corriente menores comparados con los Si IGBTs, por lo que es necesario paralelizarlos para poder satisfacer las necesidades de las aplicaciones del mercado.

Para el correcto funcionamiento de los semiconductores de potencia paralelizados es necesario hacer un buen diseño del *layout* donde se minimicen los desequilibrios de corriente entre los dispositivos [2], ya que éstos aumentan las pérdidas de conducción y conmutación y, por consiguiente, reducen el tiempo de vida del diseño y su eficiencia [3]. Existen, principalmente, dos causas que producen el desequilibrio de corriente en un *layout* de potencia [4]:

- Desajustes de los parámetros característicos de los semiconductores de potencia. Para el caso de los SiC MOS-

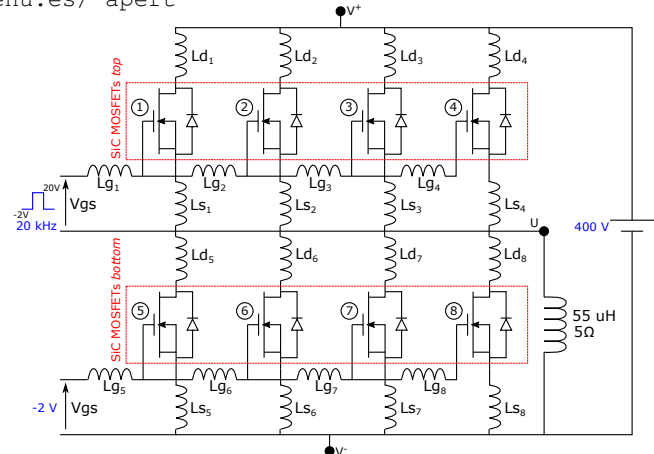


Fig. 1. Circuito *half-bridge* o medio puente empleado para los diseños.

FETs los parámetros mas relevantes son la resistencia en conducción ($R_{D,son}$) y la tensión umbral (V_{th}) [5], [6].

- Desajustes debido a la no simetría del circuito. Esto significa que cada SiC MOSFET tiene asociadas impedancias parásitas distintas causando que por cada dispositivo circule una corriente distinta [7], [8]. Dentro de la impedancia parásita es importante la componente inductiva, ya que es la causante de sobrevoltajes y picos de corriente en el circuito (di_L/dt) [9].

Este trabajo se centra en la aplicación del concepto de simetría sobre un *layout* de potencia [10], concretamente sobre el circuito equivalente de la figura 1 (*half-bridge* o medio puente), sobre el cual se presentan 3 diseños distintos de *layout*, donde se aprecia la evolución del concepto de simetría en la geometría. El objetivo es comparar las simulaciones, usando el *software* Keysight *ADSTM*, de las impedancias parásitas equivalentes, voltajes y distribuciones de corrientes de los *layouts* y ver como aplicando el concepto de diseño simétrico mejora la paralelización entre los transistores. Es decir, ver como se reducen los desequilibrios de corriente entre los SiC MOSFETs en paralelo y, por tanto, mejorar el tiempo de vida y rendimientos de los circuitos.

II. DESARROLLO DEL MODELO EQUIVALENTE

Para poder estudiar los efectos de la distribución de corriente es necesario obtener un modelo analítico equivalente del circuito que permita modelizar los efectos no ideales que introduce el *layout* en el diseño [11]. Para ello, se puede emplear el método llamado *Partial Element Equivalent Circuit* (PEEC) o métodos más complejos basados en el análisis electromagnético del *layout*.

A. *Partial Element Equivalent Circuit* (PEEC)

Mediante esta técnica se pueden caracterizar las conexiones del circuito a través de elementos resistivos (R), inductivos (L)

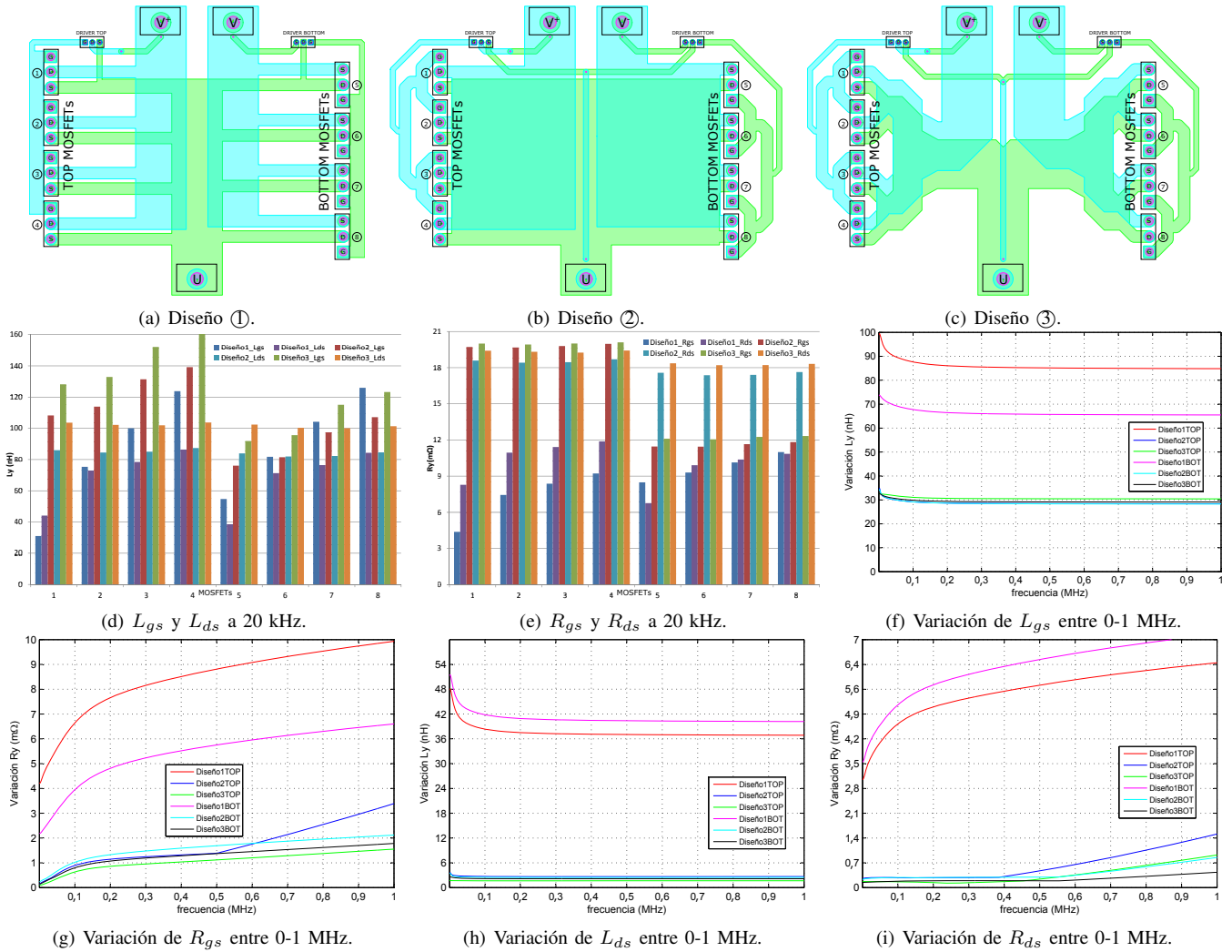


Fig. 2. Diferentes diseños de *layout* de un *half-bridge* con 4 SiC MOSFET paralelo y el estudio de sus impedancias parásitas.

y capacitivos (C) [12], sin olvidar los efectos de acoplamiento mutuo (M) que se producen entre las inductancias parásitas del *layout*. Aplicando este método se obtiene como resultado un circuito similar al de la figura 1 (solo están dibujadas las inductancias parásitas para simplificar la representación) con el cuál se puede evaluar el comportamiento del circuito teniendo en cuenta los efectos no ideales del *layout* en el dominio de la frecuencia [13]. Sin embargo, esta solución presenta una serie de deficiencias, ya que solo es capaz de proporcionar un valor constante para la distribución de la corriente sobre la superficie de un sustrato, *printed circuit board* (PCB) o *direct bonded copper* (DBC). Por lo tanto, para poder visualizar en 3D la densidad de corriente sobre el *layout* es necesario emplear otros métodos que tienen el inconveniente de una gran carga computacional y largo tiempo de procesamiento. Dichas desventajas pueden ser mitigadas mediante la simulación en sistemas distribuidos con multitud de procesadores en paralelo (Arina UPV/EHU).

B. Modelo electromagnético equivalente (Momentum)

Momentum es un *software* de simulación de Keysight $ADST^M$ basado en la técnica de método de los momentos [14], [15]. Esta técnica resuelve las ecuaciones de Maxwell para estructuras planas embebidas sobre sustratos multicapa. Para frecuencias bajas (<1 MHz) se obtienen las funciones de Green ($G(r, r')$) del sustrato con independencia de la frecuencia, obteniendo como resultado elementos L y C reales.

Las ecuaciones básicas (1) - (5) permiten calcular la corriente, que es la incógnita del sistema. Esta formulación expresa el campo eléctrico ($E(r)$) y magnético ($B(r)$) en función del vector potencial ($A(r)$) y el potencial escalar ($V(r)$).

$$\sum_{i=1}^N Z_{i,j} \cdot I_j = V_i; \quad (1)$$

$$V_i = \iint_S dSB_i(r) \cdot E(r); \quad (2)$$

$$Z_{i,j} = j\omega L_{i,j} + \frac{1}{j\omega C_{i,j}}; \quad (3)$$

$$L_{i,j} = \iint_S dSB_i(r) \cdot \iint_{S'} dS' G^A(r, r') B_j(r'); \quad (4)$$

$$\frac{1}{C_{i,j}} = \iint_S dS \nabla \cdot B_i(r) \cdot \iint_{S'} dS' G^V(r, r') \nabla \cdot B_j(r'). \quad (5)$$

Estas ecuaciones permiten generar una matriz de interacción mutua (matriz de *scattering*, parámetros S) de los elementos equivalentes del circuito (impedancias parásitas) que interactúan entre sí de manera electromagnética, proporcionando una solución más completa que el método PEEC.

III. APLICACIÓN DE LA SIMETRÍA EN EL DISEÑO

Para poder desarrollar el correcto diseño de un convertidor de potencia con semiconductores en paralelo es fundamental controlar la corriente que circula por cada uno de ellos reduciendo al mínimo los desequilibrios de corriente que se puedan producir. Para ello, es fundamental aplicar adecuadamente

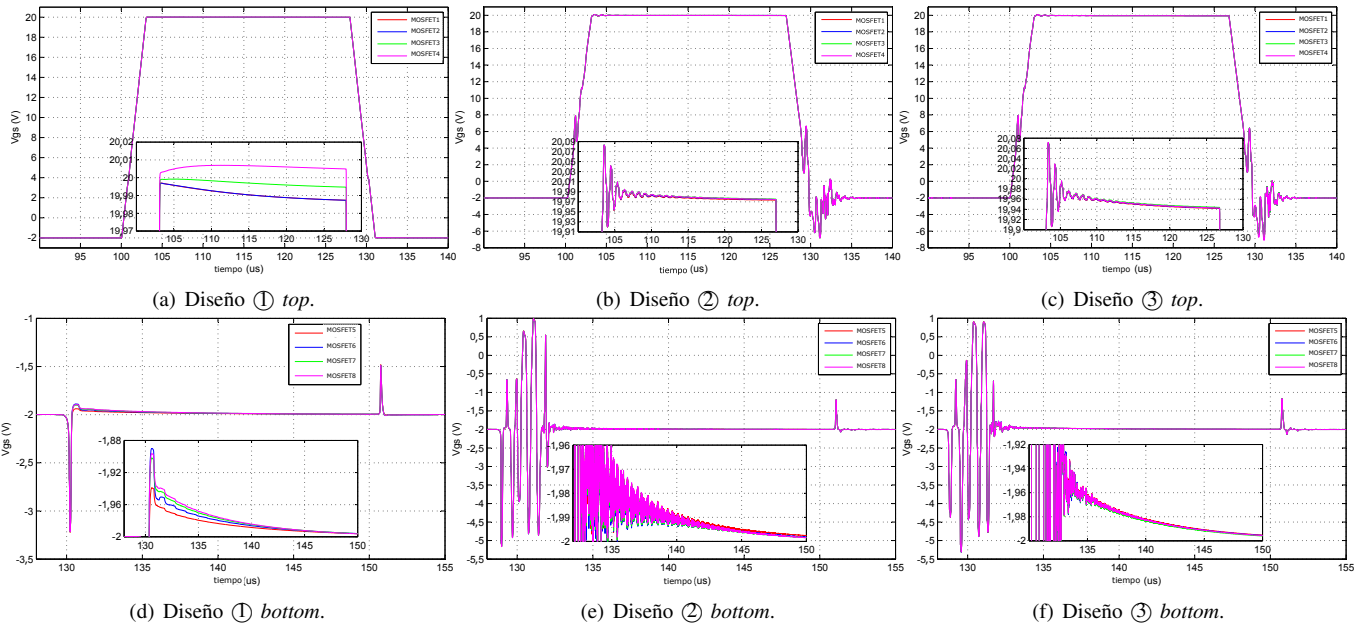


Fig. 3. Señales entre las compuertas y el *driver* (V_{gs}) para un circuito de medio puente con 4 SiC MOSFETs en paralelo (20 kHz).

TABLA I

MATERIALES DEL SUSTRATO EMPLEADO EN LOS DISEÑOS.

CAPA	MATERIAL	ESPESOR
<i>Top</i>	cobre	105 μm
Dieléctrico	FR-4	2,99 mm
<i>Bottom</i>	cobre	105 μm

el concepto de diseño simétrico controlando las impedancias parásitas, especialmente las inductancias, responsables de las caídas de tensión y picos de corriente [16].

En esta sección se van a comparar las simulaciones de 3 diseños con distintas geometrías para la configuración *half-bridge* de la figura 1 y, así, poder realizar el estudio los efectos no ideales del *layout* sobre la paralelización de 4 dispositivos SiC MOSFETs (900 V/36 A). Los diseños planteados para ser analizados son los siguientes:

- 1) El diseño ① (figura 2(a)) es una geometría donde no se aplica ningún tipo de simetría a las pistas que unen las compuertas de los conectores del *driver* (*top* y *bottom*) con las compuertas de los SiC MOSFETs. Lo mismo ocurre para las conexiones de los drenadores y surtidores entre los terminales principales y los SiC MOSFETs.
- 2) El diseño ② (figura 2(b)) es una modificación del diseño ①, donde se realizan pistas simétricas para conectar las compuertas de los conectores de los *drivers* (*top* y *bottom*) con las compuertas de los SiC MOSFETs. La conexión de los drenadores y surtidores entre los terminales principales y los SiC MOSFETs se realiza a través de amplias áreas de cobre que permiten a la corriente circular por el camino más sencillo sobre dichas áreas de cobre.
- 3) El diseño ③ (figura 2(c)) es la evolución del diseño ②, donde se mantiene el diseño simétrico de las pistas que unen las compuertas de los conectores y los MOSFETs. Sin embargo, se reduce la superficie de las áreas que conectan los drenadores y surtidores con los terminales principales, así como entre los dispositivos, intentando forzar que la corriente circule de forma homogénea por dichas áreas. A dichas áreas se les aplica una geometría simétrica para mejorar el comportamiento del *layout*.

Definidos los *layouts* para analizar el comportamiento de los diseños paralelizados se procede a comparar las impedancias de los caminos cerrados compuerta-surtidor (Z_{gs}) y drenador-surtidor (Z_{ds}) que tiene asociado cada SiC MOSFET. Además, se analizan las señales de compuerta (V_{gs}), ya que dependen de las impedancias del circuito produciendo variaciones. Por

último, se analiza la corriente que circula por cada SiC MOSFETs, así como la densidad de corriente de los *layouts* propuestos, para ver los desequilibrios que se producen y el efecto de aplicar la simetría.

A. Análisis de las impedancias equivalentes Z_{gs} y Z_{ds}

El comportamiento del circuito se debe a las impedancias equivalentes que presenta el *layout*, aparte de las variaciones en los parámetros característicos que pueden presentar los SiC MOSFETs y que no son tratados en este trabajo. Los desequilibrios de corriente que presentan los MOSFETs se deben a las variaciones en las impedancias parásitas de los lazos cerrados compuerta-surtidor y drenador-surtidor que tiene asociados cada transistor, siendo todas ellas dependientes de las características de los materiales que componen el sustrato (tabla I) y la frecuencia de trabajo.

El lazo cerrado compuerta-surtidor proporciona el valor de la impedancia parásita Z_{gs} , obtenida para cada MOSFETs entre los terminales del *driver* (*top* y *bottom*) con los respectivos terminales de cada transistor. Las medidas de lazo cerrado drenador-surtidor proporcionan los valores de impedancia parásita Z_{ds} entre los terminales de drenador y surtidor de los conectores del *driver* respecto a los terminales en los MOSFETs. A partir de estos valores de impedancias (Z_{gs} y Z_{ds}) se calculan los componentes resistivos e inductivos parásitos equivalentes, obteniendo R_{gs} y L_{gs} , para el lazo compuerta-surtidor, y R_{ds} y L_{ds} para el lazo drenador-surtidor.

En las figuras 2(d) y 2(e) se aprecian los valores de inductancia y resistencia parásita que presentan los tres diseños a 20 kHz (frecuencia de conmutación) en ambos lazos cerrados. En dichas gráficas se puede observar que el diseño ① presenta los menores valores de inductancias L_{gs} y L_{ds} , así como de resistencias R_{gs} y R_{ds} respecto a los diseños ② y ③, siendo este último el que presenta mayores valores con un diseño simétrico. Sin embargo, para evitar o reducir los desequilibrios

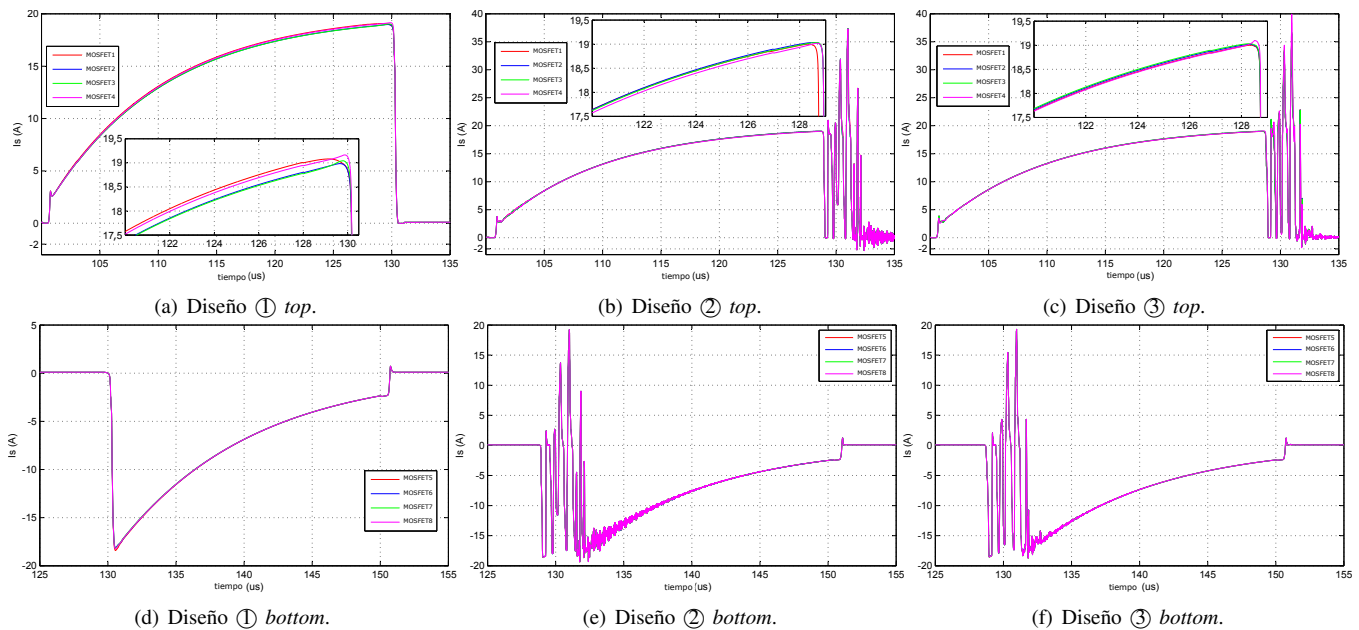


Fig. 4. Corriente de los SiC MOSFETs *top* y *bottom* para cada diseño (frecuencia 20 kHz).

de corriente es más importante que los MOSFETs *top* (MOSFET1, MOSFET2, MOSFET3 y MOSFET4) y los *bottom* (MOSFET5, MOSFET6, MOSFET7 y MOSFET8) presenten unos valores de inductancias y resistencias lo más similares posibles entre sí. Analizando la variación de L_{gs} (figura 2(f)), R_{gs} (figura 2(g)), L_{ds} (figura 2(h) y R_{ds} (figura 2(i)) de los MOSFETs *top* y *bottom* de cada diseño, se aprecia que el diseño ① tiene las mayores variaciones en sus inductancias y resistencias parásitas respecto a los diseños ② y ③ cuyas variaciones son mínimas. Estos resultados indican que el diseño ① presenta los mayores desequilibrios de corriente respecto al ② y ③. Por otro lado, las variaciones de L_{gs} , R_{gs} , L_{ds} y R_{ds} entre los diseños ② y ③ son mínimas y prácticamente idénticas en los dos diseños, destacando que el diseño ③ presenta mayores valores de L_{gs} , R_{gs} , L_{ds} y R_{ds} para cada MOSFET que el ② debido a la aplicación de la simetría, cuyo diseño fuerza el flujo homogéneo de la corriente sobre el *layout*.

B. Análisis del lazo compuerta-surtidor sobre las señales V_{gs}

La conexión entre los SiC MOSFETs y el *driver* genera un lazo cerrado compuerta-surtidor donde la no aplicación de simetría entre las pistas que conectan las compuertas de los MOSFETs (distinta impedancia parásita) genera efectos de realimentación, traduciéndose en retardos de la señal V_{gs} , afectando al encendido/apagado de los transistores y generando diferentes pérdidas de conmutación.

Diferentes efectos de realimentación [17] se producen en los diseños según la configuración de su *layout* siendo estos proporcionales a las inductancias parásitas (figura 2(d)). Dichos valores de inductancia se traducen en los siguientes efectos sobre las señales V_{gs} para cada diseño:

- 1) El diseño ①, debido a su topología, presenta una realimentación asimétrica positiva para los MOSFETs *top*, por lo que el MOSFET1 se enciende más rápido que el MOSFET4 (figura 3(a)). Los MOSFETs *bottom* tienen conexiones idénticas. Por lo tanto, se produce el mismo efecto de realimentación, no siendo sus efectos tan determinantes ya que en el *half-bridge* los MOSFETs *bottom* funcionan como diodos de descarga (figura 3(d)).

- 2) El diseño ② presenta una principal mejora respecto al diseño ①, la pista que conecta el *driver* con la compuerta de los MOSFETs es simétrica (*top* y *bottom*). Además, las conexiones de drenador y surtidor son amplias áreas de material conductor permitiendo a la corriente propagarse por el mejor camino. Como resultado de las simulaciones, las señales V_{gs} para los MOSFETs *top* (figura 3(b)) y *bottom* (figura 3(e)) son prácticamente idénticas (realimentación simétrica), apareciendo ciertas oscilaciones debido al incremento del valor de las inductancias del circuito.
- 3) El diseño ③ es una evolución del diseño 2, donde se mejora la simetría de las pistas de los drenadores y surtidores, obligando a la corriente a circular de una determinada manera sobre el circuito. Al igual que en el diseño ②, se minimizan los posibles efectos de realimentación con la simetría. Aunque los valores de inductancia parásita son mayores que en ②, el comportamiento de las señales de compuerta tanto para los MOSFETs *top* (figura 3(c)) y *bottom* (figura 3(f)) es idéntico.

El comportamiento de las señales V_{gs} influye directamente sobre la corriente que conduce cada dispositivo, ya que los lazos compuerta-surtidor y drenador-surtidor comparten la inductancia de surtidor (L_s) de cada MOSFET.

C. Análisis del lazo drenador-surtidor sobre I_{ds}

Por cada SiC MOSFET paralelizado circula una corriente diferente debido al *layout*. Aparte de la importancia del lazo cerrado compuerta-surtidor, donde se aplican las señales de control de los transistores (V_{gs}) que generan retardos, las conexiones entre los drenadores y surtidores es igual de crítica, ya que es por donde circula la corriente. Un diseño donde no se aplica correctamente la simetría sobre el lazo cerrado drenador-surtidor genera desequilibrios en la distribución de corriente entre los MOSFETs paralelizados. Las distribuciones de corriente para los 3 diseños es la siguiente:

- 1) El diseño ① presenta la peor distribución de corriente para frecuencias de conmutación de 20 kHz, ya que en la figura 4(a) la corriente de los SiC MOSFETs *top* varía entre los dispositivos en paralelo. Aunque, en un

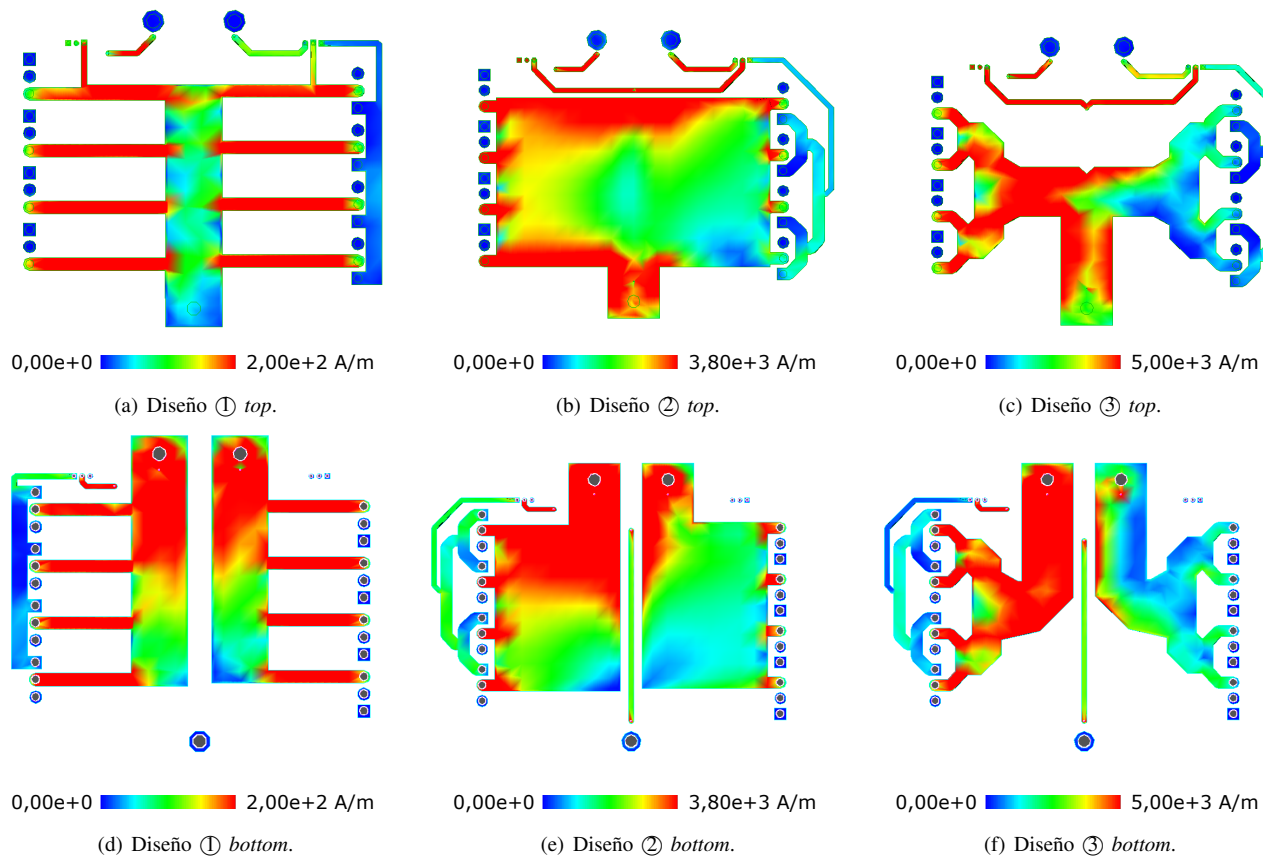


Fig. 5. Distribución de la densidad de corriente sobre las capas *top* y *bottom* de los diseños (20 kHz).

principio, las simulaciones proporcionan una variación mínima, es importante recordar que estos resultados están condicionados por la calidad del modelo SiC MOSFET de la simulación. Además de hacer la simplificación de que los transistores son idénticos. Por lo tanto, este desequilibrio de corriente es mayor en condiciones reales. En cuanto a la corriente que circula por los MOSFETs *bottom* (figura 4(d)) no se aprecian desequilibrios importantes, pero este efecto se debe a las características y modelo del diodo intrínseco del MOSFET.

- 2) El diseño ② presenta una distribución de corriente prácticamente idéntica para cada MOSFET, tanto *top* (figura 4(b)) como *bottom* (figura 4(e)). La simulación de las corrientes muestra una serie de oscilaciones debidas al aumento de los valores de las inductancias parásitas. Dichas oscilaciones pueden ser producto de la misma simulación matemática (problemas de convergencia del *layout* con el modelo del semiconductor) o a efectos físicos reales que deben ser controlados a través de las protecciones que debe implementar el *driver*.
- 3) El diseño ③ es el diseño con mejor distribución de corriente de los planteados, ya que aplica en mayor grado el concepto de diseño simétrico del *layout*. Además, persigue distribuir la corriente en el circuito de forma más eficiente. Por ello, las corrientes a través de los MOSFETs *top* (figura 4(c)) y *bottom* (figura 5(f)) son prácticamente idénticas, lo que indica que el *layout* está equilibrado. El diseño presenta los mayores valores de inductancias y resistencias parásitas, lo que produce en la simulación una serie de oscilaciones, al igual que en el diseño ②. Sin embargo, se puede ver en las figuras 4(c) y 4(f) que dichas oscilaciones son menores que en ②.

Como ya se ha mencionado, la corriente que circula por cada SiC MOSFET depende, entre otras cosas, de los valores L_{ds} y R_{ds} que presente el *layout*. Es importante reducir dichos valores, pero según los resultados obtenidos, es mucho más importante que dichos valores sean lo más similares posible entre sí para reducir los desequilibrios de corriente.

D. Distribución de la densidad de corriente

La distribución de corriente en los diseños depende de las impedancias parásitas Z_{gs} y Z_{ds} , proporcionales a las dimensiones y material del *layout*, las tensiones de compuerta V_{gs} , que generan retardos a la hora de encender/apagar los semiconductores, y la manera de propagación de las corrientes en el circuito, ya que puede aumentar o disminuir el acoplamiento que existe entre las pistas del *layout*.

Aplicar simetría a los diseños permite reducir los desequilibrios que pueden existir entre las corrientes que circulan por cada semiconductor de potencia conectado en paralelo y, por lo tanto, mejora los parámetros anteriormente mencionados. La distribución de la densidad de corriente en 3D permite entender como al aplicar la simetría mejora la circulación de la corriente sobre un diseño:

- 1) El diseño ① presenta la peor distribución de densidad de corriente, ya que en la capa *top* (figura 5(a)) la corriente que circula por cada MOSFET (parte *top*) o diodo intrínseco (parte *bottom*) se concentra sobre una pista donde no existe un punto común al que se conectan todos los transistores. Por lo tanto, en la sección de pista donde se conectan el surtidor del MOSFET4 y el drenador del MOSFET8 circulan sus corrientes y las procedentes del resto de transistores. Mientras que en la sección donde se conectan el surtidor del MOSFET1 y el drenador del MOSFET5 solo circula la corriente de

dichos dispositivos. En cuanto a la capa *bottom* (figura 5(d)), por el drenador del MOSFET1 y el surtidor del MOSFET5 circula prácticamente 4 veces más corriente que por el drenador del MOSFET4 y el surtidor del MOSFET8. Algo similar ocurre con las pistas que conectan los conectores del *driver* con las compuertas de los MOSFETs, donde por la sección de pista de compuerta del MOSFET1 y del MOSFET5 circula más corriente que por la sección de pista de las compuertas de los MOSFET4 y MOSFET8.

- 2) El diseño ② presenta una mejor distribución de la densidad de corriente que ①. En la capa *top* (figura 5(b)) se puede apreciar como sobre el área de cobre que conecta los surtidores de los transistores *top* con los drenadores de los transistores *bottom* la corriente se distribuye de forma más simétrica. En la capa *bottom* (figura 5(e)) ocurre algo similar, aunque existe mayor concentración de corriente cerca de los terminales principales del diseño. Además, tanto en la capa *top* como en la *bottom* se puede ver como la corriente tiende a circular por los bordes del diseño sin aprovechar toda la superficie de las áreas de cobre. En cuanto las pistas de las conexiones de compuerta, al emplear un diseño simétrico donde cada MOSFET ve la misma longitud de material conductor, la corriente se reparte de forma uniforme.
- 3) El diseño ③ es el que presenta la mejor distribución de densidad de corriente ya que se aplica mayor simetría que en el resto de diseños. En la capa *top* (figura 5(c)) el diseño emplea una estructura simétrica que conecta los surtidores de los transistores *top* y drenadores de los transistores *bottom* obligando a la corriente circular por todo el área. Esto mismo ocurre en la capa *bottom* (figura 5(f)). Empleando la configuración simétrica de las pistas de las compuertas del diseño ② se obtiene como resultado un diseño simétrico donde las impedancias parásitas de los SiC MOSFETs en paralelo son prácticamente similares, produciendo una distribución de corriente más homogénea por todo el *layout*.

IV. CONCLUSIONES

El problema de los diseños paralelizados es la distribución de la corriente a través de los semiconductores de potencia, ya que aparecen desequilibrios de corriente. Estos desequilibrios afectan al comportamiento y eficiencia del circuito, además de reducir su tiempo de vida. Por esta razón, estos desequilibrios de corriente deben ser reducidos. Para ello hay que aplicar el concepto de diseño simétrico, ya que permite igualar y controlar los valores de las impedancias parásitas equivalentes del circuito a través de las dimensiones físicas del circuito.

Conseguir mediante simetría que todos los transistores paralelizados tengan las mismas impedancias Z_{gs} y Z_{ds} entre sí, permite compensar los desequilibrios de corriente. Aplicando este mismo concepto sobre las señales de compuerta V_{gs} , evita o reduce los efectos de realimentaciones asimétricas que son los causantes de producir retardos de encendido/apagado entre los MOSFETs paralelizados.

Por último, es conveniente conseguir simetría y el mismo valor de impedancia en el lazo drenador-surtidor (Z_{ds}) entre

los semiconductores, de esta manera la corriente esta equilibrada por todos los semiconductores y se distribuye de forma homogénea por todo el *layout*, evitando que la corriente circule por los bordes de las áreas y aprovechando toda la superficie.

V. AGRADECIMIENTOS

Este trabajo ha sido generado y patrocinado por el Departamento de Educación, Política Lingüística y Cultura del Gobierno Vasco en base a las ayudas para apoyar las actividades de grupos de investigación del sistema universitario vasco IT978-16, el programa ELKARTEK con el proyecto KT4TRANS (KK-2015/00047 y KK-2016/00061). La ayuda del Ministerio de Economía y Competitividad de España a través del proyecto DPI2014-53685-C2-2-R y los fondos FEDER. Así como, la ayuda del programa predoctoral del Gobierno Vasco PRE_2016_2_0086 y el soporte técnico y humano de IZOSGI (UPV/EHU) y fondos Europeos (ERDF y ESF).

REFERENCIAS

- [1] M. Nawaz and K. Ilves, "Replacing si to sic: Opportunities and challenges," in *Conference European Solid-State Device Research (ESSDERC)*, Sept 2016, pp. 472–475.
- [2] H. Li, S. Munk-Nielsen, X. Wang, R. Maheshwari, S. Beczkowski, C. Uhrenfeldt, and W. T. Franke, "Influences of device and circuit mismatches on paralleling silicon carbide mosfets," *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 621–634, Jan 2016.
- [3] G. Wang, J. Mookken, J. Rice, and M. Schupbach, "Dynamic and static behavior of packaged silicon carbide mosfets in paralleled applications," in *Applied Power Electronics Conference and Exposition (APEC)*, March 2014, pp. 1478–1483.
- [4] J. Colmenares, D. Peftitsis, H. P. Nee, and J. Rabkowski, "Switching performance of parallel-connected power modules with sic mosfets," in *International Power Electronics Conference (IPEC)*, May 2014, pp. 3712–3717.
- [5] B. Passmore, Z. Cole, B. McGee, M. Wells, J. Stabach, J. Bradshaw, R. Shaw, D. Martin, T. McNutt, E. VanBrunt, B. Hull, and D. Grider, "The next generation of high voltage (10 kv) silicon carbide power modules," in *Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Nov 2016, pp. 1–4.
- [6] Y. Cui, M. S. Chinthavali, F. Xu, and L. M. Tolbert, "Characterization and modeling of silicon carbide power devices and paralleling operation," in *International Symposium on Industrial Electronics*, May 2012, pp. 228–233.
- [7] R. Wang, J. Sabate, F. Tao, F. Xu, X. Liu, and C. Li, "H-bridge building block with sic power mosfets for pulsed power applications," in *Energy Conversion Congress and Exposition (ECCE)*, Sept 2016, pp. 1–6.
- [8] H. Li, S. Munk-Nielsen, X. Wang, S. Beczkowski, S. Jones, and X. Dai, "Effects of auxiliary-source connection in multichip power module," *IEEE Transactions on Power Electronics*, vol. PP, no. 99, pp. 1–1, 2016.
- [9] Z. Chen, Y. Yao, D. Boroyevich, K. D. T. Ngo, P. Mattavelli, and K. Rajashekhara, "A 1200-v, 60-a sic mosfet multichip phase-leg module for high-temperature, high-frequency applications," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2307–2320, May 2014.
- [10] D. J. Kearney, S. Kicin, E. Bianda, and A. Krivda, "Pcb embedded semiconductors for low-voltage power electronic applications," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. PP, no. 99, pp. 1–9, 2017.
- [11] Z. Miao, C. M. Wang, and K. D. T. Ngo, "Simulation and characterization of cross-turn-on inside a power module of paralleled sic mosfets," *IEEE Transactions on Components, Packaging and Manufacturing Technology*, vol. 7, no. 2, pp. 186–192, Feb 2017.
- [12] M. Akhbari, N. Piette, and J. L. Schanen, "Optimisation of gate circuit layout to suppress power/drive interaction," in *Conference IEEE Industry Applications*, vol. 2, Oct 1998, pp. 1078–1084.
- [13] A. Müsing, G. Ortiz, and J. W. Kolar, "Optimization of the current distribution in press-pack high power igbt modules," in *International Power Electronics Conference*, June 2010, pp. 1139–1146.
- [14] R. Harrington, *Field Computation by Moment Methods*. Maxillan, 1968.
- [15] "Electromagnetic ads," Keysight Technologies, Tech. Rep., 2016.
- [16] D. P. Sadik, K. Kostov, J. Colmenares, F. Giezendanner, P. Ranstad, and H. P. Nee, "Analysis of parasitic elements of sic power modules with special emphasis on reliability issues," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 988–995, Sept 2016.
- [17] A. Matallana, J. Andreu, J. I. Garate, I. Aretxabala, and E. Planas, "Analysis and modelling of igbts parallelization fundamentals," in *Conference of the IEEE Industrial Electronics Society*, Oct 2016, pp. 3247–3252.