



**BILBOKO INDUSTRIA INGENIARITZA TEKNIKOKO
UNIBERTSITATE ESKOLA**

INDUSTRIA INGENIARITZA TEKNIKOA: INDUSTRIA ELEKTRONIKA
KARRERA AMAIERAKO PROIEKTUA



KARRERA AMAIERAKO PROIEKTUAREN BIDERAGARRITASUNA

Kontrol esparruan ikasketa eta garapenerako
oinarrizko ingurune praktiko, ireki eta askea



discrete_control, PID, real_time, matlab_simulink, xilinx_ise, fpga_spartan3

1. Proiektuaren helburuak
2. Deskribapen orokorra
3. Metodologia eta erabili beharreko tresnak
4. Informazio-iturriak

IKASLEAREN DATUAK

UNAI MARTÍNEZ CORRAL

SIN.:
DATA: 2013ko martxoaren 9a

ZUZENDARIAREN DATUAK

Koldo Basterretxea Oyarzabal
koldo.basterretxea@ehu.es
Teknologia Elektronikoa

SIN.:
DATA:

Gaien Aurkibidea	i
1. Proiektuaren helburuak	1
2. Deskribapen orokorra	3
3. Metodologia eta erabili beharreko tresnak	4
4. Informazio-iturriak	7
Lizentziak eta aitortpenak	8
A. Karrera Amaierako Proiektuak idazteko txantiloia	9

1. Proiektuaren helburuak

1.1. irudiak adierazten duenez, *Anie* proiektua ingurune handiagoa den *Pierre St. Martinen* atala da, eta hau dugu helburu nagusia:

Benetako denborak aginduta, kontroladore jarraituaren erantzun baliokidea duen kontrol sistema modularra, txertatua eta autonomia FPGA batean implementatzea eta kontrola gauzatzea.

Zehaztasunean behera, prozedura kronologiko teorikoak bigarren mailako hurrengo helburuak ezartzen ditu:

- Korrante zuzeneko motorra [1] azterketa kasu, plantaren modelo ahalik eta egiazkoa lortzea (sarrera-irteera moduluak barne).
- Kontroladorea doitzea eta modelo diskretuarekin ezberdintasunak aztertzea.
- Autonomia bermatzeko, monitorizazio eta kontrolerako modulu periferikoak deskribatzea (VGA, LCD, etab.).
- Sistema parametrizatu eta erabilerraza garatzea.
- Arkitektura ezberdinak konparatzea: konbinazional hutsa, erregistroetan oinarritutakoa, VHDL kodea, *System Generator* blokeak, mikrokontroladore/mikroprozesadoreak...

Badago *Pierre St. Martin* inguruneko atalen arteko lotura bistaratzen duen zeharkako proiektua, informazioaren sostenguak baldintzatzen dituenak: inguruneari dagozkion dokumentazio eta iturri guztiak, ahal den heinean, estandarrak diren formatuetan gordeko dira, ez denboraren poderioz hedatuenetan.

Besteak beste, eskuartean duzun dokumentua egiteko \LaTeX^1 baliatuz Bilboko IITUEen Karrera Amaierako Proiektuak aurkezteko jarraitu beharreko maketazio argibideak betetzen dituen txantiloia egin da².

¹<http://itsas.ehu.es/workgroups/latex>

²A. eranskinean ITSASeko web gunean \LaTeX lan taldearen *Euskaraz* atalean eskuragarri dagoen txantiloien txostena aurkitu daiteke.

Pierre St Martin

Helburuak

Hurbiltzeko bide ezberdinak jarraitu dituzten ingeniari eta teknikoentzat kontrol, erregulazio eta komunikazio esparruetan ikasketa eta garapenerako oinarritzko eta abstrakzio maila baxuan dokumentatutako ingurune praktikoa, ireki eta askea sortzea.



Modularra



Real-time



Txertatua



Autonoma



Hiztuna



Erabilerraza



anie

hardware garapena



Vumeter / LCD / Rheobus
2005



OHKIS
2009



Control de velocidad de un motor CC: NI Labview
2012

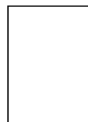


añelarra

hard-soft co-design



Bicicleta uControlador
2010



Autotuning
2013



larra

(tele)komunikazioak

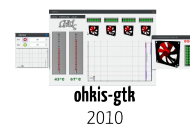


Acher
2011



arlas

informatika aplikazioak



ohkis-gtk
2010

Garapenerako tresnak

Karrera Amaierako Proiektuak idazteko LaTeX txantiloia



UNE
57001
2002



Acher
2011



ITSAS

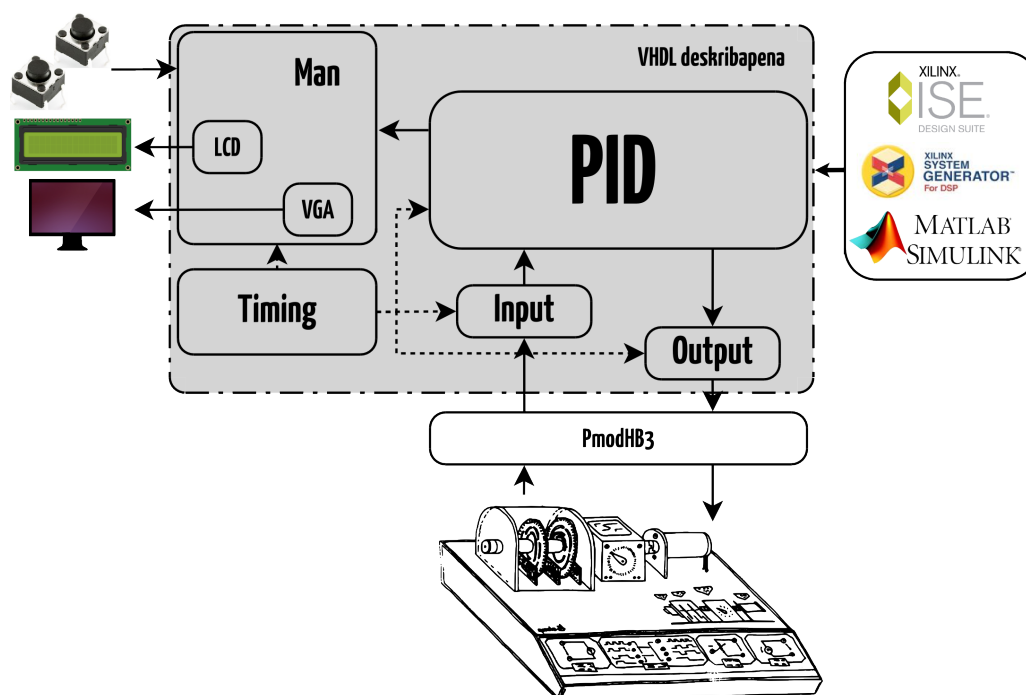
Grupo de trabajo: Plantillas para PFCs
Grupo de trabajo: LaTeX
2010-2013
2007



1.1. Irudia: Pierre St. Martin ingurunearen helburu, atal eta tresnak.

2.1. irudiak adierazi bezala, sistema funtzionaltasunaren arabera bost oinarritzko osagaitan deskribatuko da:

- **Timing:** txartelaren 50Mhz-eko erloju seinalean oinarrituta, FPGAk dituen DCMak eta kontadoreak erabilia, beste osagaiek behar dituzten frekuentzietako seinale periodikoak sortzea.
- **Man:** erabiltzaileak sistema kudeatu (*ref* seinalea sortzea) eta aldagaiak ikuskatzeko interfaseen kudeaketa (pultsadoreak, kodifikatzaile birakaria, LCD, VGA, etab.).
- **Input:** plantaren kontrolatu nahi den aldagaia, y , irakurtzea eta kontroladorearen berrelikadura seinalea, *feed*, sortzea.
- **PID:** kontroladorea.
- **Output:** PIDaren irteeraren arabera, u , eragingailuaren agindu seinalea sortzea (DAC, PWM, etab.)

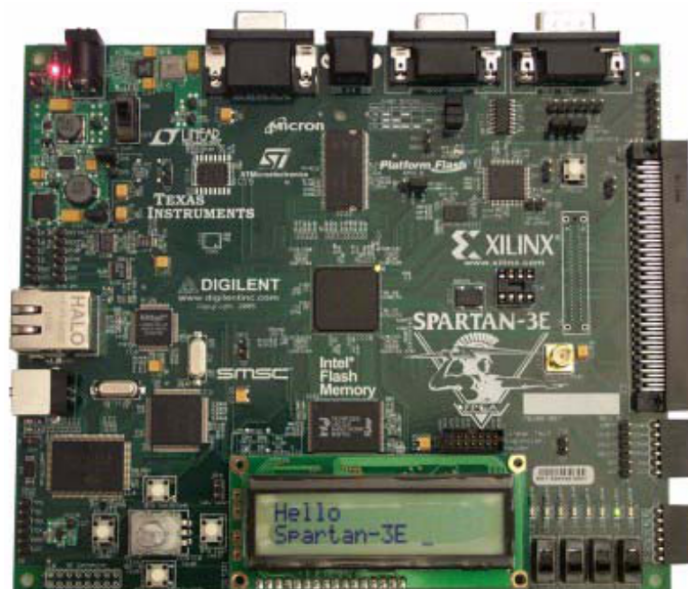


2.1. Irudia: Sistemaren osagai nagusiak eta elkarren arteko funtsezko informazio fluxuak.

Plantaren arabera sarrera-irteera osagai ezberdinak implementatzea beharrezkoa bada ere, azterketa kasu guztietako sistemak hainbat osagai komun dute: aukeratutako txartelaren erloju oinarritutako frekuentzia ezberdinak sortzea, esaterako. Hori dela eta, edozein izanik moldaketa errazteko, plantarekiko menpekotasunik ez dituztenak (*PID*, *Man* -*LCD* eta *VGA* barne- eta *Timing*) banaturik landuko dira. Azterketa kasuak garatzean, planta zehatzek behar dituzten gehikuntzak egingo dira, izaera modularrari eskerrak.

Metodologia eta erabili beharreko tresnak

1. Begizta osatzen duten elementuen modeloak aztertzea, aukeratzea eta parametroak identifikatzea.
2. *Mathworks*en **Matlab/Simulink** ingurunean sistema osoaren modelo osatzea eta PID kontroladore jarraitua doitzea.
3. PID kontroladore diskretuaren egitura aukeratzea eta laginketa maiztasunaren ikasketa burutzea.
4. Arkitektura ezberdinetan kalkuluak koma finkoan egiteko adierazpenak aukeratzea.
5. *Xilinx*en, **Simulink**en integratzen den, **System Generator** ingurunean modelo ezberdinen erantzunak konparatzea.
6. *Xilinx*en **ISE/ISim** ingurunean PID kontroladorearen *hardware* deskribapena VHDL lengoaian egitea.
7. Sistema osatzeko, egoera finituko makinetan (*MEF*) eta erregistroetan oinarritutako modulu periferikoak deskribatzea: *encoder* inkremental birakariak, PWM modulatzaila, H-zubia babesteko logika, VGA, LCD...
8. Sistema balidatzea
 - (a) **System Generator** ingurunean *HW/SW co-simulation (blackbox)*.
 - (b) **System Generator** ingurunean *HW in the loop (HIL) (blackbox)*.
 - (c) *Alecop, S. Coopren MV541* maketa eta *Digilenten Spartan3E Starter Kit* txartela erabilia sistema erreala balidatzea (parametroen identifikazioa, doiketa eta azkeneko frogak).



3.1. Irudia: Garapenerako erabiliko den Xilinxen Spartan3E Starter Kit txartela.

Sistema osoa *Xilinx*³ *Spartan3E Starter Kit* txartel bakarrean inplementatu baino lehen simulazioan oinarrituko da garapena, azterketa arindu eta errazteko. Begizta osatzen duten elementuak identifikatu eta modelatuko dira horretarako.

Modeloak *Laplacere*n *S* domeinuan baliatuta, *Matlab*⁴ *Simulink* ingurunean PID kontroladorea doituko da. Jarraitutik abiatuta, eta beti erreferentzia izanik, kontroladorearen egitura diskretua eskuratuko da, *Z* planoan adierazita. Modeloa digitala osatzeko laginketa maiztasuna eta koma finkoko aritmetikak agindutako hitz luzerak ezarriko dira. *System Generator* bitartez *Matlab* eta *Xilinx* lotuz, liburutegiko blokeak zein idatzitako VHDL kodea erabilia deskribatutako kontroladoreen erantzuna aztertuko da. Erreferentziarekiko erantzunen konparaketa oniritzitakoan, tresna berdinak medio, hardware ko-simulazioa burutuko da helburuko plataformarekin.

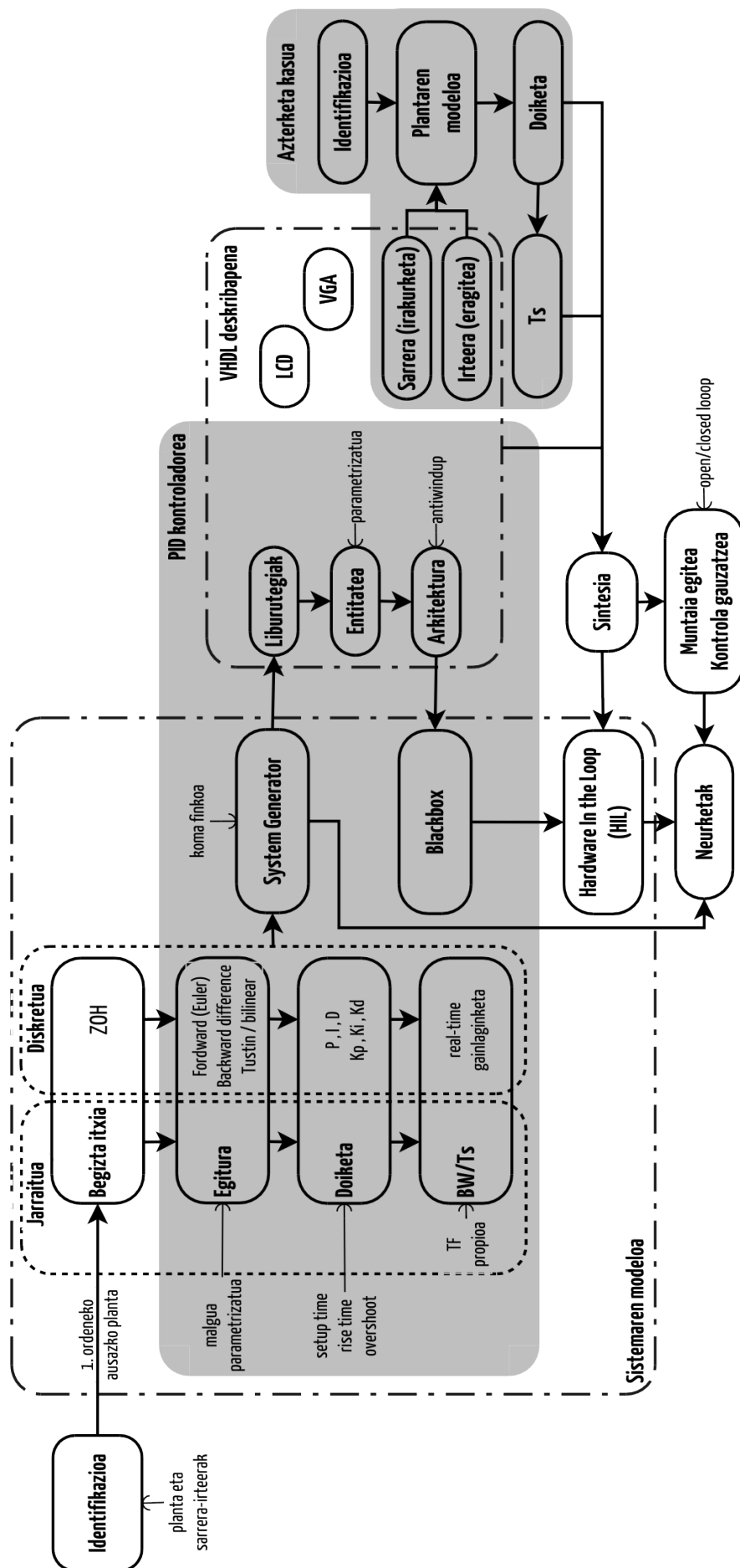
Sistemak helburuak bete ditzan plantarekiko menpekotasunik ez duten moduluak VHDL lengoian deskribatuko dira (LCD, VGA, pultadoreak, kommutadoreak, etab.). Azterketa kasuaren araberrako sarrera-irteera osagaiak egingo dira azkenik, eta plantaren araberrako doiketa eta parametrizazioa ezarriko da. Hauekin, alde batetik oinarritzko sistema (VGA gabekoa) eta bestetik aukera guztiak dituenak sintetizatuko dira.

Inplementazioek ezarritako helburuak eta azterketa teorikoan adierazitako mugak betetzen dituztela baieztatzen ostean, eta praktikan kontrola zuzena izanik, emaitzak aztertuko dira (hala nola, erabilitako area eta abiadura mugak). Azkenik, *System Generatoren* kodea zuzenean sortzeko aukeraren implementazioaren emaitza garatutakoarekin konparatuko da.

3.2. irudiko fluxu-diagramak garapenerako proposatutako metodologia adierazten du eta bertan aurreikusi ditzakegu burutu beharreko kalkuluak: azterketa kasu bakoitzari dagozkien identifikazioa, modelo eskuratzea, kontroladorea doitzea eta laginketa maiztasuna ezartzea; sarrera-irteeren implementazioa eta kontroladorearekin batera, sintesi tresna ezberdinez osatuko direnak. Izaera pedagogikoa aintzat hartuta, garapenean zehar erabiliko diren zenbait tresnen estatistikak ere adieraziko dira.

³www.xilinx.com

⁴www.matlab.com



3.2. Irudia: Azterketa kasua. Xilinx-en Spartan3E Starter Kit *zar-tela*.

- [1] Alecop, S. Coop., *Descripción del equipo MV-541*.
- [2] A. Visioli, *Practical PID Control*. Advances in industrial control (AIC), Springer-Verlag London Limited, 2006. Edited by M.J. Grimble and M.A. Johnson.
- [3] M. Santina and A. R. Stubberud, *The Control Handbook, Control System Fundamentals*, ch. 12. Discrete-Time Equivalents of Continuous-Time Systems. CRC Press, imprint of Taylor & Francis Group, LLC, 2 ed., 2011. Edited by W.S. Levine.
- [4] B. C. Kuo, *Sistemas de Control Automático*, ch. 2-11 La transformada z. Prentice-Hall, Inc., 7 ed., 1995.
- [5] K. J. Åström, *Control System Design, Lecture Notes for ME 155A*, ch. 6. PID Control. Department of Mechanical and Environmental Engineering - University of California, 2002.
- [6] I. Grout, *Digital Systems Design with FPGAs and CPLDs*, ch. 7. Introduction to Digital Signal Processing. Newnes, imprint of Elsevier B.V., 2008.
- [7] P. Piqtek and W. Grega, “Speed analysis of a digital controller in time critical applications,” *Journal of Automation, Mobile Robotics & Intelligent Systems*, vol. 3, pp. 57–61, 2009.
- [8] Xilinx, Inc., *System Generator for DSP, User Guide*, April 2012.
- [9] Xilinx, Inc., *Spartan-3E Starter Kit Board, User Guide*, March 2006.
- [10] Digilent, Inc., *Digilent PmodHB3, 2A H-Bridge Reference Manual*, February 2012.
- [11] IEEE DASC Synthesis Working Group - PAR 1076.3, *Standard VHDL Synthesis Package (1076.3, NUMERIC_STD)*. IEEE, 1995.
- [12] U. Martinez Corral and A. Martin Uribarri, “Ordenagailu-Haizagailuak Kontrolatu eta Ikusteko Sistema (OHKIS).” Eragingailu Logiko Programagarriak Ditutzen Sistema Digitalak - Bilboko IITUE - UPV/EHU, June 2009.
- [13] U. Martinez Corral, L. Ranero Santisteban, and I. Sarramian Olmos, “Control de velocidad de un motor CC: NI Labview.” Sistemas Digitales en la Medida y Control de Procesos Industriales - EUITI de Bilbao - UPV/EHU, June 2012.
- [14] U. Martinez Corral, “Acher, serie komunikazio bitartez LED matrizea kudeatzeko sistema.” Bulego Teknikoa - Bilboko IITUE - UPV/EHU, June 2011.

Bideragarritasun txosten hau hurrengo lizentziaren arabera eskaintzen da:

Creative Commons Attribution-ShareAlike 3.0 (CC BY-SA 3.0)

- Egin ditzakezunak:

Banatzea Kopiatu, banatu eta hedatzea

Moldatzea Lana egokitzea eta eratorriak egitea

lana merkataritza helburuekin erabiltzea

- Hurrengoak bete bitartean:

Aitortzea Lanaren iturria aitortu behar da, *Unai Martinez Corral* eta *Koldo Basterretxea Oyarzabali* eta *APES* taldeari erreferentzia eginez, eta ehu.es/apes orrialdea aipatuz (baina lan eratorriek edo lanaren erabilerek hauen babesa dutela adierazi barik).

Berdin partekatzea Lan hau moldatu edo egokituz gero, edo lan eratorririk sortzekotan, egindakoa banatzeko honetan erabilitako lizentzia berdina erabili behar da.

creativecommons.org/licenses/by-sa/3.0/es/legalcode.eu

Txostena egiteko jarraian zerrendatutako baliabideak erabili dira:

- TeXmaker, BibTeX, QtikZ
- L^AT_EX paketeak: import, inputenc, babel, geometry, graphicx, rotating, natbib, tocbind, caption, indentfirst, multirow, eurosym, amsmath, xcolor, tikz,pgfplots, url, hyperref, etoolbox, eso-pic, fancyhdr
- Dia, GIMP, Inkscape

Hurrengoak eta aipatutako erakundeen zein hauek garatutako produktuen logotipo eta irudiak haiei dagozkie, eta bakoitzak adierazitako baldintzen arabera banatzen dira.

- The Noun Project (thenounproject.com/): Laptop and iPhone *iconoci*, Sync *P.J. Onori*, Robot *Luis Prado*, Network *Jerry Wang*, Time *Richard de Vos*, Puzzle *Dmitry Baranovskiy*, Conversation *Sébastien Desbenoit*, Memory *Andrew J. Young*, Data *United Nations OCHA*

Karrera Amaierako Proiektuak idazteko txantiloia

2007 urtean zehar *Iñaki Silanesek*, **ITSAS** Software Libre Taldeko kideak, \LaTeX eta *Open-Document* formatuetan Unibertsitatean gazteleraz, euskaraz zein ingelesez Karrera Amaierako Proiektuak zein Doktorego Tesiak aurkezteko txantiloiak eskaintzeko helburuarekin *Plantillas para Proyecto de Fin de Carrera* lan taldea⁵ osatu zuen.

2010 urtean *Digna González* eta *Unai Martinezek* lan talde berrian⁶ *Iñaki Silanesen* lana \LaTeX erabiltzeko hainbat argibide, erreferentzia, aurkezpen eta abarrekin bateratu zuten eta material bera baliatuz zenbait ikastaro eman.

Idazleak, **Bilboko Industria Ingeniaritza Teknikoko Unibertsitate Eskolan**⁷ Karrera Amaierako Proiektua euskaraz idazteko orduan eskuragarri zeuden txantiloiek premia⁸ guztiak asetzen ez zituztenez, aipatutako lan taldeetan bildutakoak oinarri, eskuartean duzun txantiloia berria egin du. Hurrengo berrikuntzak ditu honek:

- BI-IITUEko web gunean soilik DOC formatuan eskuragarri dauden txantiloiak erabili dira *Kapitulu/Dokumentuen* portadak diseinatzeko.
- *UNE 157001-2002* araua erreferentzia izanik banatu da edukia. Hala ere, txantiloia honek ez du araua betetzen. Karrera Amaierako Proiektuen helburu nagusia hezkuntza eta ikastea izanik, edukia aurkitzea eta dokumentuen banakako azterketa errazteko diseinuan zenbait erabaki ezberdin hartu dira:
 - Dokumentuen ordena aldatu da eta zenbait ezabatu.
 - Portadak ez daude zenbakituta.
 - Orrialde, irudi, taula eta ekuazioen zenbakitzea kapitulu bakoitzean berrabiatzen da.
 - Zenbakitzea 0an hasten da.
 - Aurkibideen orrialdeak zenbaki erromatarrez daude adierazita.
 - Eranskinen dokumentuan atalak alfabetoz izendatzen dira.
 - Goiburu eta orri oinen edukiak tokiz aldatuta daude eta dokumentu, atal zein azpiatalen arabera berritzen dira.

Hau dela eta, araua betetzeko *config* karpeta fitxategietan moldaketak egin behar ditu txantiloia erabiltzaileak.

- Kapitulu, atal, azpiatal, azpiazpiatal, irudi eta taulak zenbakitu eta izendatzean zenbakia azaltzen da lehenengo, puntu ordinala ondoren eta hitza azkenik.
- *babelek basque* aukeratzean ezartzen duen data komandoaren orde *gaur* sortu da.
- *Kapituluen* izen gisa *Dokumentu* ezarri da.
- Atalen goiburuak aldatu dira.
- Ikurren Zerrenda gehitu da.

⁵itsas.ehu.es/workgroups/plantillas_proyecto_fin_de_carrera

⁶itsas.ehu.es/workgroups/latex

⁷www.industria-ingeniaritza-tekniko-bilbao.ehu.es

⁸www.industria-ingeniaritza-tekniko-bilbao.ehu.es/p229-content/eu/contenidos/normativa/euiti_bi_pfc/eu_nor_gral/normativa_gral_fin_carrera.html