



INDUSTRIA ELEKTRONIKAREN ETA AUTOMATIKAREN INGENIERITZA GRADUA

GRADU AMAIERAKO LANA

2016 / 2017

FPGA tan gauzatutako sistema digitaletan kontsumoa neurtzeko eta murrizteko estrategien aplikazioa

LABURPENA

IKASLEAREN DATUAK

IZENA Unai
 ABIZENAK Rodriguez Sarriegui
 NAN zk

Sinadura

DATA 2017-09-08

ZUZENDARIAREN DATUAK

IZENA Koldo
 ABIZENAK Basterretxea Oyarzabal
 SAILA Teknologia Elektronikoa

Sinadura

DATA 2017-09-08

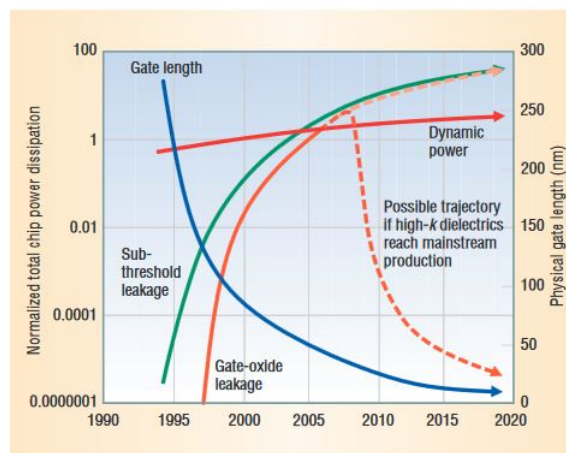
Gaien Aurkibidea

1	Testuingurua	2
2	Xedea eta Deskribapen orokorra	3
3	Metodologia	4
4	Emaitzak	5
5	Ondorioak	8
6	Tresnak	10
6.1	Hardwarea	10
6.2	Softwarea	13

1 Testuingurua

Azken urteetan aplikazio eramangarrien garapenarekin bat, *Field Programmable Gate Array* (FPGA) sistema asko potentzia xahuketa maximoa ezaugarritzen hasi dira, diseinu fasean lehentasun handiagoa duen, eta aurreikusi behar den, faktore bat bilakatu. Honek, halaber, hainbat aldagai barnebiltzen ditu, gailu edo txip-aren aukeraketatik hasiz energia aurrezteko teknika aurreratuetaraino.

Moore-en legeak aurreikusi bezala [Moore, 1965], fabrikazio teknologien jenerazioak aurrera doazen heinean transistoreen tamaina murriztuz doa esponentzialki, honek, FPGA gailu batean egon daitezkeen transistore kopurua areagotzea suposatzen duelarik. Lehenengo hurbilpen batean, transistore gehiago izateak potentzia estatiko gehiago xahutzea suposatzen duela uler genezake, baina ez da hurbilpen bakarra. Izan ere, gaur egungo FPGAen teknologia aurrerapenak erloju maiztasunak azkartzea ekarri dute, honek potentzia dinamikoaren areagotzea ekarri duelarik [Kim et al., 2003], eta horri, aurrez aipaturiko transistore kopuruaren igoera gehituko bagenio, are xahuketa handiagoa izango genuke. Alabaina, estuki lotuak daude bi aldagai hauek, potentzia dinamikoaren eragina ez baita erlojuaren maiztasunera soilik mugatzen, potentzia dinamiko hori sortzeko gai diren elementuek ere eragin zuzena baitute.



1 Irudia: Moore-n legeak aurreikusiriko diseinu mugak, potentzia xahuketan duten oinarriaren grafikoa [Kim et al., 2003].

Hainbat hurbilpen eta saiakera egin dira potentzia baxuko sistema digitalak diseinatzerako orduan, CAD erremintak baliatuz; *Clock-gating* edo *Clock-enable* bezalako erloju kudeaketa eginez; erlojuaren moldatze dinamikoa eginez edo datu bidalketaren blokeoa, *datapath-block* izenekoa, baliatuz besteak beste. Horrez gain potentzia xahuketa aztertzeke erremintak ere ugaltu eta zorrotz dira aurrez aipaturiko sistemen efizientzia eta ezaugarritzea osatzera bidean.

Lan honetan guzti hau aztertu, landu eta praktikara eramane nahi da FPGA sistemen oinarriak bereganatu, etorkizun hurbilean esanguratsua izango den gaia landuz.

2 Xedea eta Deskribapen orokorra

Proiektu honen xede nagusia FPGAen gauzatutako sistema digitalen potentzia xahuketa dinamikoki neurtu eta kontrolatzeko tekniken aplikazioa aztertzea eta gauzatzea izango da.

Helburu nagusia beraz, horretarako baliatuko den, FPGA txertaturik egon den AC701 ebaluazio plataforman, energia kontsumoa murrizteko balio duten teknikak inplementatu eta neurketak egitea izango da. Hala ere, gai honen inguruan aurrez zegoen ezjakintasuna zela eta, FPGAen gaian murgiltzea ere zehar-lerroetako bat izan da. Horretarako, lehenik eta behin FPGAen oinarriko kontzeptuak barneratzen hasi da; FPGAk zer diren, egitura nolakoa den, hardware programazio lengoaiak ezagutu eta ikasi, etab. Lan honetan murgildurik, eta *Elektronika Digitalaren Diseinu Taldea* (GDED) taldean egindako lana dela medio, potentziaren neurketen inguruan dauden aukeretan ere sakondu da, batik batik, Vivado bezalako aukera askotako erremintak eskaintzen dituenetan.

- FPGA eta prozesamendu paraleloaren inguruko informazio bilketa eta oinarri sendo baten lanketa, baita haiek nola programatu eta kudeatzen den ikasi.
- FPGAen gauzatu daitezkeen edo inplementatu diren potentzia xahuketa murrizten duten tekniken azterketa sakona.
- FPGAren baitan dauden elementuek energia kontsumoan duten eraginaren azterketa.
- Potentzia xahuketa eraginkorki neurtzeko dauden aukeren ikerketa eta alderaketa.
- Aurrez aipaturiko tekniken inplementazioa.
- Teknika hauen emaitzetan oinarrituz, haien eraginkortasun maila neurtu.

3 Metodologia

Lan honen garapena eman ahal izateko hainbat aurre-pausu eman behar dira gaia bera ulertu eta lana modu efektibo batean egiteko. Hori dela eta, lehenik eta behin gaiaren inguruan informazio bilketa eta ulerpen egoki bat emango da, izan ere FPGA eta hardware programagarria zer den ulertzea ezinbestekoa da lehenengo hurbilpen bezala.

Honen ostean, FPGAk programatu, kontrolatu eta diseinatzeko baliabideak aztertuko dira; kasu honetan, batez ere *Vivado Design Suite* softwarean zentratuko da, izan ere, hau da GDED ikerketa taldean baliatzen dena. Honekin batera, hardware deskribapen lengoaiak aztertu, ikertu eta ikasiko dira proiektuaren oinarri izango baitira. Hala ere, lengoaiaren egitura eta oinarrizko atalak aurrez aztertzea planteatu bada ere, zeharka landu beharreko konpetentzia bat dela aurreikus daiteke, proiektua aurrera doan heinean garatzen joango dena.

Behin oinarri minimo hau izanda, FPGAren aurki daitezken potentzia xahuketa kontrolatu eta murrizteko teknikak aztertzen hasiko da granularitate handiko kasuetatik txikikoetara pasaz. Prozesu honetan, informazio bilketa izango da garrantzitsuena, aukera bakoitzak eskaintzen dituen abantaila eta desabantailak ulertuz eta gaur egun zabalduen dauden aukerak lehenetsiz.

Programazio hutsarekin hasi baina lehen, gure teknikek suposatuko duten eragina aztertzeke teknika edo erremintak aztertuko ditugu. Horretarako bi lan ildo paralelo aztertuko ditugu, bata tenperaturaren neurketa FPGAren zehar eta bigarrena potentziaren neurketa dinamikorako aukeren azterketa. Batak zein besteak garrantzia badute ere, bigarren aukerak ematen digu informazio zehatzago eta interesgarriagoa gure tekniken efizientziari dagokionez, hortaz, bertan sakonduko dugu gehiago.

Aurrekari guztiak bete ostean, teknikak praktikan jartzea ezinbestekoa da, hemen ere 3 atal banatuko ditugularik: **Atal Funtzionalaren** konprobaketa, **Potentzia kontrol eta murrizketari** dagokion atala eta **Jasotako emaitzen analisia** jorratuko genukeen atala.

Hiruretatik lehenengoan, gure teknikek gure diseinuan izan dezaketen eragin negatiboa aztertuko da, hala nola, *glitch*-ak, atzerapenak, etab. Honetarako ezinbestean *source* kodea sortu eta berau konprobatzeko *test-bencha* diseinatu beharko dira.

Bigarrenean berriz, potentziaren kontrol eta murrizketa efektiboari dagokion neurketa eta konprobaketak egin beharko dira. Honetarako, berriz, aurreko kodea txartelean implementatu eta neurketa zuzenak egin beharko dira.

Azkenik, atal hauetan jasotako informazio eta datuak alderatu eta aurkeztuko dira, ostean ondorio argi eta konprenigarriak aurkeztu ahal izateko.

Lanari amaiera emateko, jasotako emaitzak analizatu eta ulertuko dira hauei arrazoi-namendua emanez eta tekniken egokitasuna analizatuz.

4 Emaitzak

Lanean zehar hainbat atal lantzen badira ere esan daiteke neurketa errearen kalkulua eta lorturiko estimazioekiko alderatzeak pisu zentrala hartzen duela. Hori dela eta atal honetan lehenik eta behin potentziaren estimazioak aurkeztuko dira, Vivadoren bidez lortuak, ostean TS838 gailuaren bidez lorturiko emaitzak aurkeztuko dira eta amaieran Vivado Power Analysis baliabidearekin lorturikoak eta errealak alderatu. Guzti hau adibide bakar batean kondentsatuko da, 750 elementukoa kasu honetan, proiektuaren funtsa bera ulertzen lagunduko duena.

Kasu honetan potentzia dinamikoaren kontsumoa da aztertu nahi den potentziaren murrizketan interes berezia sortzen duen atala. Izan ere atetze metodoek potentzian izango duten eragina potentzia dinamikoaren aldaketan islatuko da. Hori dela eta, 750 elementuko diseinuarekin jaso diren datuak analizatu osteko potentzia dinamikoaren grafikoa aurkezten da 2 irudian.



2 Irudia: 2. Saiakeraren Potentzia dinamikoaren grafikoa

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
— Osoa	0,313	0,319	0,325	0,33	0,337	0,342	0,349	0,354	0,361	0,369
— Dinamiko	0,175	0,18	0,186	0,191	0,198	0,203	0,21	0,216	0,224	0,23
— Estatikoa	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139

3 Irudia: 2. Saiakeraren Datu taula.

3 irudian ikusgai dauden datuetara joz, konfirma daiteke teknika hauen eragina, izan ere, **potentzia xahuketa totalarekiko** murrizketak %15,18a suposatu du, eta **potentzia dinamikoaren murrizketak**, berriz, %23,91a. Zenbakiekin jarraituz, potentzia murrizketa totala 51mW izatera iritsi da.

Honako saiakera honetan jada uler daiteke aplikaturiko teknika egokia dela planteatu den helburuak lortzeko. Hala ere, frogapen egoki bat izateko neurketa errealak egitea ezinbesteko zeregina da.

Aipatu beharra dago neurketa errearen bidez lorturiko emaitzak ez direla oso zehatz edo fidagarriak. Hala eta guztiz ere, harturiko datuekin benetako balioa izango litzakeenaren estimazioa egin da batz besteko aritmetikoa baliatuz. Honen bidez grafiko bat osatu da potentzia total erreal irudikatzeko asmoz. Grafiko hau 5 irudian dago ikusgai.

Emaitza horretara heltzeko behar diren datuak aurkezteko asmoz lehenik eta behin jasotako datuak aurkezten dira 4 irudian. Honi jarraiki, 4 irudian ageri den taulan jasotako balioekin kalkulaturiko **Batz Bestekoa**, **Ohiko Desbiderapena** eta **Desbiderapen Estandarra** aurkezten dira 1 taulan.

	5	10	15	20	25	30	35	40
%10 Saiakera	7,0	7,0	7,0	7,5	7,0	7,5	7,0	7,0
%50 Saiakera	7,5	7,5	8,0	8,0	7,5	7,5	8,0	7,5
%100 Saiakera	8,5	8,5	8,5	8,0	8,5	9,0	8,0	8,5

4 Irudia: 750 elementuko diseinua jatorri den **datu taula**.

	BB (W)	OD	DE
%10 Saiakera	7,125	0,217	0,077
%50 Saiakera	7,688	0,242	0,086
%100 Saiakera	8,438	0,3	0,106

Taula 1: 750 FFdun denbora errealeko frogaren emaitzak

Hasierako azterketa batean soma daiteke aurreko estimazioetan jasotako datuekin ez duela guztiz bat egiten aurkezturiko emaitzak. Izan ere, joera lineal gorakor bat jarraitzen badu ere, jasotako balioen magnitudea oso handia da, aurreko ataleko emaitzekin parekatzeko. Honen adibide argia da 6 irudian aurkezten den grafikoa. Bertan, Vivadoren Power Analysis erreminta baliatuz lorturiko emaitzak eta azken atal honetan lorturikoak alderatzen dira.

Horretarako, eta neurketa errearen metodoarekin jasotako beste elementuen potentzia kontsumoa ahalik eta gehien arbuiaitzeko asmoz, lehenengo irakurketa bi kasuetan 0 a balitz bezala parekatzen da. Honi esker, hortik aurrera jasotako aldaketak potentzia

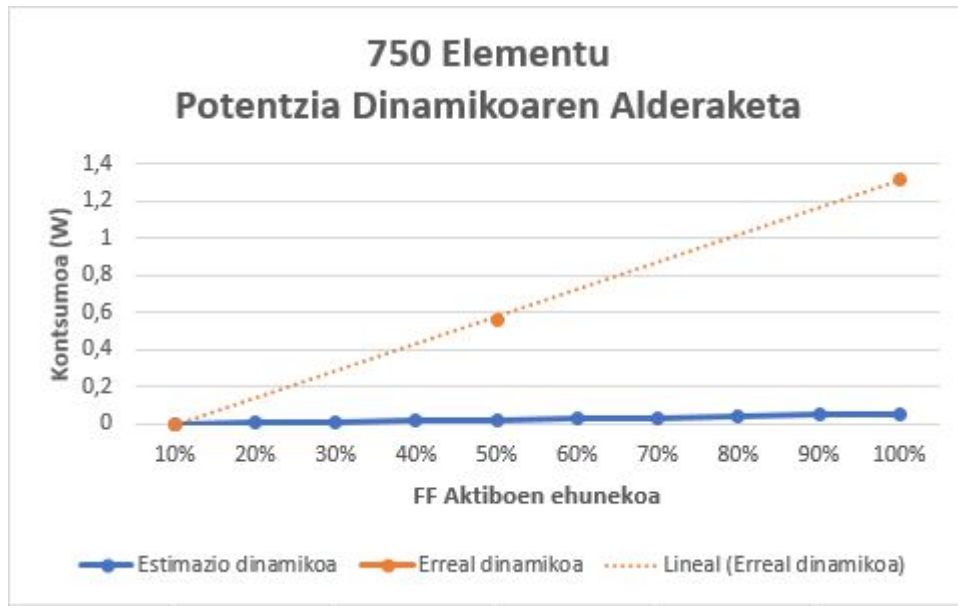


5 Irudia: 750 elementuko diseinua jatorri duen **potentzia errealaren neurketak.**

dinamikoan soilik jazotako aldaketak direla suposa genezake. Hemen aipatzen diren datuak 7 irudian topa daitezke.

Hala eta guztiz ere, oso kontuan izan behar da datu hauek jasotzerakoan lehenengo metodoaren bidez jasotako datuak ez direla errealak eta bigarreanean jasotakoak berriz datu errealetatik abiaturiko estimazioak direla, eta hortaz errorea ere jasaten dutela.

Grafiko zein datuak aztertu ezker argi ikus daiteke metodo batean zein bestean jasotako datuak eskalan ez datozela bat. Honek jatorrian zalantza asko planteatzen ditu, batez ere datuen bilketa iturriei dagokienean. Hala ere, grafikoei erreparatuz gero, frogatua geratzen da aplikaturiko teknikak finean bere helburua luzez betetzen duela, aurrez genituen estimazioak betez eta gaindituz froga errealak egiterako orduan.



6 Irudia: 750 elementuko diseinua jatorri duen **potentzia errealaren eta dinamikoaren arteko alderaketa.**

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Estimazio dinamikoa	0	0,005	0,011	0,016	0,023	0,028	0,035	0,041	0,049	0,055
Erreal dinamikoa	0				0,56					1,313

7 Irudia: 750 elementuko diseinua jatorri duen **potentzia errealaren eta dinamikoaren arteko alderaketa.**

5 Ondorioak

Lanaren aipaturiko helburuei erreparatuz gero esan genezake orokortasun batean planteaturiko helburuak zehaztu, garatu eta gauzatzea lortu dela. Aztertu diren tekniken artean gehien garatu den atala *Clock gatinga* izanik, hura izan daiteke ondorio gehien eta formatuenak izan ditzakeen atala.

Teknika bera baloratzerako orduan bi ezaugarri nagusi nabarmentzen dira, inplematzeko duen erraztasuna eta diseinatzerako orduan eskaintzen duen sinpletasuna. Hala eta guztiz ere, aplikatu daitekeen diseinuen espektroa mugatua da, izan ere, aplikatu nahi den diseinuaren izaerak berak asko mugatzen du. Honen jatorria bere jokaeran dago, FPGA txertaturiko elementu desberdinen erloju seinalea itzaltzean hain zuzen ere. Hau kasu batzuetan ezingo da egin diseinuaren izaeragatik beragatik.

Beste aldetik, kontraesan egoera bat sortzen du bere funtzionalitateari dagokionez. Izan ere, tamaina handiko diseinuetan aplikaturiko teknikek dute etekin edo errentagarritasun gehien, baina era berean, bertan sor daitezke arazo gehien erloju arbola eta

glitch-ekin.

Guzti hau kontuan harturik esan daiteke, kasuz kasu aztertu beharko litzatekeela Clock gating-a aplikatu nahi diren diseinuak honen funtzionalitate eta erabilgarritasuna aztertuz.

*Clock gating*a alde batera utziz, bereziki interesgarria suertatu den teknika bat erloju maiztasunaren kontrol dinamikoarena izan da. Kasu honetan aukera desberdinek diseinu gama zabal baterako irtenbide bat suposatzen dute, azterturiko kasuan potentziaren murrizketa esanguratsua izan delarik. Hortaz, atal hau aurrerantzean aztertu eta sakontzea beharrezkotzat jotzen da.

Beste hurbilpen bat funtzionalitate mailan ere egin da, kasuz kasu aztertuz aukera eta ondorio bakoitza. Honek ere ez du ondorio nagusi bat bilatzen, izan ere, kasu bakoitzean sor daitezkeen behar eta ezaugarriei egokituko zaie funtzionalitate bakoitza. Aztertutako aukerek hainbat aukera ematen dizkiote diseinatzaileari batzuetan sinpletasunera joko da, eta besteetan berriz konplexutasun eta ziurtasunera.

Potentzia murrizketa tekniketarik haratago nabarmentzea merezi du erabilitako potentzia estimatzeko tresnak ahalik eta zehatzenak izatea lortu bada ere potentziaren denbora errealeko neurketan ez dela helburua guztiz gauzatu. Zentzu honetan sakontzeko beste baliabide batzuk erabiltzera eramaten du ezinbestean, PMBUSa kasu, edo bestela FPGAen diseinu prozesua sakonean aztertzea microblaze beza.lako erremintak erabiltzera begira. Hortaz, atal honetan aztertzeko luze eta zabal eman dezakeen esparru bat irudikatzen da.

Hala ere, aztertu diren tekniken artean SYSMON tresnak erabilera erraztasun asko eskaintzen ditu, nahiz eta, aztertu den kasuan guztiz ez lortu emaitza egokia. Horrez gain Vivadok eskaintako tresnek potentziaren estimaziorako aukera anitz eskaintzen dituzte, gailuen potentziari dagokionean hurbilpen interesgarri bat eskainiz.

Azkenik lanaren berrikuspen bat egiterakoan *Latex* euskarria, bere baitan koka daitezkeen garapenerako baliabide guztiekin batera, eta *Bibtex* erreferentzia kudeatzailea ezin ekidineko aipamen bilakatzen dira. Baliabide hauek mundu berri bat ireki didate lan akademikoen garapenen arloan eta, erronka bat suposatu badute ere, bereganaturiko konpetentzia eta gaitasunak zenbatu ezinak dira.

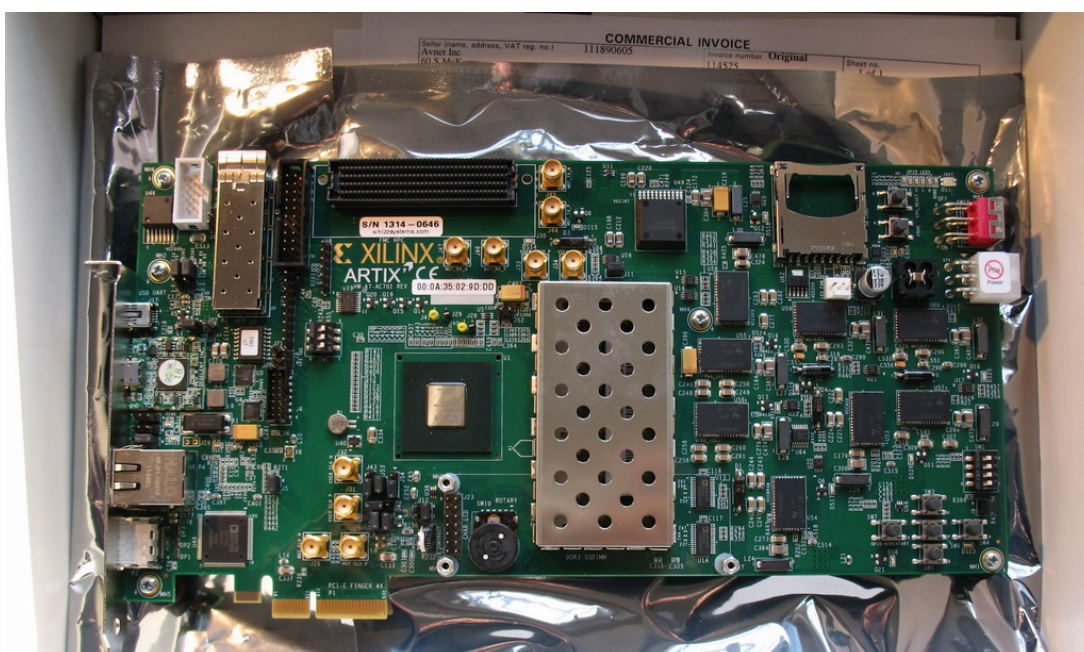
Lanari amaiera emateko, aipa daiteke hasieran planteaturiko helburua guztiz ez bada bete ere, oinarri sendo bat landatu dela lan honekin. Hala eta guztiz ere, lan asko dago oraindik egiteko arlo honetan, potentzia neurtzeko tekniketarik hasiz, potentzia murrizketa tekniken inplementaziora arte. Hori dela eta ikasitako guztiak orain zein etorkizunean gara daitezkeen lan guztietan isla sakon bat izango du.

6 Tresnak

6.1 Hardwarea

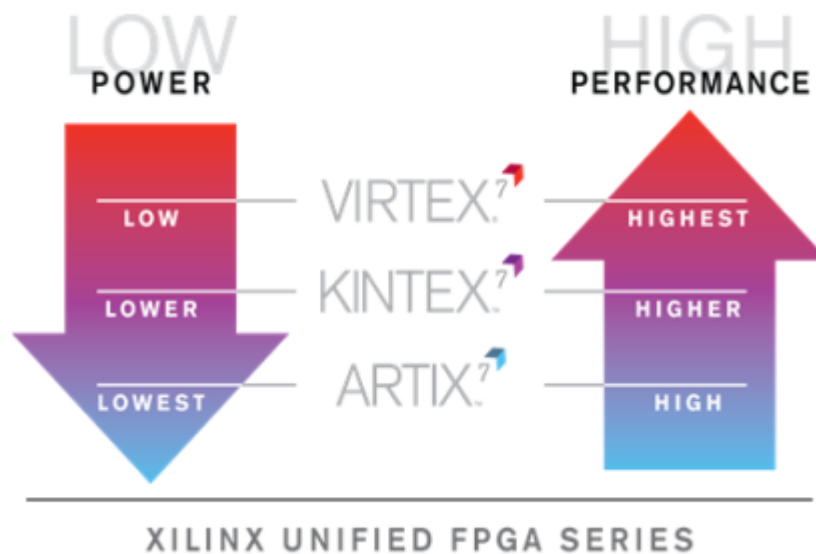
AC701 txartela

Lan honetan baliatu den hardwarea Xilinx konpainiaren AC701 A200T txartela izan da, hain zuzen ere *Evaluation-Kit* modeloa, neurketak egiteko aukera paregabeak eskaintzen dituena. Txartel hau, Artix-7 FPGA-n oinarrituriko txartel bat da, baina ebaluaziorako eta neurketetarako bereziki prestatua dago, horren adibide argia da pack-aren baitan AMS101 neurketa txartela etortzea. Txartela bera 8 irudian ikus dezakegu.



8 Irudia: Xilinx konpainiaren AC701 A200T txartela.

Artix-7-a Xilinx-ek atera duen **7 series** azkenengo produktu gamaren parte da, Ultrascale eta Zynq gailuekin batera, eta merkatuko zein industriako beharrei erantzuteko helburuarekin sorturiko produktu gama bat da. *7-series* delakoetan 3 azpi-gama bana ditzakegu beste behin, prezio eta gaitasunarekin zerikusia izango dutenak; Virtex, garesti eta kalkulu gaitasun handienekoak dira hauek, Kintex (gaitasun handia baina aurrekoak baina murriztagoa) eta azkenik guk erabiliko dugun Artix-a, gama baxua edo ekonomikoena, 9 irudian ikus daitekeen bezala.



9 Irudia: Xilinx konpaniaren **7 series FPGA** desberdinek dituzten propietate nagusiak.

Hortaz Artix-ak kostu baxuko baina gaitasun handiko produktuak ditugu, *low-power* edo potentzia baxuko elementuetan oinarrituak zein potentzia eskakizunak betetzeko gaitasuna dutenak.

TS-838 neurketa gailua

Potentziaren neurketa errealerako baliatu den beste elementu bat TS-838 izeneko neur-gailua da. Gailu hau etxeetan gailu desberdinek izan dezaketen energia kontsumoa neurtzeko diseinatua badago ere, funtsean energia zein potentzia neurtzeko gailu praktiko bat da.

Izan ere entxufe bat moduan funtzionatzen du, hura korrante elektrikora entxufatu ostean neurtu nahi den tresna gailura entxufatu besterik ez da egin behar neurtzen hasteko. Hainbat aukera baditu ere, aztertuko den kasuan potentziaren uneko neurketa baliatuko da. 10 irudian ikusi daiteke gailua.

Horrez gain 2 taulan gailuaren neurketa espezifikazioak ikusi ahalko dira.



10 Irudia: Potentzia neurketa errealak egiteko baliatu den TS-838 neurgailua

Parametroa	Zehaztasuna
Boltaia(V)	Neurturiko balioaren $\pm \%3$
Intentsitatea(A)	Neurturiko balioaren $\pm \%3 \pm 0,002A$
Potentzia(W)	Neurturiko balioaren $\pm \%3 \pm 1W$ Bereizmena 0,5W
Energia(KWh)	Neurturiko balioaren $\pm \%3 \pm 0,1KWh$
Potentzia faktorea	Neurturiko balioaren $\pm \%0,1$ Betiere $0,7 = \cos \leq 1,0$

Taula 2: TS838 neurgailuaren zehaztasun espezifikazioak

6.2 Softwarea

Lan honen garapenean erabili den software nagusia *Vivado Design Suite* izenekoa izan da, Xilinx konpainiak HDL sintesi eta analisirako bereziki sorturiko softwarea, hain zuzen ere. Vivadok, aurrez **Xilinx ISE**k zuen papera hartu eta hobetu du, izan ere, ISEk zituen baliabideez gain, SoC-en garapenerako eta maila altuko sintesirako errementa berriak ere, eskaintzen ditu azken honek.

Horrez gain, Vivadok eskaintzen duen berrikuntzarik handiena diseinu fluxuaren birplanteamendua eta erreminta guztien batzea da, besteak beste, ISEk ez bezala, Vivadok simulazio erreminta propio eta integratua du. Azken hau izango da hain zuzen ere, gure diseinuen funtzionamendu egokia bermatzeko baliatuko dugun erreminta nagusia.

Horrez gain, potentziaren estimazioak egiteko gaitasuna ere badu, gure diseinuen potentzia xahuketa estimatu ahal izango dugularik. Bide hau izango da, zuzeneko neurketez gain emaitza zehatzenak eskainiko dizkigun baliabidea, garrantzia berezia izango duelarik. Aurrez aipaturiko guztia eta beste hainbat eskaintzen dizkigu beraz Vivadok.

Akronimoak

FPGA *Field Programmable Gate Array.*

GDED *Elektronika Digitalaren Diseinu Taldea.*

Bibliografia

[Kim et al., 2003] Kim, N. S., Austin, T., Baauw, D., Mudge, T., Flautner, K., Hu, J. S., Irwin, M. J., Kandemir, M., and Narayanan, V. (2003). Leakage current: Moore's law meets static power. *Computer*, 36(12):68–75.

[Moore, 1965] Moore, G. E. (1965). Cramming more components onto integrated circuits. *Electronics*, 38(8).