



**INDUSTRIA ELEKTRONIKAREN ETA AUTOMATIKAREN INGENIERITZA GRADUA**

GRADU AMAIERAKO LANA

2016 / 2017

FPGA tan gauzatutako sistema digitaletan kontsumoa neurtzeko eta murrizteko estrategien aplikazioa

**MEMORIA**

**IKASLEAREN DATUAK**

IZENA Unai  
 ABIZENAK Rodriguez Sarriegui  
 NAN zk

Sinadura  
 DATA 2017-09-08

**ZUZENDARIAREN DATUAK**

IZENA Koldo  
 ABIZENAK Basterretxea Oyarzabal  
 SAILA Teknologia Elektronikoa

Sinadura  
 DATA 2017-09-08



## Laburpena

Lan honen baitan *Field Programmable Gate Array* (FPGA)tan aplikatu daitezkeen konsumorako neurketa eta kontrolerako tekniken azterketa eta implementazioa egingo da. Horretarako lehenik eta behin teknika hauei dagozkien teoria desberdinak garatuko dira, erduez eta adibideez baliatuz. Hauen artean 2 teknika aztertuko dira nagusiki, ***Clock-Gating*** eta ***Dinamic clock reconfiguration***. Hala ere beste hainbat teknika ere aztertuko dira, besteak beste, ***Datapath block*** eta ***Clock enable***.

Ostean, FPGAan dauden elementuak potentziaren kontsumoan duten eragina aztertuko da banan banan, baina orokortasun batean oinarriturik. Behin hau eginik, FPGAan potentzia neurtzeko dauden tresnak aztertuko dira, estimazioetatik abiatuz, denbora errealeko neurketetaraino. Azkenik, aurrez ikusiriko teknikak implementatuko dira FPGA diseinu-eredu batean, aurrez aipaturiko tresnak baliatuz potentziaren neurketa eta kontrol dinamikoa egin ahal izateko. Emaitzak lortu ostean, hauek aztertuko dira tekniken egokitasuna analizatzeko, lanari amaiera emanez.

# Gaien Aurkibidea

<b>1</b>	<b>Sarrera</b>	<b>3</b>
1.1	Testuingurua . . . . .	3
1.2	Xedea . . . . .	4
1.3	Deskribapen orokorra . . . . .	5
1.4	Aurrekariak eta Hasierako datuak . . . . .	5
1.5	Metodologia . . . . .	8
1.5.1	Denbora plangintza . . . . .	9
<b>2</b>	<b>Oinarri teorikoa</b>	<b>11</b>
2.1	Clock Gating edo Erloju Atetzea . . . . .	11
2.1.1	Erloju Atetzea FPGAtan . . . . .	12
2.1.2	Granularitate handiko Erloju Atetzea . . . . .	13
2.1.3	Granularitate txikiko Erloju Atetzea . . . . .	14
2.2	Clock enable edo logika itzaltzea . . . . .	18
2.3	Erloju maiztasunaren kontrol dinamikoa . . . . .	19
2.3.1	MMCM by DRP and State Machine . . . . .	20
2.3.2	BUFGCTRL bidez erloju multiplexazioa . . . . .	25
2.3.3	Multiplexed and state machine . . . . .	26
2.4	Datuen gelditzea edo datapath block . . . . .	26
<b>3</b>	<b>Tenperatura neurtzeko aukerak FPGAtan</b>	<b>27</b>
3.1	FPGAen barne sentsorea . . . . .	28
3.2	CAD eta Ring Oscillator delakoak erabiliz . . . . .	28
<b>4</b>	<b>Kontsumo dinamikoa neurtzeko eta estimatzeko bideak</b>	<b>31</b>
4.1	Vivado Power Estimation Tool . . . . .	32
4.1.1	Vivado Power Analysis . . . . .	32
4.2	AMS 101 txartela edo XADC-a erabiliz . . . . .	34
4.3	PMBUS Kontrolagailuak baliatuz . . . . .	35
4.4	System Monitor (SYSMON) erabiliz . . . . .	36
4.5	Kanpo neurketa . . . . .	36

<b>5</b>	<b>Atal funtzionalaren frogapena</b>	<b>39</b>
5.1	<i>Clock-Gating</i> soilik baliatuz . . . . .	39
5.1.1	AND atea baliatuz . . . . .	39
5.1.2	NOR atea baliatuz . . . . .	42
5.2	<i>Clock-Gatinga</i> eta <i>D-Latch</i> bat erabiliz . . . . .	44
5.2.1	AND atea baliatuz . . . . .	44
5.2.2	NOR atea baliatuz . . . . .	46
5.3	Erloju maiztasunaren kontrol dinamikoa . . . . .	48
5.3.1	BUFG-ak erabiliz . . . . .	48
5.3.2	MMCMaren DRP aukera erabiliz . . . . .	51
<b>6</b>	<b>Frogapen praktikoa, garapena eta emaitzak</b>	<b>57</b>
6.1	AND ate bidezko Clock Gating-a . . . . .	57
6.2	Multiplexadore bidezko Potentzia murrizketa . . . . .	69
6.3	Denbora errealeko neurketak . . . . .	72
6.3.1	750 eraztun kontadoreko moduluak . . . . .	73
6.3.2	1500 eraztun kontadoreko moduluak . . . . .	75
<b>7</b>	<b>Ondorioak</b>	<b>77</b>
<b>8</b>	<b>Tresnak</b>	<b>79</b>
8.1	Hardwarea . . . . .	79
8.1.1	AC701 txartela . . . . .	79
8.1.2	TS-838 neurketa gailua . . . . .	80
8.2	Softwarea . . . . .	81

# Irudien Zerrenda

1.1	<b>Moore-n legeak</b> aurreikusiriko diseinu mugak, potentzia xahuketan duten oinarriaren grafikoa [Kim et al., 2003]. . . . .	4
1.2	FPGAen historia denboran kokatzen duen <b>kronograma</b> . . . . .	6
1.3	Xilinx konpainiaren <b>Artix7 A200T</b> FPGA-ren erloju eskualdea, BUFG-en kokapena barne [7cl, 2016]. . . . .	7
1.4	<b>Gantt diagrama</b> aurreikusitako eginkizun, denbora eta mugekin. . . . .	9
2.1	<b>BUFH</b> bufferraren jatorrizko egoera. . . . .	13
2.2	<b>BUFHCE</b> bufferra BUFH buffer batetik osatua. . . . .	13
2.3	Xilinx konpainiaren <b>Artix7 A200T</b> FPGA-ren erloju eskualdea, BUFG-en kokapena barne [7cl, 2016]. . . . .	14
2.4	Xilinx konpainiaren 7series gailuen erloju egituraren baitan <b>intelligent clock gating</b> -a aplikatuz gero sortuko litzakeen <b>buffer arbola</b> [Hussein et al., 2015]. . . . .	15
2.5	<b>AND</b> ate bat baliatuz osaturiko erloju-atetze eskema sinplifikatua . . . .	15
2.6	<b>NOR</b> ate bat baliatuz osaturiko erloju-atetze eskema sinplifikatua . . . .	16
2.7	<b>AND</b> ate bat eta <b>D-Biegonkor</b> bat baliatuz osaturiko erloju-atetze eskema sinplifikatua . . . . .	16
2.8	<b>NOR</b> ate bat eta <b>D-Biegonkor</b> bat baliatuz osaturiko erloju-atetze eskema sinplifikatua . . . . .	17
2.9	<b>Multiplexadore</b> bat baliatuz osaturiko erloju-atetze eskema sinplifikatua	18
2.10	<b>BUFHCE</b> bufferra BUFH buffer batetik osatua. . . . .	18
2.11	Artix 7series -2 graduko <b>MMCME2_ADV</b> modulu primitiboa [7cl, 2016].	20
2.12	<b>MMCM_DRP</b> moduluaren barne egituraren eskema. . . . .	21
2.13	<b>MMCM_DRP</b> modulua baliatzeko ereduaren bloke eskema. . . . .	21
2.14	<b>MMCME2_ADV</b> ko aldagaiak modifikatuz lor daitezkeen seinale desberdinen demostrazioa [7cl, 2016]. . . . .	22
2.15	<b>MMCM_DRP</b> modulua baliatzeko beharrezkoa den egoera makina. . . .	23
2.16	<b>MMCME2_ADV</b> ko aldagaiak modifikatuz lor daitezkeen seinale desberdinen demostrazioa [7cl, 2016]. . . . .	24
2.17	Egoera makinaren bidez maiztasunaren eskalatu dinamikoaren eskema.	25

2.18	Xilinx konpainiaren <b>BUFGCTRL</b> buferraren jatorrizko egoera [7cl, 2016].	26
2.19	Xilinx konpainiaren <b>BUFGMUX</b> buferra BUFGCTRL bufer batetik osatua [7cl, 2016]. . . . .	26
3.1	<i>Ring Oscillator</i> motako sentsoreak baliatuz lorturiko mapa termiko baten adibidea[Li et al., 2017]. . . . .	29
4.1	Potentziaren xahuketa <b>neurtzeko tresnen baliagarritasuna</b> kasu bakoi-tzean. . . . .	32
4.2	<i>Vivado Power Analysis</i> tresnaren konfigurazio GUIa. . . . .	33
4.3	<i>AMS101</i> ebaluazio txartelaren hardware oinarria. . . . .	34
4.4	<i>AMS101</i> txartelak eskaintzen duen GUIa LabView-n oinarritua . . . . .	35
4.5	<i>Texas Instruments</i> (TI)ren PMBUS-USB bihurgailua . . . . .	36
4.6	<i>SYSMON</i> tresnak sorturiko grafikoa Vivadoren GUIaren baitan . . . . .	37
5.1	<i>Clock-Gating</i> teknikaren eskema RTL mailan eginiko elaborazioaren ostean	40
5.2	<i>Clock-Gating</i> teknikaren simulazioa Vivado <i>post implementation timing simulation</i> erabiliz azterketa funtzionala egiteko . . . . .	41
5.3	<i>Clock-Gating</i> teknikaren eskema RTL mailan eginiko elaborazioaren ostean	42
5.4	<i>Clock-Gating</i> teknikaren simulazioa Vivado <i>post implementation timing simulation</i> erabiliz azterketa funtzionala egiteko . . . . .	43
5.5	AND atearen bidez eginiko <i>Clock-Gatingari Latch</i> bat gehituz lortuko genukeen eskema RTL mailan eginiko elaborazioaren ostean . . . . .	44
5.6	AND atearen bidez eginiko <i>Clock-Gatingari Latch</i> bat gehituz lorturiko simulazioa Vivado <i>post implementation timing simulation</i> erabiliz azterketa funtzionala egiteko . . . . .	45
5.7	Biegonkorraren bidez eginiko <i>Clock-Gatingari</i> AND atea beharrean NOR atea ordezkatzuz gero, lortuko genukeen eskema RTL mailan eginiko elaborazioaren ostean . . . . .	46
5.8	NOR ate eta biegonkor bidez eginiko <i>Clock-Gatingaren</i> simulazioa, Vivado <i>post implementation timing simulation</i> erabiliz, azterketa funtzionala egiteko	47
5.9	<i>Clock-Gatingari Latch</i> bat gehituz lortuko genukeen eskema RTL mailan eginiko elaborazioaren ostean . . . . .	48
5.10	<b>MMCM</b> erloju kudeatzailearen eskema. . . . .	49
5.11	<b>Multiplexadorea</b> bufferra BUFG eta bi multiplexadorez osatua. . . . .	49
5.12	MMCMaren erloju kudeaketa eta <b>multiplexadore</b> bezela baliaturiko BUFGen bidezko erloju maiztasun kudeaketa. . . . .	50
5.13	MMCMaren DRPa erabiltzeko beharrezko kodearen fluxu diagrama . . .	52

6.1	<b>Potentzia</b> kontsumo orokorraren diagrama. . . . .	59
6.2	<b>FPGAren</b> erabilera <i>place &amp; routea</i> egin ostean. . . . .	59
6.3	1. Saiakeraren <b>grafiko orokorra</b> . . . . .	61
6.4	1. Saiakeraren <b>Potentzia dinamikoaren grafiko</b> a. . . . .	62
6.5	1. Saiakeraren <b>Datu taula</b> . . . . .	62
6.6	2. Saiakeraren <b>grafiko orokorra</b> . . . . .	63
6.7	2. Saiakeraren <b>Potentzia dinamikoaren grafiko</b> a . . . . .	63
6.8	2. Saiakeraren <b>Datu taula</b> . . . . .	63
6.9	1. Saiakeraren <b>grafiko orokorra</b> . . . . .	64
6.10	1. Saiakeraren <b>Potentzia dinamikoaren grafiko</b> a. . . . .	65
6.11	1. Saiakeraren <b>Datu taula</b> . . . . .	65
6.12	2. Saiakeraren <b>grafiko orokorra</b> . . . . .	66
6.13	2. Saiakeraren <b>Potentzia dinamikoaren grafiko</b> a . . . . .	66
6.14	2. Saiakeraren <b>Datu taula</b> . . . . .	66
6.15	<b>Potentzia</b> kontsumo orokorraren diagrama. . . . .	67
6.16	<b>Potentzia</b> kontsumo orokorraren diagrama. . . . .	68
6.17	<b>FPGAren</b> erabilera <i>place &amp; routea</i> egin ostean. . . . .	68
6.18	1000 elementuko diseinua jatorri duen <b>potentzia diagrama orokorra</b> . .	69
6.19	1000 elementuko diseinua jatorri duen <b>potentzia dinamikoaren diagrama</b> .	70
6.20	1000 elementuko diseinua jatorri duen <b>datu taula</b> . . . . .	70
6.21	10000 elementuko diseinua jatorri duen <b>potentzia diagrama orokorra</b> .	71
6.22	10000 elementuko diseinua jatorri duen <b>potentzia dinamikoaren dia-</b> <b>grama</b> . . . . .	71
6.23	10000 elementuko diseinua jatorri duen <b>datu taula</b> . . . . .	71
6.24	750 elementuko diseinua jatorri den <b>datu taula</b> . . . . .	73
6.25	750 elementuko diseinua jatorri duen <b>potentzia errealaren neurketak</b> .	74
6.26	750 elementuko diseinua jatorri duen <b>potentzia errealaren eta dinami-</b> <b>koaren arteko alderaketa</b> . . . . .	74
6.27	750 elementuko diseinua jatorri duen <b>potentzia errealaren eta dinami-</b> <b>koaren arteko alderaketa</b> . . . . .	75
6.28	1500 elementuko diseinua jatorri den <b>datu taula</b> . . . . .	75
6.29	1500 elementuko diseinua jatorri duen <b>potentzia errealaren neurketak</b> .	76
6.30	1500 elementuko diseinua jatorri duen <b>potentzia errealaren eta dina-</b> <b>mikoaren arteko alderaketa</b> . . . . .	76
6.31	1500 elementuko diseinua jatorri duen <b>potentzia errealaren eta dina-</b> <b>mikoaren arteko alderaketa</b> . . . . .	76
8.1	Xilinx konpainiaren <b>AC701 A200T</b> txartela. . . . .	79



8.2	Xilinx konpainiaren <b>7 series FPGA</b> desberdinek dituzten propietate nagusiak. . . . .	80
8.3	Potentzia neurketa errealak egiteko baliatu den TS-838 neurgailua . . .	81
8.4	Vivado, Xilinx konpainiaren <b>HDLren sintesi eta analisirako softwarearen Graphic User Interface (GUI)</b> a . . . . .	83

# Taulen Zerrenda

6.1	750 FFdun denbora errealeko frogaren emaitzak . . . . .	73
6.2	1500 FFdun denbora errealeko frogaren emaitzak . . . . .	75
8.1	TS838 neurgailuaren zehaztasun espezifikazioak . . . . .	81



# Kapitulua 1

## Sarrera

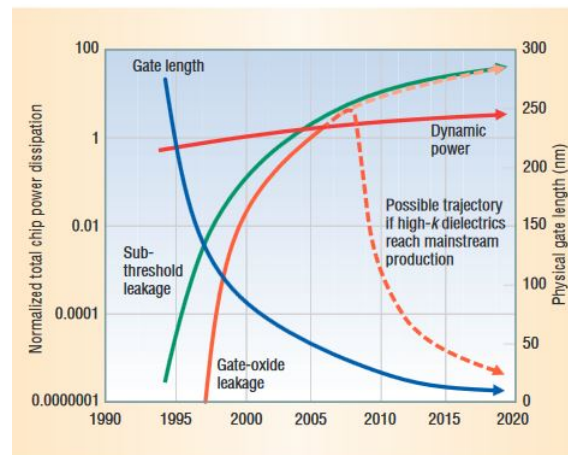
### 1.1 Testuingurua

Azken urteetan aplikazio eramangarrien garapenarekin bat, FPGA sistema asko potentzia xahuketa maximoa ezaugarritzen hasi dira, diseinu fasean lehentasun handiagoa duen, eta aurreikusi behar den, faktore bat bilakatuz. Honek, halabeharrez, hainbat aldagai barnebiltzen ditu, gailu edo txip-aren aukeraketatik hasiz energia aurrezteko teknika aurreratuetaraino.

Moore-en legeak aurreikusi bezala [Moore, 1965], fabrikazio teknologien jenerazioak aurrera doazen heinean transistoreen tamaina murriztuz doa esponentzialki, eta honek, FPGA gailu batean egon daitezkeen transistore kopurua areagotzea suposatzen du. Lehenengo hurbilpen batean, transistore gehiago izateak potentzia estatiko gehiago xahutzea suposatzen duela uler genezake, baina ez da hurbilpen bakarra. Izan ere, gaur egungo FPGAen teknologia aurrerapenek erloju maiztasunak azkartzea ekarri dute, honek potentzia dinamikoaren areagotzea ekarri du [Kim et al., 2003], eta horri, aurrez aipaturiko transistore kopuruaren igoera gehituko bagenio, are xahuketa handiagoa izango genuke. Alabaina, estuki lotuak daude bi aldagai hauek, potentzia dinamikoaren eragina ez baita erlojuaren maiztasunera soilik mugatzen, potentzia dinamiko hori sortzeko gai diren elementuek ere eragin zuzena baitute.

Hainbat hurbilpen eta saiakera egin dira potentzia baxuko sistema digitalak diseinatzerako orduan, CAD erremintak baliatuz; *Clock-gating* edo *Clock-enable* bezalako erloju kudeaketa eginez; erlojuaren moldatze dinamikoa eginez edo datu bidalketaren blokeoa, *datapath-block* izeneko, baliatuz besteak beste. Horrez gain potentzia xahuketa aztertzeko erremintak ere ugaltu eta zorrotz dira aurrez aipaturiko sistemen efizientzia eta ezaugarritzea osatzera bidean.

Lan honetan guzti hau aztertu, landu eta praktikara eraman nahi da FPGA sistemen oinarriak bereganatuz, etorkizun hurbilean esanguratsua izango den gaia landuz.



**1.1 Irudia: Moore-n legeak** aurreikusiriko diseinu mugak, potentzia xahuketan duten oinarriaren grafikoa [Kim et al., 2003].

## 1.2 Xedea

Proiektu honen xede nagusia FPGAtan gauzatutako sistema digitalen potentzia xahuketa dinamikoki neurtu eta kontrolatzeko tekniken aplikazioa aztertzea eta gauzatzea izango da.

Xede orokorra hori bada ere, graduan zehar eskuraturiko konpetentzia espezifiko eta zeharkakoak eskuratu nahi dira lan honen bidez. Hona hemen lanean zehar landuko diren hainbat gaitasun:

- **Gailu elektronikoen programazioari** loturiko konpetentzia espezifikoak, kasu honetan hardware programazioari, diseinuari eta konfigurazioari enfokatua (FPGAk).
- **Gailu elektronikoen egituraren ulerkera eta diseinuarekin** loturiko konpetentzia espezifikoak, kasu honetan jakinik egiturak berak diseinua ere hein handi batean baldintzatzen duela.
- Edozein proiektu edo lanetan **ahozko zein idatzizko adierazpenarekin** lotuak dauden konpetentzia espezifikoak, izan ere, konpetentzia hauek ezinbestekoak dira garatzen dugun proiektuak ahalik eta irismen handiena izan dezan. Hortaz, dokumentazio zein ahozko aurkezpenean irudikatu behar diren konpetentziak ditugu hauek.
- **Metodo eta teoria berriak ikasteko gaitasuna eta egoera berrietara egokitze-ko gaitasunarekin** loturiko konpetentziak, kasu honetan zuzenean landu ez dugun gai bati aurre egiten baitio lanak.

### 1.3 Deskribapen orokorra

Helburu nagusia beraz, horretarako baliatuko den, FPGA txertaturik egon den AC701 ebaluazio plataforman, energia kontsumoa murrizteko balio duten teknikak inplementatu eta neurketak egitea izango da. Hala ere, gai honen inguruan aurrez zegoen ezjakintasuna zela eta, FPGAen gaian murgiltzea ere zehar-lerroetako bat izan da. Horretarako, lehenik eta behin FPGAen oinarrizko kontzeptuak barneratzen hasi da; FPGAk zer diren, egitura nolakoa den, hardware programazio lengoaiak ezagutu eta ikasi, etab. Lan honetan murgildurik, eta *Elektronika Digitalaren Diseinu Taldea* (GDED) taldean egindako lana dela medio, potentziaren neurketen inguruan dauden aukeretan ere sakondu da, batik batik, Vivado bezalako aukera askotako erremintak eskaintzen dituenetan.

- FPGA eta prozesamendu paraleloaren inguruko informazio bilketa eta oinarri sendo baten lanketa, baita haiek nola programatu eta kudeatzen den ikasi.
- FPGAen gauzatu daitezkeen edo inplementatu diren potentzia xahuketa murrizten duten tekniken azterketa sakona.
- FPGAren baitan dauden elementuek energia kontsumoan duten eraginaren azterketa.
- Potentzia xahuketa eraginkorki neurtzeko dauden aukeren ikerketa eta alderaketa.
- Aurrez aipaturiko tekniken inplementazioa.
- Teknika hauen emaitzetan oinarrituz, haien eraginkortasun maila neurtu.

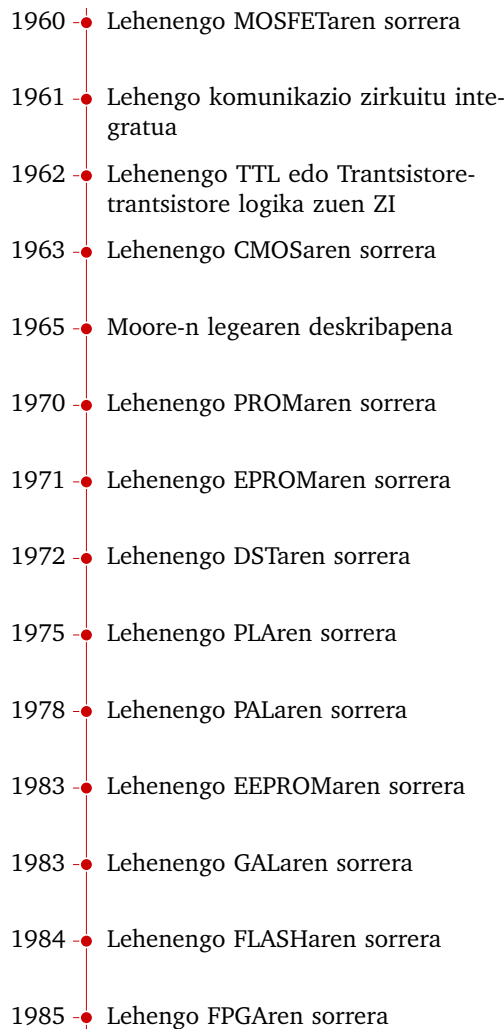
### 1.4 Aurrekariak eta Hasierako datuak

FPGAk bereziki azken urteetan publiko zabalera hedatzen hasi den teknologia bada ere, historia luzea duen gailu elektronikoa da. Hala eta guztiz ere, FPGAk ez dira merkatuan zein ikerketetan gehien erabiltzen edo ezagunenak diren gailuak. Izan ere, haien gaitasun eta abantailak azkar lausotzen dira haien fabrikazio kostu eta konplexutasunaren atzean. Tendentzia hauek aldatzen badoaz ere, beharrezkoa ikusi da FPGA kontzeptu eta teknologia mikroelektroniko bezala historiko eta teknikoki aurkeztea testu honen ulerkerak sakonago bat erraztera begira.

Hortaz, atal honetan, lehenik eta behin FPGAen historia aztertuko da, ostean teknologia mikroelektronikoaren ikuspuntutik azalpena garatuz eta azkenik teknologia honen aukera eta aurrera begirada bat eskainiz.

Begirada historikoaren lehen urratsa FPGAk sortzera arte hemen diren pausoak kronologikoki kokatzea komeni da, 1.2 irudian ikus daitekeen kronograman ageri den bezala.

### 1. DENBORA LERROA: *FPGAen Jatorria*



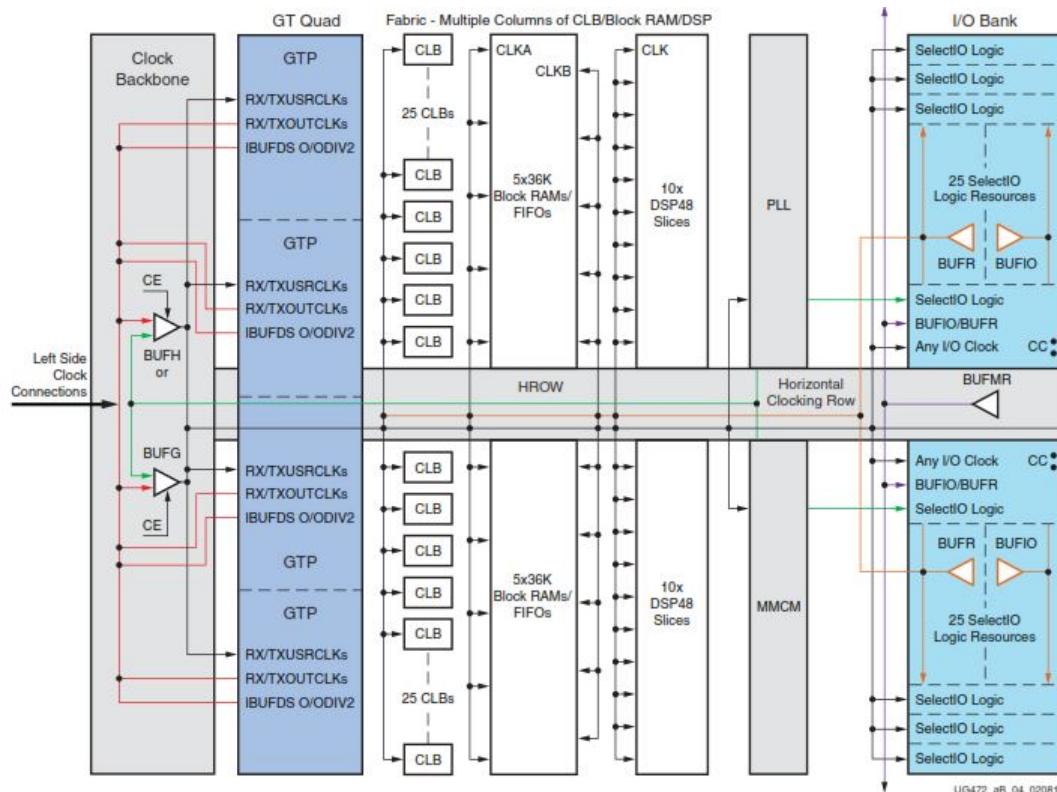
### 1.2 Irudia: FPGAen historia denboran kokatzen duen **kronograma**.

**MOSFET**ak dira, gaur egun ere, FPGAren topa ditzakegun oinarritzko elementu ohi-koenetakoak. Askotan ate bezala ere ezagunak diren hauek izan ziren FPGAren heltzeko lehen urratsa, 1960 kaleratuko zelarik lehenengo alea. Hauen ostean **Zirkuitu Integratua (ZI)**ak sortu ziren; hau da, funtzio edo erabilgarritasun berezi bat duten zirkuitu elementuak. Hauek oinarria jarri zuten iraultza teknologikoaren baitan emango ziren aldaketa guztietarako, handik aurrera urtez urte berrikuntza berriak etorri: CMOSak, PROMak, DST eta PLA...

Teknologia guzti hauen garrantzia FPGA baten barne egitura aztertu ezkerok uler dezakegu. Izan ere, programagarriak diren bloke logikoz osaturiko matrize batek osatzen

du FPGA baten oinarrizko egitura, nahiz eta, gaur egun SoC bezalako kontzeptuek prozesadore sekuentzialen erabilera ere integratzen duten. Horrez gain, bloke bakoitzarekin batera *Random Access Memory* (RAM) memoriak izaten dituzte konektatuta kudeaketa efizienteagoa eta prozesamendu azkarragoak lortzera begira.

Aipaturiko bi elementuez gain, FPGAk beste hainbat elementu ere barneratzen dituzte egituraren baitan, besteak beste, *Clock Management Tile* (CMT) edo *Digital Signal Processing* (DSP)ak kasu esanguratsuen bezala.



**1.3 Irudia:** Xilinx konpainiaren **Artix7 A200T** FPGA-ren erloju eskualdea, BUFG-en kokapena barne [7cl, 2016].

FPGAen ibilbide luzen honetan zehar hainbatek ikertu dituzte urte luzez xahuketa murrizteko tekniken aplikazioak [Chen et al., 1997]. Hala ere, ez du izan, azken urteotan teknologia eramangarriaren eztanda eman den arte, beste hainbat gai edo atalek besteko garrantzia. Izan ere, produktu mota honen zabalpenarekin batera kontsumo baxuko gailuak ugaltu dira, kontsumoa murrizteko tekniken garrantzia ezinbestean areagotuz. Merkatuaren aldaketa honen baitan koka dezakegu azken urteetan gai honen baitan eman den ugaritzea, eta hein batean, gai honen inguruan eman diren aurrerapenak.

Dena den, ez dago gaur egun teknologia hauek dokumentu bakar batean ikertu, azaldu eta inplementatzeko irizpideak eman dituenik, hauen atal zehatzetakoak hainbat badaude ere, *clock gating*-a kasu [Kathuria et al., 2011, Saraswat, 2017].



## 1.5 Metodologia

Lan honen garapena eman ahal izateko hainbat aurre-pausu eman behar dira gaia bera ulertu eta lana modu efektibo batean egiteko. Hori dela eta, lehenik eta behin gaiaren inguruan informazio bilketa eta ulerpen egoki bat emango da, izan ere FPGA eta hardware programagarria zer den ulertzea ezinbestekoa da lehenengo hurbilpen bezala.

Honen ostean, FPGAk programatu, kontrolatu eta diseinatzeko baliabideak aztertuko dira; kasu honetan, batez ere *Vivado Design Suite* softwarean zentratuko da, izan ere, hau da GDED ikerketa taldean baliatzen dena. Honekin batera, hardware deskribapen lengoaiak aztertu, ikertu eta ikasiko dira proiektuaren oinarri izango baitira. Hala ere, lengoaiaren egitura eta oinarrizko atalak aurrez aztertzea planteatu bada ere, zeharka landu beharreko konpetentzia bat dela aurreikus daiteke, proiektua aurrera doan heinean garatzen joango dena.

Behin oinarri minimo hau izanda, FPGAtan aurki daitezken potentzia xahuketa kontrolatu eta murrizteko teknikak aztertzen hasiko da granularitate handiko kasuetatik txikikoetara pasaz. Prozesu honetan, informazio bilketa izango da garrantzitsuena, aukera bakoitzak eskaintzen dituen abantaila eta desabantailak ulertuz eta gaur egun zabalduen dauden aukerak lehenetsiz.

Programazio hutsarekin hasi baina lehen, gure teknikek suposatuko duten eragina aztertzeke teknika edo erremintak aztertuko ditugu. Horretarako bi lan ildo paralelo aztertuko ditugu, bata tenperaturaren neurketa FPGAn zehar eta bigarrena potentziaren neurketa dinamikorako aukeren azterketa. Batak zein besteak garrantzia badute ere, bigarren aukerak ematen digu informazio zehatzago eta interesgarriagoa gure tekniken efizientziari dagokionez, hortaz, bertan sakonduko dugu gehiago.

Aurrekari guztiak bete ostean, teknikak praktikan jartzea ezinbestekoa da, hemen ere 3 atal banatuko ditugularik: **Atal Funtzionalaren** konprobaketa, **Potentzia kontrol eta murrizketari** dagokion atala eta **Jasotako emaitzen analisia** jorratuko genukeen atala.

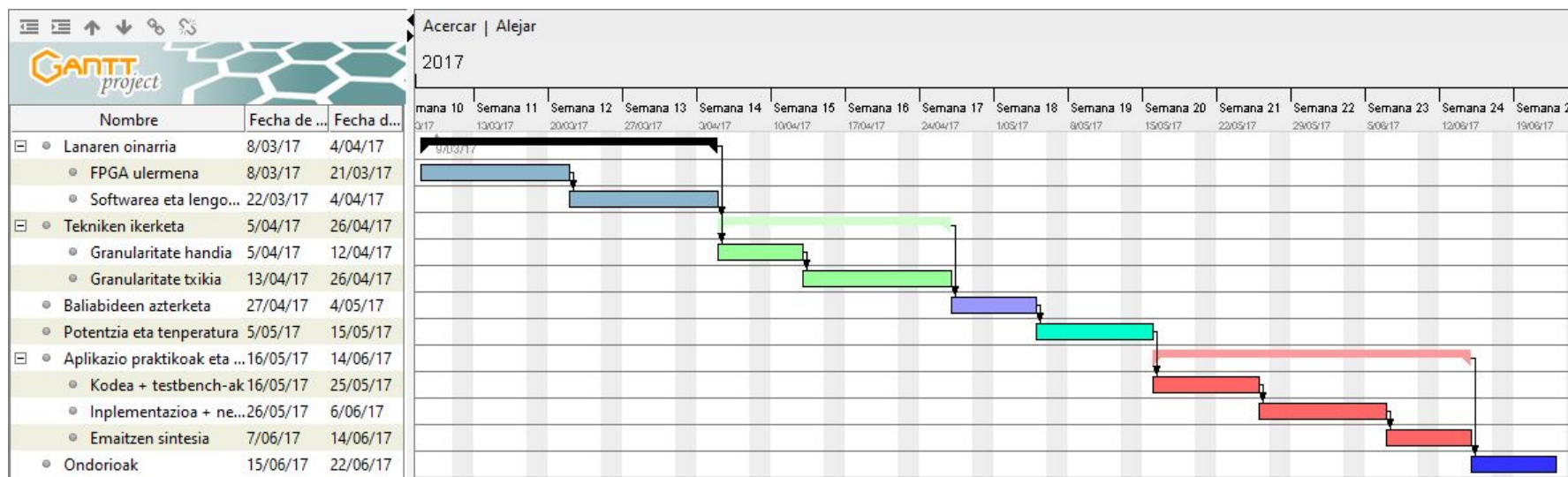
Hiruretatik lehenengoan, gure teknikek gure diseinuan izan dezaketen eragin negatiboa aztertuko da, hala nola, *glitch*-ak, atzerapenak, etab. Honetarako ezinbestean *source* kodea sortu eta berau konprobatzeko *test-bencha* diseinatu beharko dira.

Bigarreanean berriz, potentziaren kontrol eta murrizketa efektiboari dagokion neurketa eta konprobaketak egin beharko dira. Honetarako, berriz, aurreko kodea txartelean inplementatu eta neurketa zuzenak egin beharko dira.

Azkenik, atal hauetan jasotako informazio eta datuak alderatu eta aurkeztuko dira, ostean ondorio argi eta konprenigarriak aurkeztu ahal izateko.

Lanari amaiera emateko, jasotako emaitzak analizatu eta ulertuko dira hauei arrazoi-namendua emanez eta tekniken egokitasuna analizatuz.

### 1.5.1 Denbora plangintza



1.4 Irudia: Gantt diagrama aurreikusitako eginkizun, denbora eta mugekin.



# Kapitulua 2

## Oinarri teorikoa

Orokorrean, FPGA-tan potentziaren xahuketa dinamikoa, CMOS-en karakterizatiotik eratorriz; frekuentzia, boltaia eta kapazitantzia erlazionatzen dituen ekuazio batekin definitu ohi da, 2.1 ekuazioan ikus daitekeen bezela [Rabaey, 1996].

$$P_{dyn} = C_L \cdot V_{DD}^2 \cdot f_{0 \rightarrow 1} \quad (2.1)$$

Honek ezinbestean hiru elementu hauei erreparatzera garamatza potentziaren xahuketa murrizterako orduan. Lehenengo elementua  $C_L$  edo kapazitantzia genuke, gure barne elementuen teknologia mikroelektronikoaren araberakoa izango dena, eta guk ezer gutxi egin dezakegularik hori aldatzeko. Bigarrena elementu horiek gurutzatzen dituen tentsio nominalaren karratua edo  $V_{DD}^2$  da, gure kasuan ere txartel edo FPGA-ren menpe egongo delarik. Azken elementura joan ezkerro berriz, erlojuaren maiztasuna edo  $f_{0 \rightarrow 1}$  topa dezakegu, hau bai, elementu moldagarri eta eskuragarri bat dela kontsidera daiteke orokorrean. Ondorioztapen hauetatik abiatuz, lan honen muina erlojuaren eragina murriztu edo deuseztatzea joango da, hainbat teknika baliatuz.

Hortaz, atal honetan potentzia xahuketa kontrolatzeko edo murrizteko teknikak aztertuko dira lau bloke nagusitan banaturik: Clock Gating, Clock Enable, Datapath block eta Dinamic Clock Reconfiguration.

### 2.1 Clock Gating edo Erloju Atetzea

Diseinu sinkrono orok, maiztasun handitan lan egiten duen erloju seinale bat izan ohi du, honek diseinuan zeharreko elementu sekuentzial asko gurutzatuz gero, karga handi bat suposatuko luke. Honek, ezinbestean, izugarrizko potentzia dinamikoa xahutzera darama gailua, batiz-bat duen karga eta maiztasun handiagatik, eta orokorrean %20 inguruan mugitzen bada ere, kontsumo osoaren %40-50ra ere hel daiteke[Dobberpuhl et al.,

1992, George et al., 1999]. Arazo honi erantzutera dator aztertuko dugun lehenengo teknika, ingelesez *Clock Gating* izenez ezaguna dena eta, aztertuko ditugun tekniken artean, kontzeptualki sinpleenetakoa dena.

Aurrez aipatu dugun erloju seinale horrek, kasu gehienetan ez du informaziorik garraiatzen, sinkronismo seinale soil bezala funtzionatzen baitu. Hortaz, eremu batzuetan baztertzeak ez du zertan eragin zuzenik izan prozesuan. Hori dela eta, erlojuaren hedapena eten dezakegu, ondorioz, gure barne logika ez da kommutatuko, potentzia dinamikoa ezabatuz atetutako elementu sekuentzialetan. Beste modu batean azalduta, bloke indibidualetako erlojua geratzen du azken hauek inaktibo daudenean, haien funtzionalitatea ere etenez.

Teknika hau batiz-bat ASIC-etan, 90.eko hamarkadan batez ere [Benini et al., 1994, Garrett et al., 1999, Wu et al., 2000] eta VLSI-etan aplikatzen hasi zen, diseinatzerako orduan ematen dituen erraztasunengatik. Izan ere, teknika honen inplementazioa eraginkorrago, eragin handiagoa du potentziaren xahuketan, eta inplementazio errazagoa du zirkuitu integratuetan. Gaur egun, oraindik orain oso gutxi ikertu da *Clock-Gating* metodoaren inguruan FPGA-ei dagokionean, honek, ikertzeko zein esperimentatzeko tarte zabala irekita uzten du.

### 2.1.1 Erloju Atetzea FPGAtan

Hainbat dira FPGA-tan dedikaturiko erloju baliabideen bidez erloju atetzea egiteko aukera eta adibideak, Xilinx-en kasuan bereziki [Hussein et al., 2015]. Hala ere, ate logikoez osaturiko atetzea oso kasu gutxitan aztertu izan da hainbat autorek aipatu badute ere haien lanetan [Zhang et al., 2006, Cadenas and Megson, 2003]. Honen arrazoi nagusia FPGAtan teknika honen arriskuak dira; sistemaren **sinkronia** apurtu, eta maiztasun ertain-handietan katastrofikoa izan daiteke. Gainera, FPGAk duten erloju diseinuak ez du aurreikusten honelako tekniken inplementazioa, batez ere ate logikoen bidez bideratua baldin badago.

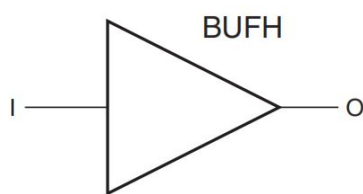
Aurreko azalpenetik abiatuz, gai honi irtenbidea bilatzerako orduan bi aukera nagusi aurki genitzake erloju atetzearen definizio kontzeptualari men eginez: granularitate handikoa eta granularitate txikikoa. Granularitateaz hitz egitean, atetzen ari garen erloju seinaleak eragiten dion elementu kopuruari egiten diogu erreferentzia; hau da, geroz eta granularitate txikiagoa izan atetutako erlojuak elementu gutxiagori eragingo lioke.

Gaiari heltzerako orduan, lehenik eta behin granularitate handiko estrategiak garatuko ditugu eta ostean granularitate txikikoei ekingo diegu, orokorrean FPGA-tan existitzen diren erloju baliabideak erabiliz.

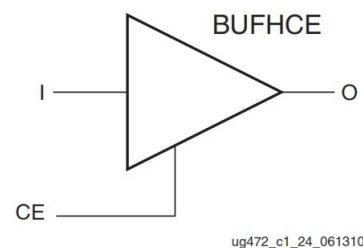
## 2.1.2 Granularitate handiko Erloju Atetzea

FPGA gehienetan dago *global clock* izeneko distortsio eta atzerapen baxuko erloju arbola bat, zeina, erloju seinaleak kudeatzera dedikatua dagoen. Honen baitan, erloju seinaleak kudeatzeko buffer bereziak dituzte BUFCTRL, 2.18 irudian ikus daitekeen bezala, edo BUGH, lerro horizontalak kudeatzeko baliatuko liratekeenak, kasu.

Artix7-ari so egin ezker BUFCTRL-aren bidez egin daiteke maila altueneko erloju kudeaketa, eta erloju eskualdeari dagokionean, BUGH-aren bidez. Hala ere, serie honetako erloju kudeaketa azaltzen den dokumentazioan [7cl, 2016], BUFHCE izeneko BUFHren modifikazio bat gomendatzen du erabiltzea erloju atetze baliabide bezala. 2.1 eta 2.2 irudietan ikus daitekeen bezala, BUFH bera da CE edo gaitze pin batekin, atetzea egitea ahalbidetuko duen pin-a alegia. Gainera, baliabide honek diseinu erraztasun handiak ematen ditu, hura programatzeko vivadok eskaintzen dizkigun liburutegietan [7li, 2015] aurki baitaitezke.



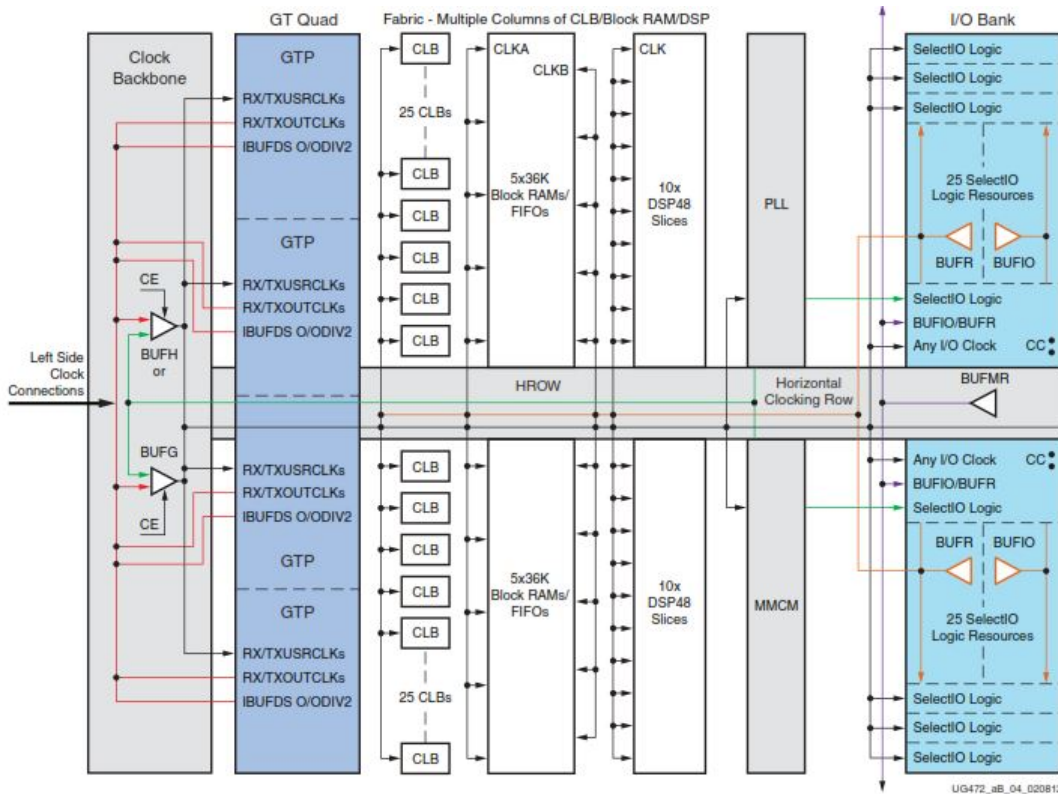
**2.1 Irudia:** BUFH bufferraren jatorrizko egoera.



**2.2 Irudia:** BUFHCE bufferra BUFH buffer batetik osatua.

Hauek FPGAz zehar berebiziko frekuentzietan lan egitea ahalbidetzen dute, horretarako bereziki diseinatuak dauden bidez baliatuz. Hala ere, hauek duten arazorik handiena kopurua da, izan ere, lerro eta kudeaketa ataza mugatuak daude gailuan zehar. 2.3 irudian ikus dezakegu erloju eskualdeko erloju bideratze nagusia egiteko BUFH zein BUFG bat topa dezakegula. Hala ere, aurreko irudian argi geratzen ez baldin bada ere, erloju eskualde bakoitzak 12 BUFH ditu bertako erloju seinaleak nahi duen ataza edo modulura bideratzeko [7cl, 2016]. Hori dela eta, diseinuaren araberrako moldagarritasuna izango du, gure kasuan granularitate handiko edo *coarse grained* motako *Clock Gating*-a egiten duten motakoak kontsideratuko ditugularik.

Vivadok ataza hauen inguruan eskaintzen duen dokumentazio zabalera jo ezkerro, hainbatetan topa daiteke hauen erabilera, batez ere, azkenengo urteetan vivado eskaintzen etorri den intelligent clock gating metodo berritzailea aipatzen duten haietan [Hussein et al., 2015, Rivoallon and Balasubramanian, 2013]. Haietako batean, granularitate handiko clock gating-ak, 7series gailuen egitura kontuan hartuz, osatuko lukeen buffer arbola aurkezten du modu argiz, 2.4 irudian ikus daitekeen bezala.



**2.3 Irudia:** Xilinx konpainiaren Artix7 A200T FPGA-ren erloju eskualdea, BUFG-en kokapena barne [7cl, 2016].

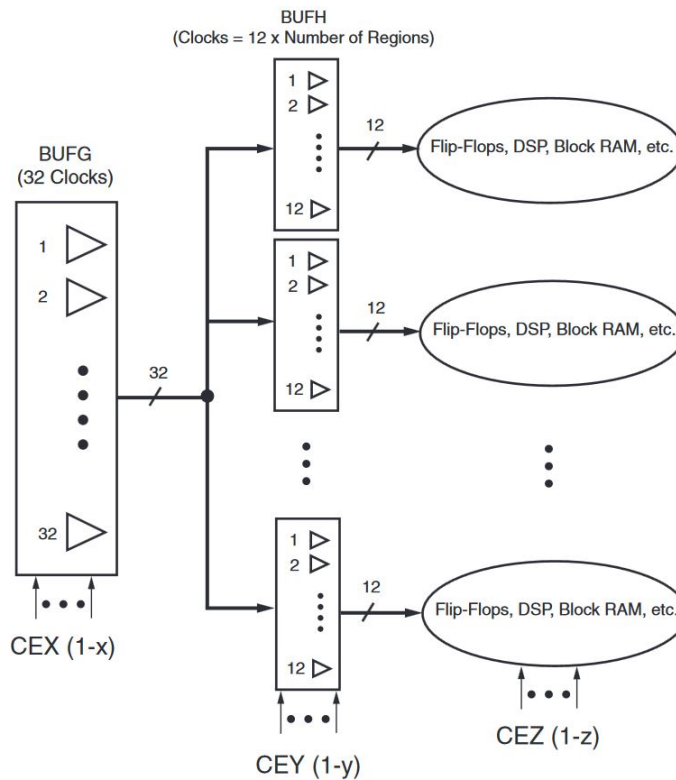
### 2.1.3 Granularitate txikiko Erloju Atetzea

Atal honetan ahalik eta elementu gehien atetzeko aukerak aztertuko dira; hasierako hurbilpenetik hasi, AND eta NOR ateen bidez, eta hauek garatzen joango gara, bidean sortu diren beste teknika batzuk ere aztertuz (Multiplexatua). Azkenik, teknika berritzaileenak ere aztertuko ditugu egin ditzaketen ekarpenak azpimarratuz.

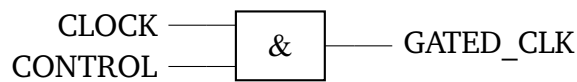
#### AND bidezko atetzea

Hasiera batean hainbat autorek [Benini et al., 1994] AND ate baten egokitasuna aipatu zuten Clock Gating-a egiteko suposatzen duen logika sinplegatik. Zirkuitu sekuentzial batean txertatuko litzake bi sarrerako AND atea, pin batera erloju seinale konektatuz eta bestean berriz kontrol seinale bat ezarriz. Modu honetan erlojuaren eragina soilik kontrol seinalea aktibo dagoenean igorriko litzake, maila baxuan dagoen artean erlojuaren hedapena geratuz. 2.5 irudian ikusi daitekeena bezalako diseinu simple bat suposatuko luke.

Kasu hau erabiliena bada ere, hainbat arazo sor ditzake, haien artean erloju seinalearen distortsioa eta atzerapena. Izan ere, granularitate txikia erabiltzeak betiere, *enable*



**2.4 Irudia:** Xilinx konpainiaren 7series gailuen erloju egituraren baitan *intelligent clock gating*-a aplikatuz gero sortuko litzakeen **buffer arbola** [Hussein et al., 2015].



**2.5 Irudia:** AND ate bat baliatuz osaturiko erloju-atetze eskema sinplifikatua

pin-aren saretzea suposatuko luke AND ate bakoitzera, ateen kokapenaren arabera atzerapena sor lezakelarik. Era berean, granularitatea handituz gero erloju seinalearen saretzea puntu komun urrietatik eta, *Look Up Table* (LUT) bati lotua gainera, atzerapen handiak sor litzake.

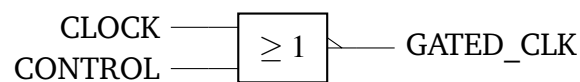
Glitch hauetako batzuek, *hold-time* erako bortxaketa sor lezake gure FPGA-n mapatzerako orduan; hala ere, erloju arbolako sintesi erremintek zein kokapen baliabideek konpentsatzen dute arazo hau *back-end*-aren fase desberdinetan.



## NOR bidezko atetzea

Beste aukeretako bat NOR atea erabiltzea da. Kasu honek diseinua bera alderantzten du, kontrol seinalearen balio positiboarekin funtzionatu beharrean balio negatiboarekin funtzionatzea ahalbidetuz. Hala ere, honek ez du bermatzen, errore edo *glitch*-ik sortzen ez denik. Izan ere, AND atearen funtzionalitate edo erabilgarritasun bera izango luke baina funtziona arazteko maila aldatuz.

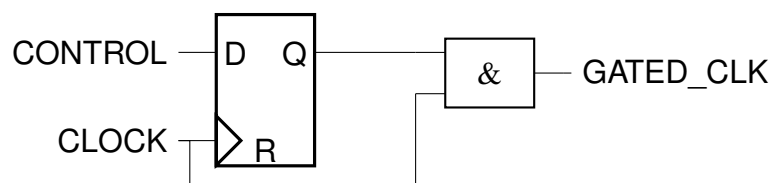
Hori dela eta, AND motako atetzean topa daitezkeen arazo berberak topa daitezke hemen: *glitch*-ak, atzerapen denbora, sinkronia falta etab. Honakoa litzake eskema sinplifikatua:



### 2.6 Irudia: NOR ate bat baliatuz osaturiko erloju-atetze eskema sinplifikatua

## Biegonkor eta AND bidezko atetzea

Hurrengo hurbilpenerako, aurrez aipaturiko *glitch*-ak ezabatzea planteatzen da. Horretarako, kasu honetan kontrol seinalea zuzenean AND atera konektatu beharrean, lehenik eta behin biegonkor sinkrono batetik pasarazten dugu. Honen bidez, irteerako seinalea egoera desegokietan aktibatzea ekiditen dugu, besteak beste, erloju seinalea aktibo dagoenean kontrol seinaleak igorri ditzakeen *Hazard*-etatik babestuz. Hala ere, biegonkor batek sartzen duen atzerapenak gure sarean bide kritikoak sor ditzake, eta ondorioz, egiaztapen mailan arazo hauek ere kontuan hartu beharko lirateke. Hona hemen eskema sinplifikatua:

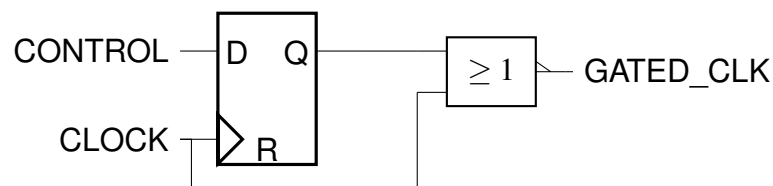


### 2.7 Irudia: AND ate bat eta D-Biegonkor bat baliatuz osaturiko erloju-atetze eskema sinplifikatua

Ikusi daitekeenez **biegonkorrera** konektaturik dagoen sarrera *enable*-a da, eta honen bidez, kontrol seinale sinkronoa sortuko da.

### Biegonkor eta NOR bidezko atetzea

Honen, eta aurrez aipaturiko AND eta NOR metodoen arteko parekotasuna berdina da. Izan ere, kasu honetan AND eta **biegonkorraz** osaturiko eskema bera inplementatzen da, baina kasu honetan NOR ate bat ezarriz AND ate baten ordeaz. Honen bidez, sistemak maila altuan funtzionatu beharrez kontrol seinalea maila baxuan ezartzea lortzen da. Funtzionalitate hau hainbat aplikaziotarako ezinbestekoa izango da. 2.8 irudian ikusi daiteke bigarren metodo honen eskema sinplifikatua.



**2.8 Irudia:** NOR ate bat eta *D-Biegonkor* bat baliatuz osaturiko erloju-atetze eskema sinplifikatua

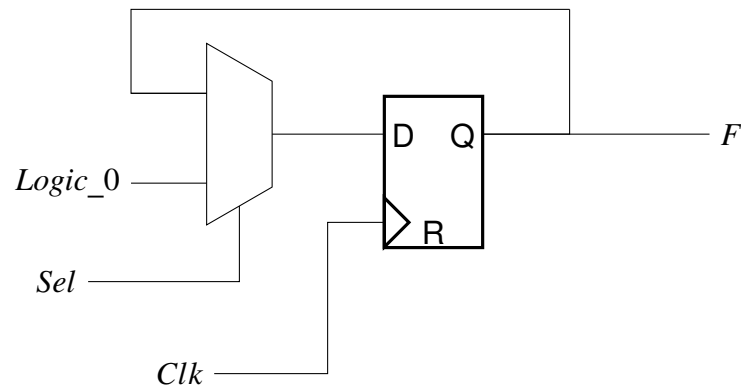
### Multiplexadore bidezko atetzea

Metodo hau biegonkor sinkronoetarako baliatzen den teknika bat da eta 2:1 motako multiplexadorea baliatzen du funtzionalitatea betetzeko. Kasu honetan, multiplexadorearen irteera, D motako biegonkorren sarrerarekin konektatzen da. Multiplexadoreak, era berean, **biegonkorren irteera** eta **maila baxuko seinale bat** izango ditu konektaturik hanka banatan. Honen bidez, eta biegonkorren sinkronismoa baliatuz, multiplexadorearen *sel* pin-a balia daiteke bi hanken arteko aukeraketa egin ahal izateko, atetzea lortuz.

Metodo honek seinalearen kalitateari dagokionean hainbat abantaila planteatzen ditu, *a priori* ez baitu inolako glitch edo atzerapenik sortzen. Hala eta guztiz ere, multiplexadore dedikatu bana jarri behar izateak atetu nahi dugun elementu bakoitzarentzat errekurtsio xahuketa handia suposa dezake diseinu askorentzat.

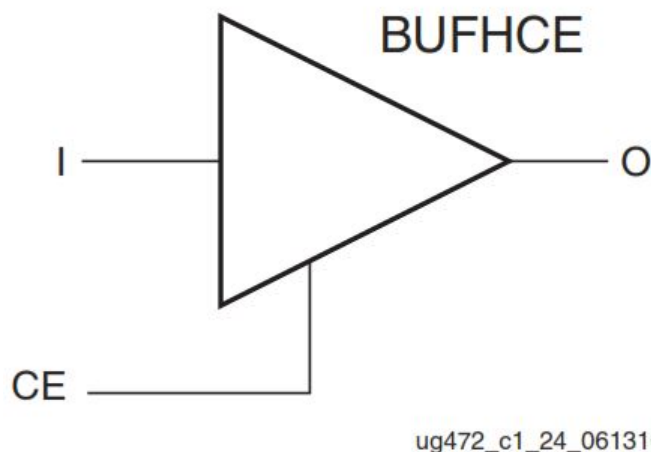
### Buffer sinkronoen bidezko atetzea

Aurrez aipatu bezala, badaude FPGAen barnean hainbat buffer erloju seinalearen kudeaketa egin dezaketenak, BUFG eta BUFH kasu. Lehenengo granularitate handiko hurbilpenean BUFGetan oinarritu baldin bagara ere, bigarren hauei erreparatuko diegu kasu honetan, izan ere, azkenengo serietan eman diren hobekuntza eta gehikuntzei esker, granularitate txiki-ertaineko clock gating-a lor dezakegu.



### 2.9 Irudia: *Multiplexadore* bat baliatuz osaturiko erloju-atetze eskema sinplifikatua

Funtzionalitate hau lortzeko, aurrez zehaztu diren BUFHCE delako moduluak baliatuko dira, izan ere, hauen CE edo itzaltze aukera baliatuz atetze sinkrono eta garbi bat lor daiteke. Hona hemen aipaturiko moduluaren eskema, 2.10 irudian ikus daitekeena:



### 2.10 Irudia: BUFHCE bufferra BUFH buffer batetik osatua.

## 2.2 Clock enable edo logika itzaltzea

Aurrez ikusitako teknikek, erloju seinalea "itzaltzen"dute elementu dinamikoetara heldu baino lehen energia kontsumoa murrizteko teknika bezala. Bada, ordea, beste aukera bat energia murrizteko erlojuaren kudeaketari dagokionez. Izan ere, elementu batzuek, *Flip-Flopek* gehienbat, erloju seinalea eteteko gaitasuna integratua dute, honek elementuaren baitan suposa dezakeen energia kontsumoa deuseztatuz. Aukera hori **clock enable** bezala definitzen da, izen bereko pin-ari erreferentzia eginez.

Aztertu dugun azkenengo kasuan bertan, BUFHCE modulua baliatzen den teknikan alegia, ikus genezakeen pin honen agerpena. Hala ere, kasu honetan, erloju seinalearen eta hari lotutako elementuen xahuketa murrizteko baliatzen genuen. Aztertuko dugun kasuan berriz, ezaugarri hau baliatzen duen elementuak bakarrik jasango du potentziaren baitako eragina, beste elementu eta erloju arbola baztertuz.

Aurrez aipatu bezala, *clock enable*-ari buruz hitz egiten denean, **biegonkorrei** egiten zaie erreferentzia, izan ere, hauek dira elementu aukera hau izan ohi duten elementu ugarietak diseinuetan. Hala ere, teknika honek potentzia murrizketan suposatzen duen inpaktu txikiagatik arbuaiatua izan ohi da. Izan ere, diseinuaren baitan honelako elementuek sor dezaketen kontsumoa baztergarria da erloju arbolak edo beste elementu konplexuago batzuek sor dezaketenaren alboan. Dena den, kontsumo baxuko diseinuetan onargarria daitekeen teknika bat da, potentzia xahuketa murriztu murrizten duelako eta inplementatzeko bereziki erraza delako.

Guzti hau kontuan izanda, lan honetan gainbegirada teorikoaz gain ez da gehiago sakonduko, beste hainbat teknikek honek baina interes handiagoa izan dezaketelakoan aztertzen ari garen arloan.

## 2.3 Erloju maiztasunaren kontrol dinamikoa

FPGA-tan potentziaren xahuketa kontrolatzeko edo murrizteko beste aukeretako bat, erloju maiztasunaren kontrol dinamikoa edo "*dynamic clock scaling*" deiturikoa da. Teknika honen oinarria gure sistemak kontsumitzea nahi dugun potentzia xahuketara moldatzeko erloju maiztasuna eskalatzean datza. Izan ere, FPGA-tan, MOSFET teknologian oinarrituriko beste hainbat osagaietan bezala, honela defini daiteke potentzia dinamikoaren xahuketaren adierazpena:

$$P_{dyn} = C_L \cdot V_{DD}^2 \cdot f_{0 \rightarrow 1}$$

Hortik abiatuz, eta gure kasu zehatzera hurbilduz bi aukera nagusi topa ditzakegu, hirugarren batean batu daitezkeelarik: egoera makina baten bidezko birkonfigurazio dinamikoa, erloju maiztasun desberdinen multiplexazioa erloju baliabideak baliatuz eta bien nahasketa.

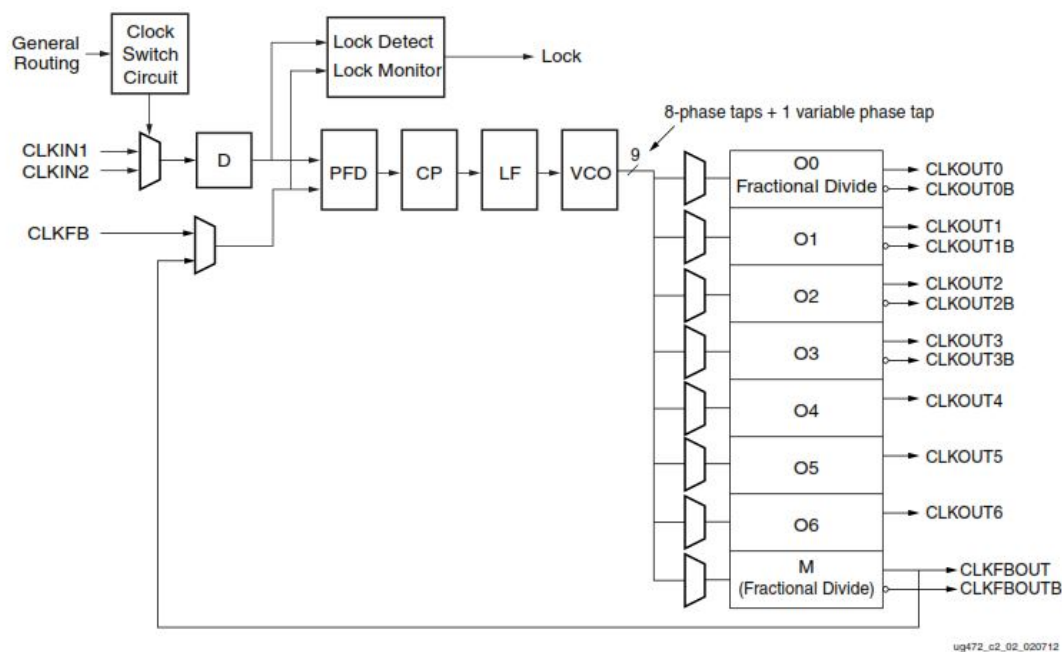
### 2.3.1 MMCM by DRP and State Machine

Lehengo hurbilketan, egoera makina baten bidez aurkezten da maiztasunaren aldaketa dinamikoa, horretarako, 7-seriean aurkezten diren MMCM moduluen *Dynamic Reconfiguration Port*ak baliatzen dira.

#### MMCM modulua

MMCMa, edo MMCME2a gure kasuan, hainbat funtzio egiteko diseinaturiko seinale anitzeko bloke bat da; horien artean: maiztasun sintesia, erloju sarearen distortsio garbitzea eta *jitter* iragazkia.

Moduluaren portuen ezaugarri zehatzen azalpenetik haratago, eskaintzen duen konfigurazio aukera eta dinamikoki egiteko azalpena garatuko da. Izan ere, DRPa erabiltzeaz gain, erloju seinale bakoitza nola konfiguratu ere ulertu eta aplikatu behar da.

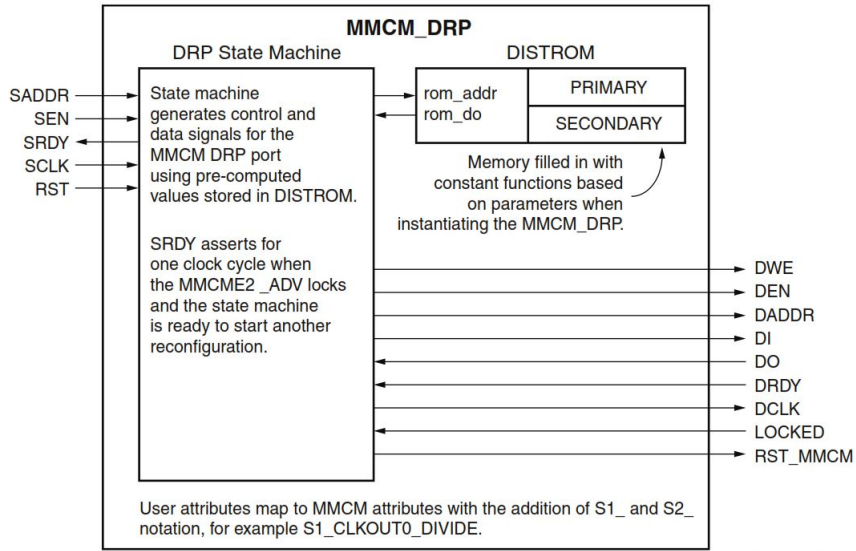


2.11 Irudia: Artix 7series -2 graduko MMCME2\_ADV modulu primitiboa [7cl, 2016].

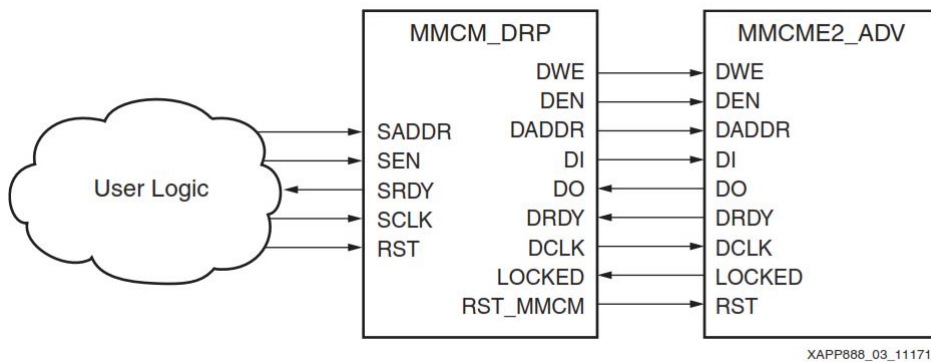
#### MMCMaren DRP edo *Dynamic Reconfiguration Porta*

Aurrez aipatu bezala, MMCMaren baitan baliatu nahi den ezaugarrietako bat DRParen existentzia da. Izan ere, baliabide honen bidez MMCM modulua barne parametroak alda daitezke dinamikoki, maiztasunaren aldaketa dinamikoa ahalbidetuz.

Hala ere, kontzeptuak sinplea badirudi ere DRP moduluaren konplexutasuna bere kontrol eta egitura topa daiteke. 2.12 irudian ikus daitezke barne egituraren ezaugarri eta funtzionamenduaren oinarriak. 2.13 irudian berriz modulua bera erabiltzeko XAPP888an ematen den erreferentziako diseinuaren bloke eskema ikus daiteke.



2.12 Irudia: MMCM\_DRP moduluaren barne egituraren eskema.



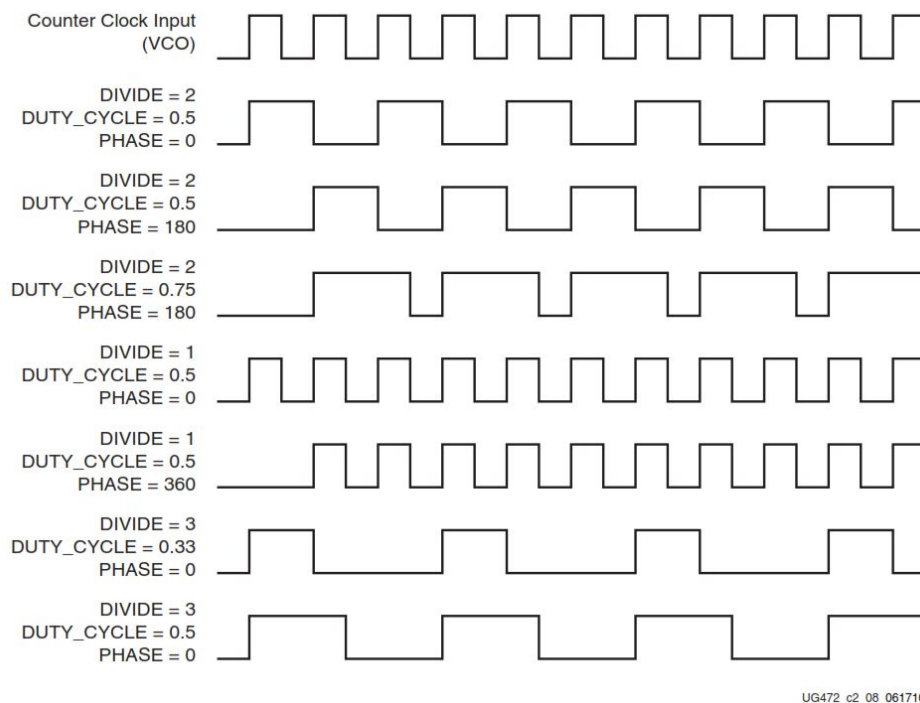
2.13 Irudia: MMCM\_DRP modulua baliaitzeko ereduaren bloke eskema.

Azken batean modulu honek hainbat balio aurre ezartzen ditu kanpo komunikazioaren bitartez, eta ostean MMCMari egozten dizkio. Guzti hau ondo bideratu ahal izateko eta pausuak egokiak izan daitezen, egoera makina bat sortu behar da. Kasu honetan Xilinx-ek berak eskaintzen du oinarritzko eredu bat ostean moldatu ahal izateko, eta hau izango da kasu honetan ere baliaitzeko dena.

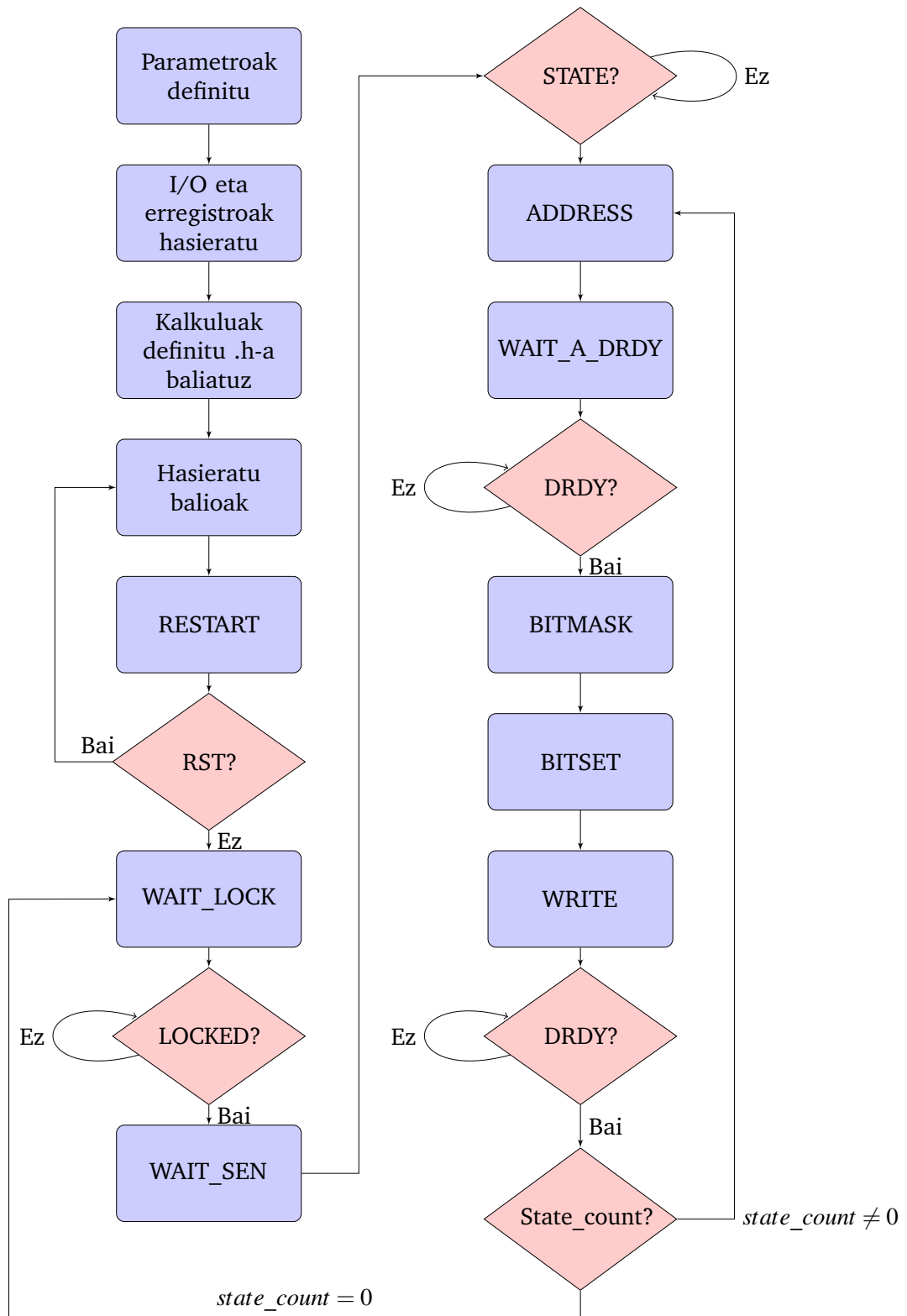
## Egoera makina eta moldaketa

Aurrez aipatu bezala, MMCMaren funtzionalitateak egoki erabili ahal izateko egoera makina bat erabili behar da. Horretarako Xilinx-ek eredu bat eskaintzen du, eskematikoki 2.15 irudian ikus daitekeena.

Kasu honetan, erreferentziazko diseinuan bi egoera edo parametro multzo banatzen dira soilik, eta aztertzen ari garen kasurako motz geratuko litzateke. Horrez gain, erloju irteera soil bat izan beharrean, hainbat ezartzen dira, planteatzen ari den diseinurako arbuigarriak izanik. Hori dela eta, planteatzen den moldaketak egoera gehiago ezartzean datza, soberan topa daitezkeen erloju irteera guztiak baztertuz. Atal honen garapena aurrerago aztertu ahalko da, garapen praktikoaren atalaren baitan.



**2.14 Irudia:** MMCME2\_ADVko aldagaiak modifikatuz lor daitezkeen seinale desberdinen demostrazioa [7cl, 2016].



2.15 Irudia: MMCM\_DRP modulua baliatzeko beharrezkoa den egoera makina.



## MMCM Irteera erlojuen ezaugarrien kalkulua

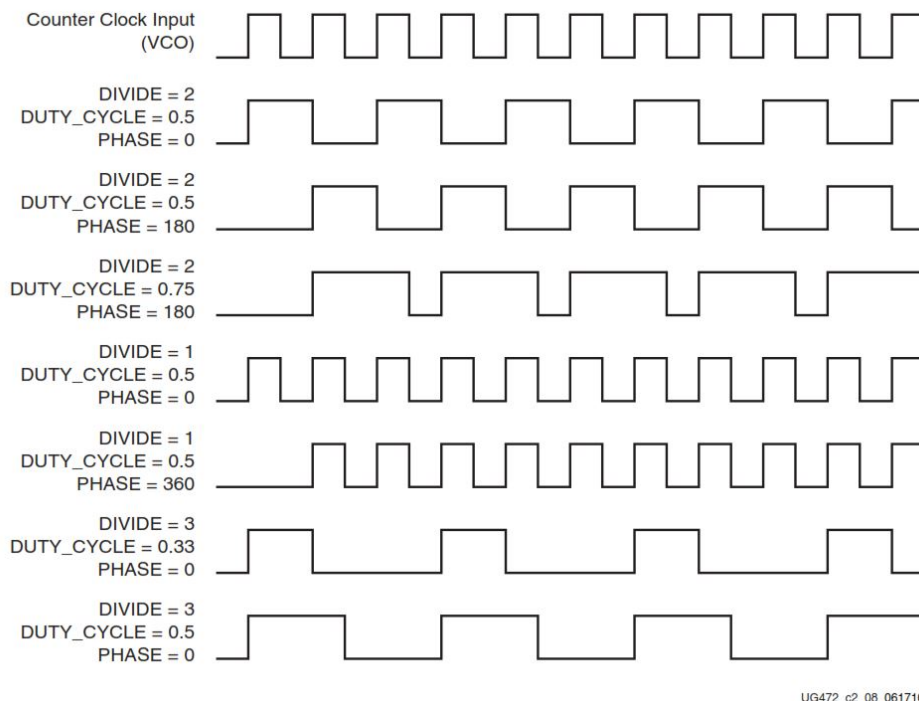
Aurrez aipatu bezala, erloju seinale guztien oinarria **Voltage Controlled Oscillator**(VCO) izeneko seinalea litzake, eta 2.2 ekuazioan adierazitako erlazioarekin defini genezake:

$$F_{VCO} = F_{CLKIN} \cdot \frac{M}{D \cdot O} \quad (2.2)$$

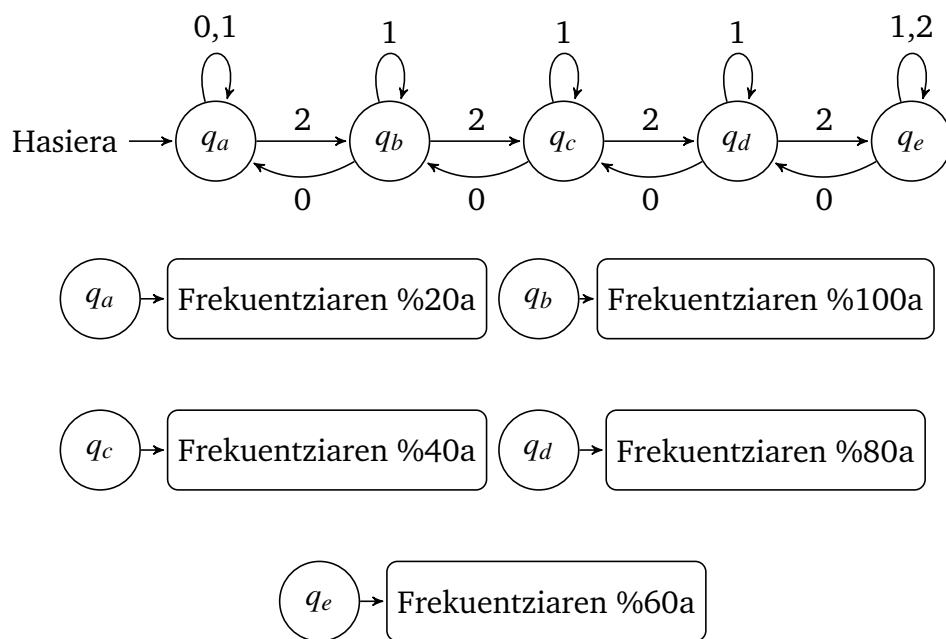
non M, D eta O kontagailuak 2.11 irudian ageri diren kontagailuen balioak diren. M kontagailuak CLKFBOUT\_MULT\_F balioari egiten dio erreferentzia, D kontagailuak DIVCLK\_DIVIDE aldagaiari, eta O-k berriz CLKOUT\_DIVIDE aldagaiari.

MMCM modulu honek dituen zazpi "O"kontagailuak independenteki programa daitezke eta, hortaz, zortzi erloju seinale independente sor daitezke. Horrez gain, erloju irteera bakoitzak, 2.11 irudian ikus daitezkeenak, bakarkako *duty-cycle*, fase atzerapen eta zatitzaileak izan ditzakete, denak VCO maiztasun berean oinarriturik betiere. Horrez gain, MMCME2ak fase atzerapen dinamikoak eta frakziozko zatiketa dinamikoak onartzen ditu.

Aurrez aipaturiko aldagaiak baliatuz seinale desberdinak topa ditzakegula argi egon arren, irudian hainbat adibide ikusi ahalko dira aldagai bakoitzaren eragina ulertu ahal izateko.



**2.16 Irudia:** MMCME2\_ADVko aldagaiak modifikatuz lor daitezkeen seinale desberdinen demostrazioa [7cl, 2016].

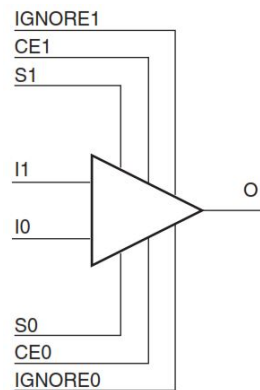


**2.17 Irudia:** Egoera makinaren bidez maiztasunaren eskalatu dinamikoaren eskema.

### 2.3.2 BUFGCTRL bidez erloju multiplexazioa

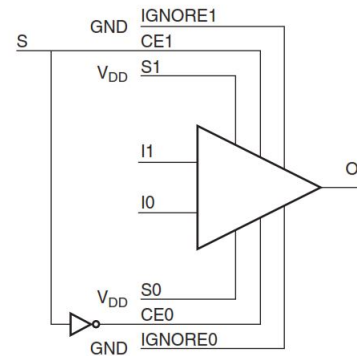
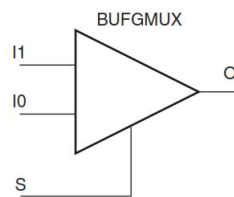
Xilinx konpainiaren *7-series* delako gamak, erloju kudeaketara dedikatua dagoen buffer baten moldaketa ahalbidetzen du multiplexadore bezala baliatzeko; hau da, erloju multiplexadore bat sortzea ahalbidetzen du. Hau, BUFGMUX izeneko moduluarekin kudeatzen da, era berean, BUFGCTRL bufferretik eratorria dena, 2.19 irudian ikus daitekeen bezala.

Metodo honen abantaila nagusia erloju kudeaketarako baliabideak erabiltzeak; glitch, atzerapen edo beste edonolako arazoak sortzea ekiditen digula da. Horrez gain, dokumentazioaren baitan egitura erraz eta argi azaldua egoteak diseinuari begira laguntza handia suposatzen du. Hori dela eta, maila altuko erloju kudeaketa egiterako orduan, hainbat erloju seinale sortzeaz gain kontrol seinale bat izatearekin nahikoa litzake sistema hau burutu ahal izateko, frekuentziaren baitako energia murrizketa agerikoa izan beharko litzakeelarik.



UG472\_c1\_03\_061310

**2.18 Irudia:** Xilinx konpainiaren **BUFGCTRL** buferraren jatorrizko egoera [7cl, 2016].



UG472\_c1\_10\_061310

**2.19 Irudia:** Xilinx konpainiaren **BUFGMUX** buferra **BUFGCTRL** bufer batetik osatua [7cl, 2016].

### 2.3.3 Multiplexed and state machine

Beste aukera bat, aurreko bi diseinuen arteko nahasketa bat liteke, multiplexadorearen azkartasuna eta MMCMaren DRP aukera konbinatu ahalko genituzke emaitza bikaina izanez moldagarritasunari dagokionez. Halaber, diseinuaren zailtasunak eta FPGAren baitan suposatzen duen baliabide kontsumoak ez du aukera egoki bihurtzen kasu gehienetarako, gure kasuan baztertu egingo dugularik.

## 2.4 Datuen gelditzea edo datapath block

Diseinu tradizionaletan datuak kudeatzen dituzten operadoreak, orokorki, beti egoten dira aktibatuak. Hori dela eta, emaitza kontuan hartzen ez denean ere barne zirkuitu aritmetikoa funtzionatzen egoten da, honek sortzen duen potentzia xahuketa gehigarriekin. Ideia hau funtsezko bezala harturik sortzen da **datapath block** izeneko teknika, zeinak algoritmo bat baliatuz, momentuan erabiltzen ez dauden irteerak identifikatu eta haiei iristen zaien datu bidea ixtea duen helburu. Honen bidez, erloju ziklo bakoitzean sor zitezkeen kommutazioak ekidingo lirateke, besteen erloju seinalea baldintzatu gabe.

Teknika hau bereziki interesgarria da DSP moduluetan, izan ere, bertan baliatzen diren batutzaile handiek eta kalkulu bolumen handiak honelako egoera anitz sor ditzake. Teknika bera hainbatetan jarri da praktikan potentzia xahuketaren murrizketa lortuz [Munch et al., 2000, Brodersen and Chandrakasan, 2012], baita *clock gating* teknikarekin batera erabiliz ere [Chao et al., 2007].

# Kapitulua 3

## Tenperatura neurtzeko aukerak FPGA tan

Gaur egun, potentziaz hitz egiterako orduan baztertu ezin den beste elementuetako bat tenperatura dugu, izan ere, potentzia xahuketa bezala tenperatura muga betebeharreko aldagai bihurtu da. Aldaketa honen jatorria, bi eragin eremu nagusitan bana daiteke: bata, potentziaren xahuketan duen eragin zuzenagatik; eta bestea berriz, azken urteetan zabaldu den *Dark Silicon* kontzeptuarekin [Esmaeilzadeh et al., 2011].

Lehengo aztergunea ez da arazo berria, izan ere lehenengo integratuak sortu zirenetik presente egon den aldagai bat da. Honek Fourier efektua du jatorri, izan ere, efektu honek argi deskribatzen duen bezala, tenperaturaren igoerak potentzia xahuketaren igoera dakar, eta potentziaren igoerak ezinbestean tenperaturaren igoera. Hortaz tenperaturaren kontrol eta monitorizazioak potentziaren kontrol zehatzago eta efikazago bat suposa dezake, loturik egon daitezkeen arazo guztiak ekidinez.

Horrez gain, bigarren aukera bat ere deskribatu dugu, *Dark Silicon* deiturikoa. Honen jatorria transistoreen disipazio gaitasunean dago, izan ere, Mooren legeak aurreikusi bezala transistore kontaktak gora egin duen heinean transistore bakoitzak duen disipazio ahalmena ez da modu berdinean garatu. Honek arazo batera darama, transistoreak ez badira gai behar bezala disipatzeko, haien lan-tenperatura mugara heltzeko arriskua existitzen da. Horren ondorioz, baliteke gune batzuetan transistoreek funtzionatzeari uztea edo haien gaitasunak galtzea hein batean.

Hortaz tenperaturaren monitorizazio egokiak potentzia xahuketa kontrolatzea alde batetik, baina baita gure gailuaren funtzionamendu egokia bermatzera begira egin genezake.

### 3.1 FPGAen barne sentsorea

FPGA gehienek dute gaur egun barne sentsore bat *on-die* tenperatura neurtzeko. Aukera hau, gure zirkuituan gertatzen ari dena ulertzeko eta aztertzeko oso erabilgarria ez bada ere, gutxieneko informazio minimo bat lortzeko balio dezake. Gure kasuan, AC701 ebaluazio kit-ak XADCaren bidez barne tenperatura seinale analogikoa neurtzea ahalbidetzen digu.

Sentsore honen balioa neurtzeko hasiera batean AMS101 planteatzen zen "itxuraz"ematen dituen erraztasun eta GUIagatik. Hala ere, lanean sakondu heinean beste aukera batzuk baloratu dira, aurrerago aztertuko den bezala, AMS101ak ez baitu eskaintzen lan honetarako behar den funtzionalitatea. Hori dela eta, *System Monitor* (SYSMON) monitorizazio sistemaren bidez jasoko dira sentsore honen datuak denbora errealean.

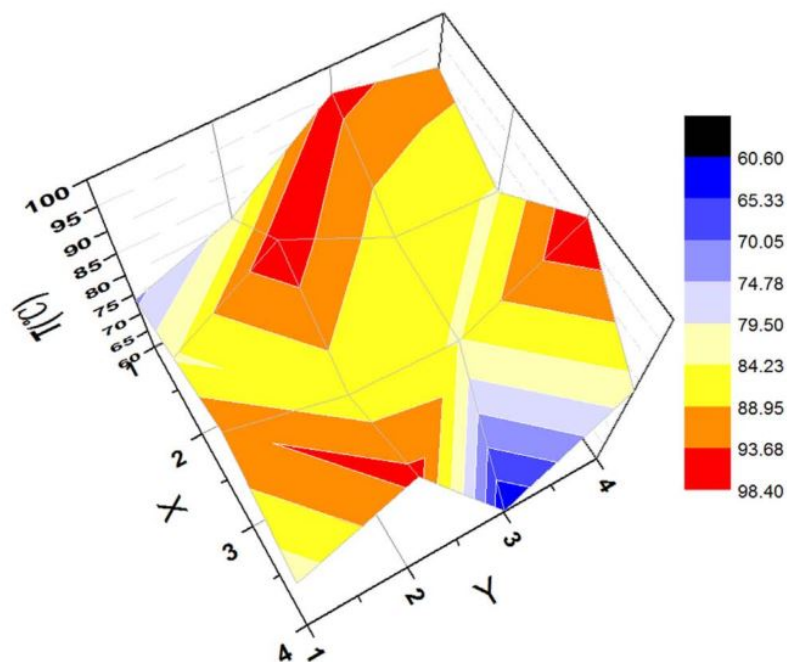
### 3.2 CAD eta Ring Oscillator delakoak erabiliz

Hasiera batean, erdieroaleen teknologiaren aurreraketari men egin diogunean sistemek jasaten duten potentziaren handitzea erdietsi dugu ondorio orokor bezala, hala ere, badira orokortasun horretatik sistemetan eragina duten beste hainbat faktore. Horien artean dago, interkonexio eta transistoreen ugaritze nabarmena dela eta, fabrikazio zein diseinu fasean sor daitezkeen eremu zein osagai marjinalak, azken batean sistema osoan eragin zuzena izatera hel daitezkeenak. Elementu hauek are eragin handiagoa izan dezakete, aztertzen ari garen kasuan bezala, diseinua potentzia baxuko aplikazioetarako baldin badago bideratua. Izan ere, denboraren eta prozesamendu beharraren aldaketak direla eta, gehiegizko potentzia kontsumoa, gehiegizko tenperatura duten guneak eta fidagarritasun falta sor ditzake.

Kasu hauei heltzeko ohiko hurbilpen bat sistemaren karakterizazioa egitea da, ostean kasurik okerrenak aztertzea eta amaitzeko lortutako emaitzekiko tarte edo marjina bat uztea. Honela, edozein kasurik aurre egiteko gai izan beharko litzake sistema, baina, aldaketa kopurua handitzen doan heinean aukera hau desagokiago bilakatzen doa. Arazoaren konponbidea sistemaren baitan denbora errealeko neurketak egingo dituen metodo eraginkor bat da; kostu baxua eta granularitate txikiaz baliatuko dena gailuaren azaleran zehar neurketak egiteko. Honetarako barne eraikitako sentsore analogikoek aukera errazena litzake kasu gehienetarako, baina FPGA gehienetan tenperatura sentsore bakarra aurkitu ohi dugu, eta gehiago dituztenetan ez da arbitrarioki banatzeko aukerarik aurkezten. Hori dela eta, planteatzen den erroka FPGAtan dagoen logika baliatzea da, ahalik eta neurketa fisiko gehien eta potentzia kontsumoaren neurketa zehatz eta lokalizatua egiteko.

Arazo honi aurre egiteko hainbat autorek aurkezturiko irtenbidea da FPGA-n barna sakabanaturiko **Ring Oscillator**-ak dira. Irtenbide hau, zabal eta sakon aztertua izan da azken urteetan, izan ere, FPGA-n zehar tenperaturaren zein tentsioaren neurketak egiteko ohiko tresna izan da [Zick and Hayes, 2012, Franco et al., 2010, Osuna et al., 2013]. Badira halere neurketa hauek potentzia dinamikoaren neurketa egiteko baliatu dutenak ere [Zick and Hayes, 2010].

Bertan, *Ring Oscillator* sentsoere berri bat proposatzen da, oszilatzaileari dagokion atalari ekarpenak egiten badira ere, batez ere kontaketa burutzen duen logikaren garapen berritzaile bat egiten da. Horrez gain, beste neurketa batzuen artean, potentzia dinamikoaren "neurketa"burutzen da, eta horretarako ere proposamen zehatz bat egiten da. Hala ere, potentzia dinamikoaren zenbakizko balioak edo zehatzak eman ordez, programaren exekuzio egoeraren eta *idle* egoeraren arteko maiztasun tartea aztertzen du, honi potentzia dinamikoarekiko erlazio zuzena ezarriz [Zick and Hayes, 2010].



**3.1 Irudia:** *Ring Oscillator* motako sentsoerak baliatuz lorturiko mapa termiko baten adibidea [Li et al., 2017].



## Kapitulua 4

# Kontsumo dinamikoa neurtzeko eta estimatzeko bideak

Kontsumoa murrizteko hainbat aukera aztertu ostean, hauen eragina efektiboki eta dinamikoki nola neurtu dugu hurrengo oztopoa. Gaur egun merkatuan zein azkenengo teknologia duten gailuetan potentzia neurtzeko erraztasunak eskaintzen dituzten baliabideak eskaintzen dituzte.

Gure kasuari men eginez, lehengo hurbilpen batean, 4 aukera nagusi aurki ditzakegu potentzia dinamikoa denbora errealean: AMS 101 txartela, PMBUS bidezko neurketa, SYSMON monitorizazio aukera eta kanpo neurketa. Hauek aurkezten dituzten aukera, abantaila eta desabantailak aztertuko dira, ostean, zein sistema erabili erabaki ahal izateko.

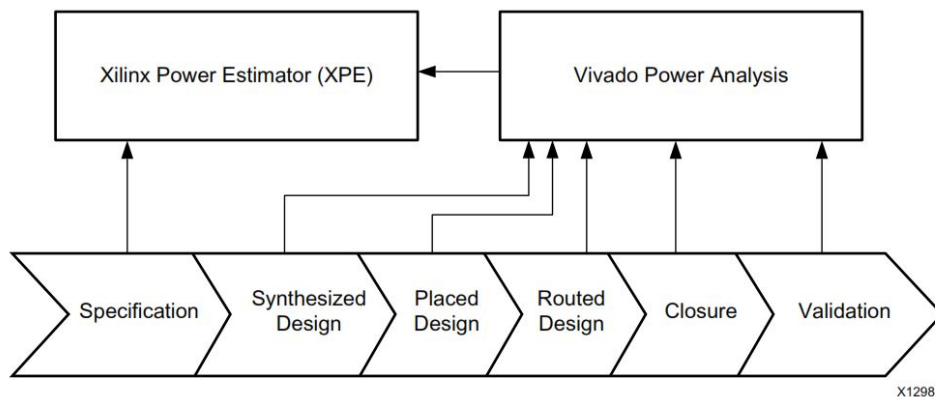
Potentzia dinamikoaren estimazioaz arduratzean, ordea, aukera nagusi bat aztertu eta sakonduko da, *Vivado Power Estimation Tool* izenekoak. Erreminta honek, Xilinx-ek berak diseinatu izateak konpatibilitate eta erabiliko ditugun gailuekiko erabilerraztasuna suposatzen du. Honek, gaur egun merkatuan dagoen potentzia estimatzaile onenetakoa izatearekin bat loturik aukera egoki bakartzat hartzera garamatza. Hala eta guztiz ere, esan beharra dago potentzia estimazioa egiteko behar diren datuak jasotzerako orduan bai existitzen direla beste hainbat erreminta eta software zehaztasun edo garapen handiagoa izan dezaketenak, *Mentor Graphicsek* eskainitakoak besteak beste.



## 4.1 Vivado Power Estimation Tool

Vivadok, beste hainbat aukera eta erremintekin batera **potentziaren estimazio eta analisi** egiteko baliabidea ere eskaintzen du. Horretarako, bi aukera nagusi topa ditzakegu Vivadoren baitan: *Xilinx Power Estimator (XPE)* eta *Vivado Power Analysis (VPA)*.

Lehenengoa, XPE izeneko, hasierako fase batean erabiltzeko dago diseinatua. Izan ere, diseinua egiteko dauden datuak hartu eta potentzia xahuketaren hurbilpen bat egiten du, diseinua bera gauzatu gabe izanik. Bigarrenak berriz diseinua aurrera doan heinean potentzia xahuketaren estimazioak egiteko baliatzen da, hasierako fasean datu urriekin eta amaieran berriz estimazio osatu bat eskainiz. Bi tresna hauen lan eremua argi ikus daiteke 4.1 irudian. Lan honetan aztertuko den kasuan, eta datu zehatzetatik



**4.1 Irudia:** Potentziaren xahuketa neurtzeko tresnen baliagarritasuna kasu bakoitzean.

abiatzen ez den diseinu bat izanik, bigarren tresnari emango diogu garrantzia, izan ere, hau izango da datu zehatzen eta fidagarrienak sortuko dituen tresna.

### 4.1.1 Vivado Power Analysis

VPA Vivadon integratua dagoen tresna bat izanik, honek eskaintzen dituen diseinu fase guztietan dago baliagarri; **sintesitik** hasita **Place & Routea** ematera arte. Horrez gain, erabiltzeko bi aukera izango ditu, bata *Tool Command Language (TCL)* kontsolaren bitartez eta bestea berri GUIa erabiliz.

Tresna bezala, zehaztasunaren gailurra *post-route* etapan lortzen du, izan ere, diseinuaren egitura osoa analizatu dezakeenez, ematen duen emaitza oso dokumentatua da. Hala ere, diseinuko beste faseetan zehar ere badu bere erabilgarritasuna, momentuan momentuko datuekin sortzen joan baitaiteke estimazioak.

Horrez gain, tresnak berak zehaztasuna areagotzeko hainbat aukera ematen ditu. Alde batetik, gailuaren ingurunearen buruzko informazioa zehazteko aukera dago: giro

temperatura, gailuaren temperatura, gailuaren ezaugarri termikoak... 4.2 irudian ikusi daiteke eskaintzen den GUIa.

Bestetik SAIF motako artxiboen erabilera ahalbidetzen du. Artxibo mota honek, simulazio bidez, gure diseinuaren konmutazio parametroak biltzen ditu. Horren ondorioz, teknika honen bidez lortzen diren emaitzak zehaztasun handikoak kontsidera daitezke. Metodo hau baliatuko dugu gure neurketak egiteko frogapenen atalean.

Report Power

Analyze power consumption based on the implemented design and part xc7a200tbg676-2.

Results name: power\_1

Output text file: ...

Output XPE file: ...

Output RPX file: ...

Environment Power Supply Switching

Device Settings

Temp grade: commercial

Process: typical

Environment Settings

Output Load: 0 pF [0 - 10000]

Junction temperature: 25.228 °C

Ambient temperature: 25 °C

Effective  $\theta_{JA}$ : 1.87 °C/W [0 - 100]

Airflow: 250 LFM

Heat sink: medium (Medium Profile)

$\theta_{SA}$ : 3.4 °C/W [0 - 100]

Board selection: medium (10"x10")

Number of board layers: 12to15 (12 to 15 Layers)

$\theta_{JB}$ : 4.7 °C/W [0 - 100]

Board temperature: 25 °C [-55 - 85]

Legend

User Defined  Calculated  Default

OK Cancel

**4.2 Irudia:** Vivado Power Analysis tresnaren konfigurazio GUIa.

Horrez gain, datuak ematerako orduan ere bereziki interesgarria da, gure potentzia xahuketa atalka banaturik ikusteko aukera ere emango digularik. Ezaugarri hau, baliagarria bilaka liteke hainbat kasutan, besteak beste aztertzen ari den kasuan, izan ere, erloju sareak sortzen duen potentzia xahuketa zehazki identifikatzeko aukera ematen du.

## 4.2 AMS 101 txartela edo XADC-a erabiliz

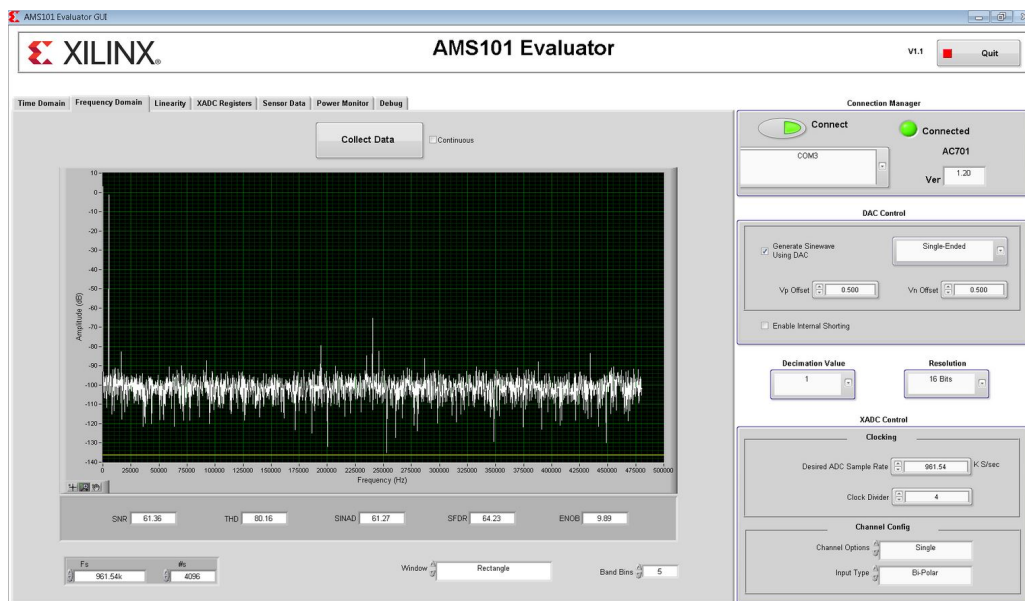
Lehenengo aukera hau da gure *evaluation-board* paketeak eskaintzen digun *feature* nagusienetakoa. Gailu honek XADCa erabiltzen du FPGAn barne elikaduren eta temperatura sentsoreen seinaleak monitorizatzeko. Horretarako FPGAk barnean duen temperatura eta tentsio sentsoreak baliatzen ditu lehenengo pausu batean. Honi, txartelak FPGAtik kanpo dituen shunt sentsore eta multiplexadoreak baliatuz lorturiko korrontearen balioak gehitzen zaizkio, beste behin XADCtik igaro ostean. Beste hainbat aukera ere baditu, baina guri aurreko bi elementu nagusi horien interesatzen zaizkigu.

Horrez gain, National Instruments-en **LabView** softwarea baliatzen du datu hauek monitorizatu eta erabiltzailearentzako erakargarria den GUI bat aurkezteko. Aurrez aurkezturiko txartela, eta GUIa ikus ditzakegu 4.3 eta 4.4 irudietan hurrenez hurren.



**4.3 Irudia:** AMS101 ebaluazio txartelaren hardware oinarria.

Atal honetan sakondu ahala kontura gaitzke 2 ahulgune nagusi dituela aukera honek: baliabideen gehiegizko erabilera eta moldagarritasun falta. Lehenengoaren erroa *microblaze* integratuan dago, izan ere, eredu honek kontrolagailu hori baliatzen du seinaleen kudeaketa egiteko gure diseinuari baliabide kopuru handia gehituz. Honek, era berean, energia kontsumoa areagotzen du neurketen zehaztasuna hein handi batean murriztuz.



#### 4.4 Irudia: AMS101 txartelak eskaintzen duen GUIa LabView-n oinarritua

Bigarren arazoa, berriz, diseinuaren moldagarritasun eta erabilgarritasunean dago. Diseinua bera, ez dago eguneratua Vivadoren azkenengo bertsioetarako, honek suposatzen duen konpatibilitate arazoekin, eta ez dago aukerarik ere Vivado berrietan irakurtzeko.

Guzti hau kontuan izanda aukera hau baztertzea erabaki da azkenengo momentuan, beste aukera zehatzago eta interesgarriago batzuei men eginez. Hala eta guztiz ere, esan beharra dago baliabide hau froga eta kalibrazio lana egiteko erabil daitekeela modu erraz eta zehatz batean.

### 4.3 PMBUS Kontrolagailuak baliatuz

AC701 txartelaren dokumentazioan zehar irakurri ezker, argi adierazten digu potentzia erreala dinamikoki neurtzeko aukerarik onena PMBUS bidezko neurketa dela. Izan ere, PMBUS konektore bat erabiliz, eta TI konpainiak diseinaturiko PMBUSetik USBraiko bihurgailua baliatu liteke ordenagailuan denbora errealeko neurketak hartzeko. Gailu hau *USB Interface Adapter EVM* bezala dago izendatua eta 4.5 irudian ikus daiteke.

Hala ere datuak jaso eta bistaratu ahal izateko *TI Fusion Digital Power Designer* izeneko GUIa dago eskuragarri. Baliabide honek, konfiguratzeke zein ulertzeko konplexua den arren, aukera zabala eskaintzen du potentzia-baxuko diseinuaren zein potentzia monitorizazioaren inguruan.

Hala ere aztertuko den kasurako ez da kontsideratu, gailuaren kostua, 90 euro inguru, eta konplexutasuna muga baitira lanean.



4.5 Irudia: Tiren PMBUS-USB bihurtailua

## 4.4 System Monitor (SYSMON) erabiliz

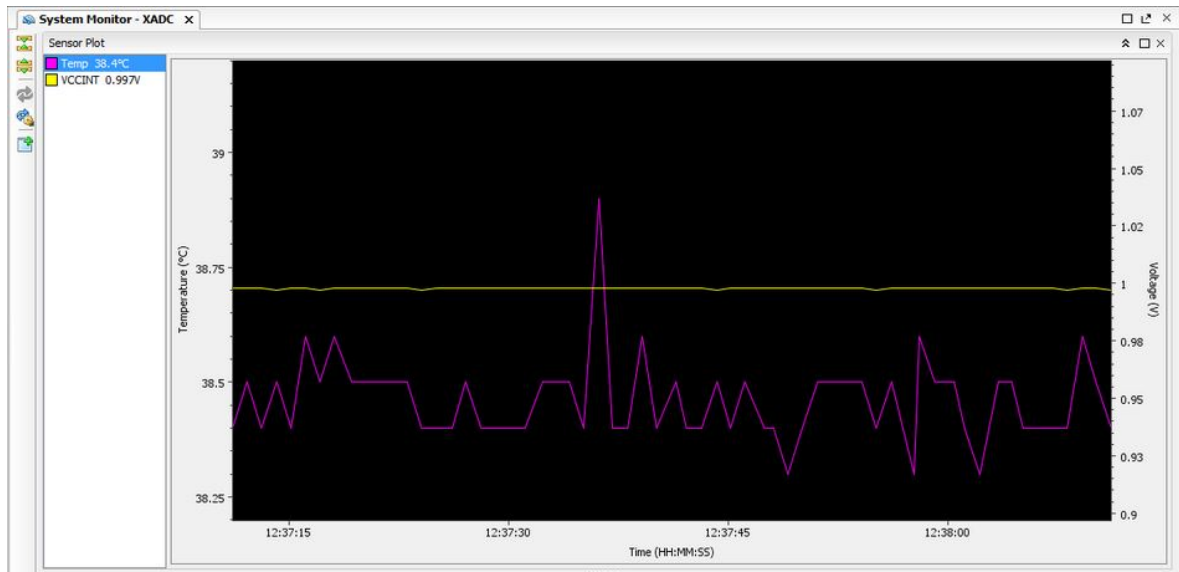
Potentzia dinamikoa denbora errealean neurtzeko beste metodo batzuk aztertu ostean ikertu den aukera bat da hau, eta behar den funtzionalitaterako, egokiena izatea suertatu da. Izan ere, baliabide honek, gailua ordenagailura konektatua dagoen artean eta XADCaren aukera bereizgarri batzuk baliatuz, potentzia neurtzeko behar diren hainbat errail neurtzea ahalbidetzen digu.

Tresna honen arazoa, hein batean, erabilerraztasuna da. Izan ere, berezko funtzioa gailua konektatua dagoen artean datuak irudikatzea da erabiltzaileri gailuan gertatzen ari denaren inguruko informazio bisuala eskaintzeko. Aztertu nahi den kasuan ordea, datu hauek hartu eta grafiko horiek datuz hornitzean datza, hainbat egoera desberdinen arteko alderaketa zehatz eta dokumentatu bat egin ahal izateko. Aipaturiko grafikatzaren funtzionalitatearen adibide bat ikus daiteke 4.6 irudian.

Honi guztiari buelta eman ahal izateko softwarearen errora jo behar izan da, aurrerago garatuko den bezala, **TCL scriptak** baliatuz.

## 4.5 Kanpo neurketa

Honelako diseinuekin lan egiterakoan topatzen dugun beste aukera ekonomiko eta sinple bat potentziaren neurketa txarteletik kanpo egitea da; hau da, txartela bera elikatzen



**4.6 Irudia:** SYSMON tresnak sorturiko grafikoa Vivadoren GUIaren baitan

duen iturria neurtuz. Honetarako hainbat teknika eta gailu aurkeztu badira ere, denek oinarri beraren gainean lan egiten dute, sarrerako korrante eta tentsioa neurtuz FPGA elikatzeko behar den potentzia neurtzea.

Teknika honek, halaber, hainbat arazo ditu, izan ere, egingo den neurketa orok duen zehaztasun maila oso baxua da. Hau nahikoa ez balitz, betiere txartelari igorritako potentzia neurtuko du, bestelako elementuen potentzia ere neurtuz. Hori dela eta, FPGAri igorritako potentzia ezingo da zehaztu, eta honek frogaketaren zehaztasunean izango duen inpaktua oso handia izango da. Horrez gain, honelako praktikek askotan kanpo perturbazioen eragina jasaten dute, ahalik eta gehiago okertuz jasotako emaitza. Guzti hau kontuan izanda, metodo honekin harturiko datu zein frogapen guztiak izaera orientagarri eta pisugabea izan beharko lukete, inoiz ez behin betikoak.



# Kapitulua 5

## Atal funtzionalaren frogapena

Atal honetan aurrez aipaturiko teknika eta erreminten erabilpena justifikatu eta azaldu da, aurrez landu diren ordena berean jorraturaz, atal bakoitzean erabiliko diren diseinu eta adibideen azalpenak emanez. Horretarako teknika bakoitzarekin diseinu bat sortu eta inplementatuko da, frogapen funtzionalak egiteko baliatuko den *testbench*ak sortuz honekin batera.

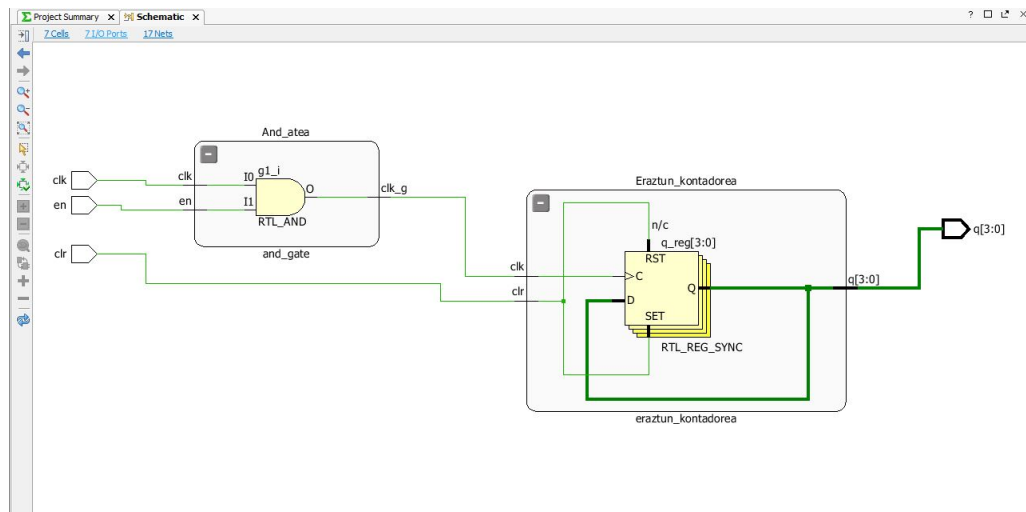
### 5.1 *Clock-Gating* soilik baliatuz

*Clock-Gating* teknika frogatzeko hainbat eta hainbat adibide aukera daitezke, betiere emaitzetan ondoriozta badaiteke honek eragindako energia murrizketa. Hori dela eta, sinpletasun eta diseinu erraztasun parametroak kontu handian izanik, *ring-counter* edo eraztun kontadore bat baliatzea erabaki da. Diseinu honen bidez gure teknikaren emaitza funtzionalak zein potentzia xahuketarekin lotuak aztertu nahi dira. Izan ere, erloju atetzea aztertzerakoan aurkeztu diren aukera gehienek lehenengo atal honetan dute arazorik handiena, eta lehenengoa konpontzen dutenek bigarrena zuten eztabaidagai. Hori dela eta bi teknika uztartuz dauden aukeren arteko konparazioa eta egokitasun azterketa bat egitea planteatzen da.

#### 5.1.1 AND atea baliatuz

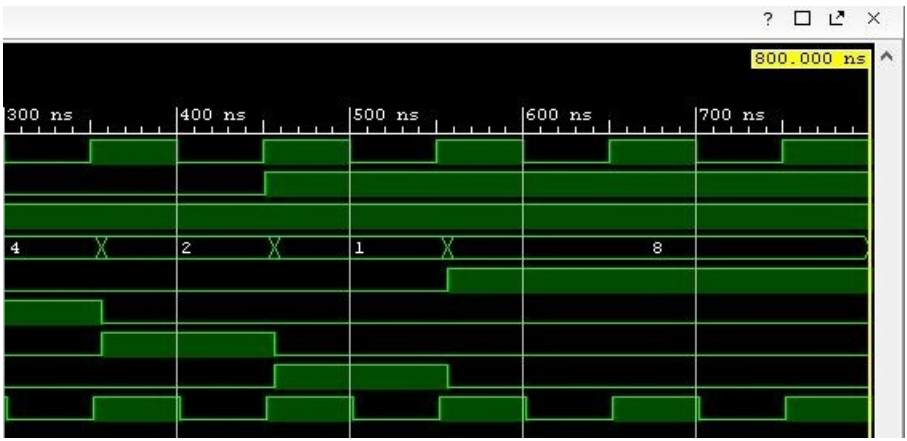
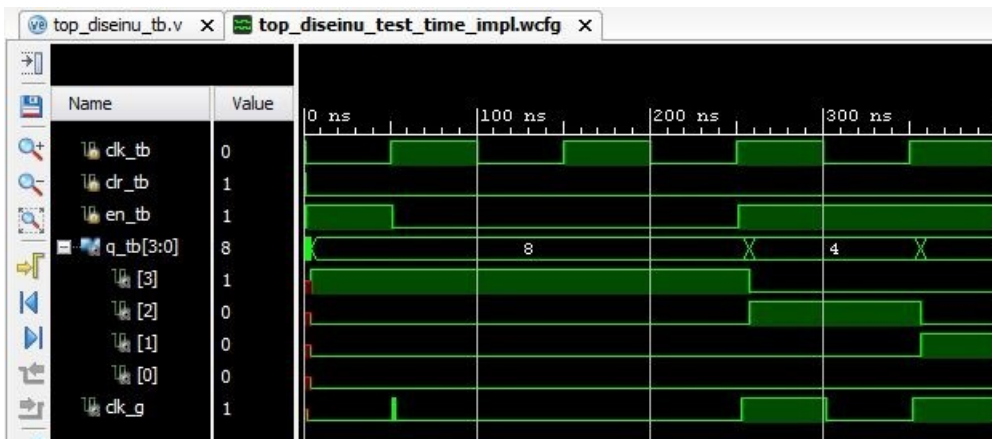
Gure hastapen diseinuaren egitura oso sinplea da, izan ere, soilik AND ate bat eta, aurrez aipaturiko, *ring-counter* bat izango direlarik elementu bakarrak. AND ateari dagokionez, *enable* seinalea izango du konektatua hanka batera, eta bestera berriz, gure erloju seinalea. Honen bidez gure erloju seinalearen kontrola *enable* seinalea baliatuz egin dezakegu. Vivadon eginiko diseinu honen bloke diagrama osatua 5.1 irudian ikusi daiteke.





### 5.1 Irudia: Clock-Gating teknikaren eskema RTL mailan eginiko elaborazioaren ostean

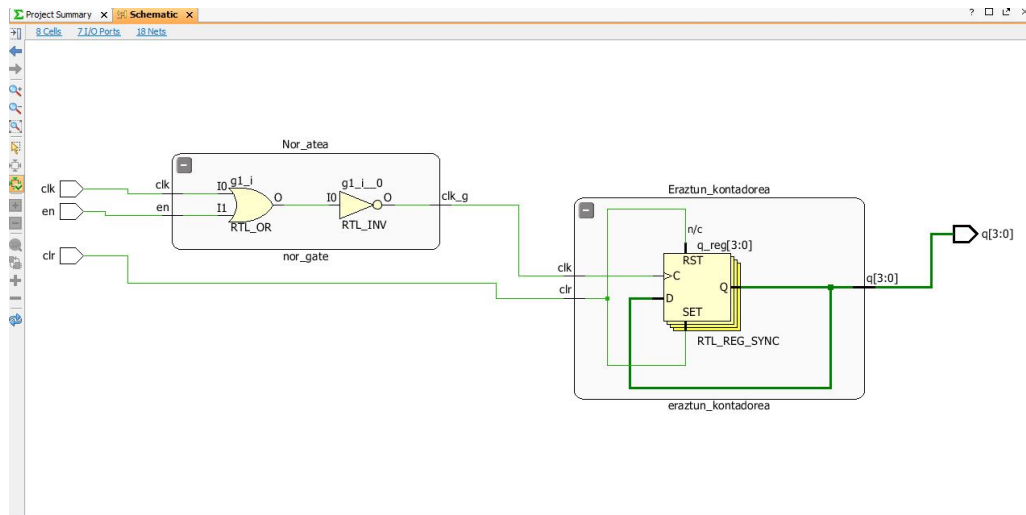
Aipaturiko funtzionalitatearen emaitza grafikoa 5.2 irudian ikus dezakegu, bertan Vivadoren simulazio erreminta baliatuz eta *test-bench*aren laguntzaz gure sistemaren funtzionalitatea azter dezakegu. Emaitza aztertzerakoan argi geratzen den lehenengo gauza, *glitch* edo errore baten presentzia da 50usaren baitan. Grafikoa aztertuz gero, *enable* seinalea modu asinkrono batean eta erloju seinalearen erdian txertatu izanaren ondorio dela arrazoitu daiteke. Akats hau alde batera utziz, argi eta garbi ikus daiteke hortik aurrera erloju seinalearen presentzia guztiz desagertu egin dela, hark sortzen zuen potentziaren kontsumoa desagerraraziz.



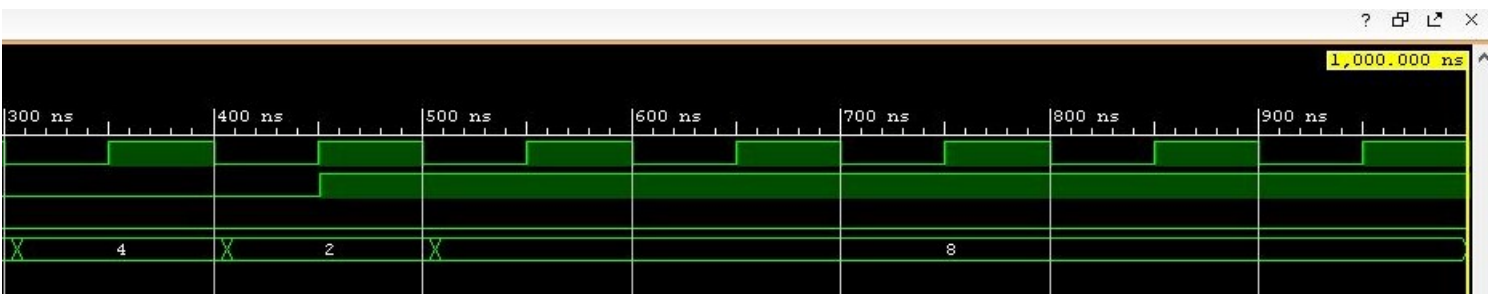
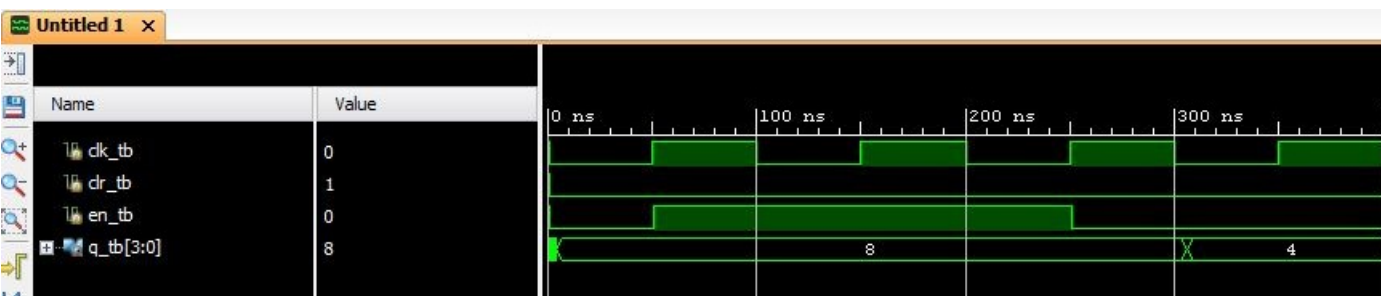
5.2 Irudia: Clock-Gating teknikaren simulazioa Vivado post implementation timing simulation erabiliz azterketa funtzionala egiteko

### 5.1.2 NOR atea baliatuz

Lehengo kasuarekin jarraituz, bigarren honek propietate zein diseinu parekotasun asko mantentzen ditu, bat kenduta. Kasu honetan, AND atea baliatu ordez NOR atea baliatuko da, 5.3 irudian ikus daitekeen bezala, honen ondorioz *enable* seinalea alderantzikatuko delarik ertz negatiboa gaitzeko baliatuz. Diseinu honen simulazioa 5.4 irudian ikus daiteke.



**5.3 Irudia:** *Clock-Gating* teknikaren eskema RTL mailan eginiko elaborazioaren ostean

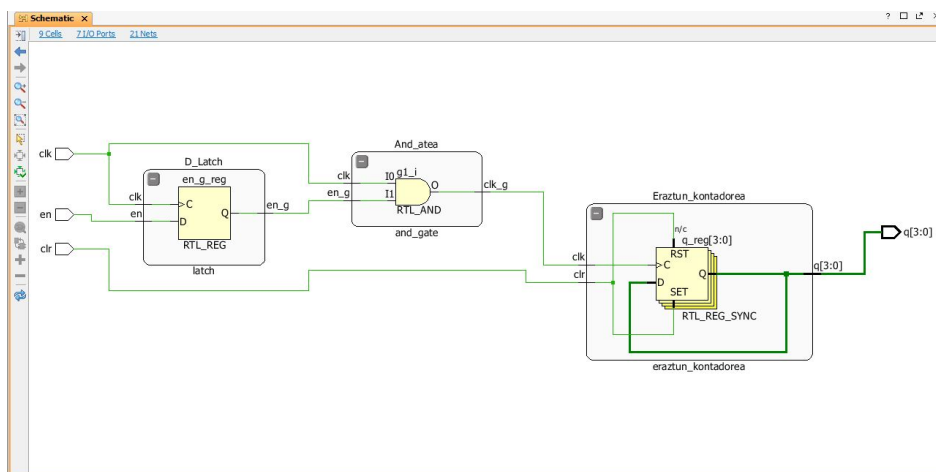


5.4 Irudia: Clock-Gating teknikaren simulazioa Vivado post implementation timing simulation erabiliz azterketa funtzionala egiteko

## 5.2 Clock-Gatinga eta D-Latch bat erabiliz

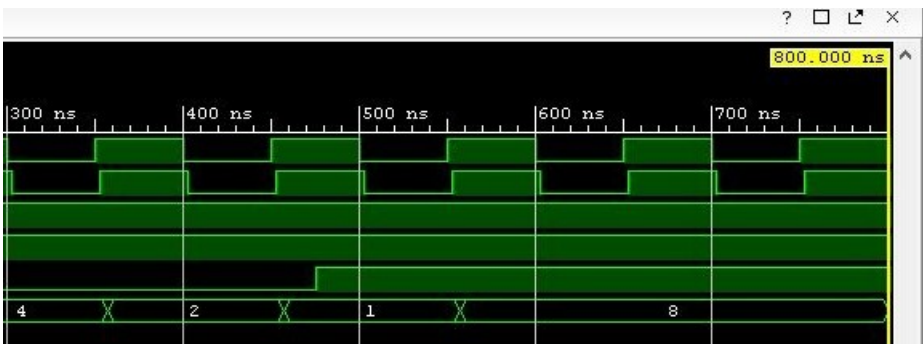
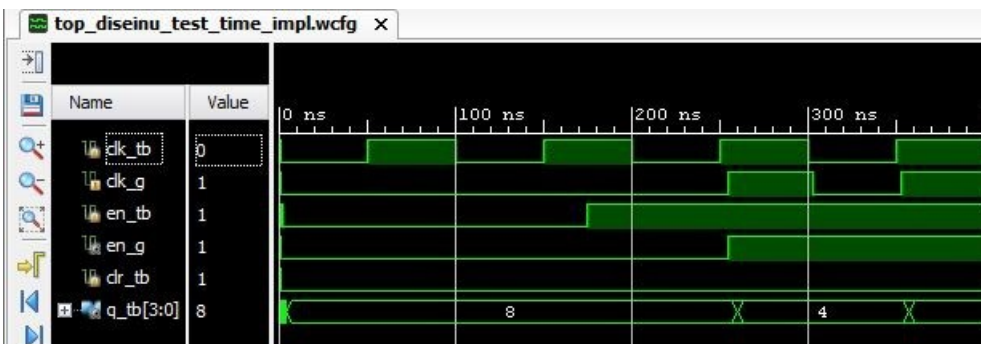
### 5.2.1 AND atea baliatuz

Bigarren atal honetan, 5.5 irudian ikus daitekeen bezala, aurreko diseinuari *Latch* bat gehituko diogu eman daitezkeen *enable* seinale asinkronoak sinkrono bihurtzeko. Horren laguntzaz glitch eta bestelako arazo batzuk ekidingo lirerateke. Era berean, aurreko diseinuko hainbat elementu komun ditu, hala nola, and atea eta eraztun kontadorea.



**5.5 Irudia:** AND atearen bidez eginiko *Clock-Gatingari Latch* bat gehituz lortuko guren eskema RTL mailan eginiko elaborazioaren ostean

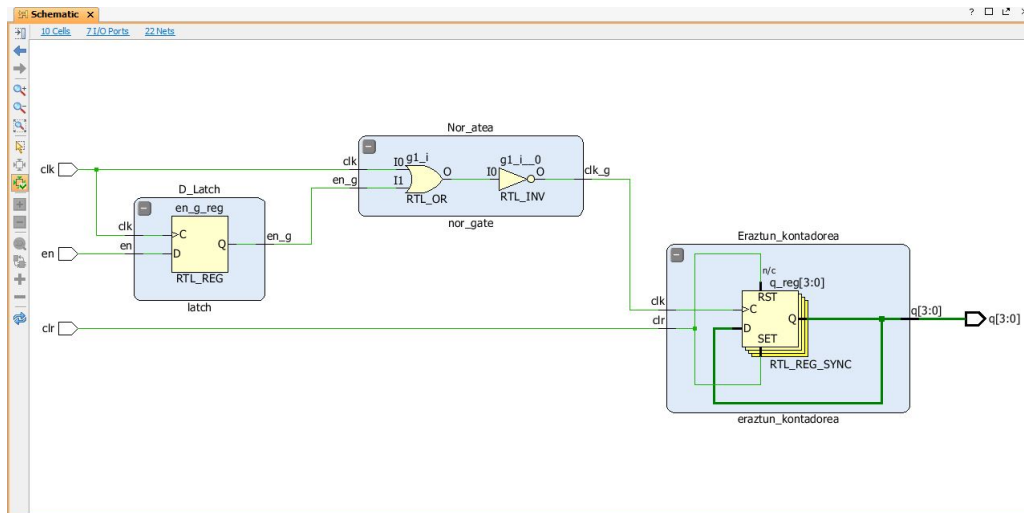
Aipaturiko funtzionalitatearen deskribapen grafikoa 5.6 irudian ikus daiteke, bertan Vivadoren simulazio erreminta baliatuz eta *test-bench*aren laguntzaz gure sistemaren funtzionalitatea azter dezakegu. Hura aztertzerakoan argi geratzen den lehenengo gauza, *glitch* edo errore baten presentzia da *enable* seinalea modu asinkrono batean eta erloju seinalearen erdian txertatu izanaren ondorio. Hala ere, argi eta garbi ikus daiteke hortik aurrera erloju seinalearen presentzia guztiz desagertu egin dela, hark sortzen zuen potentziaren kontsumoa desagerraraziz.



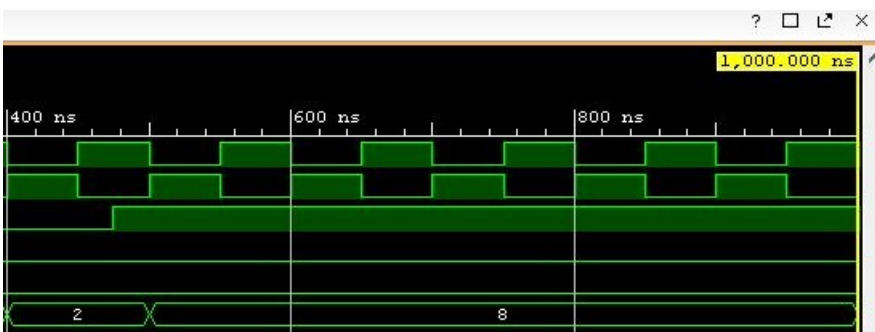
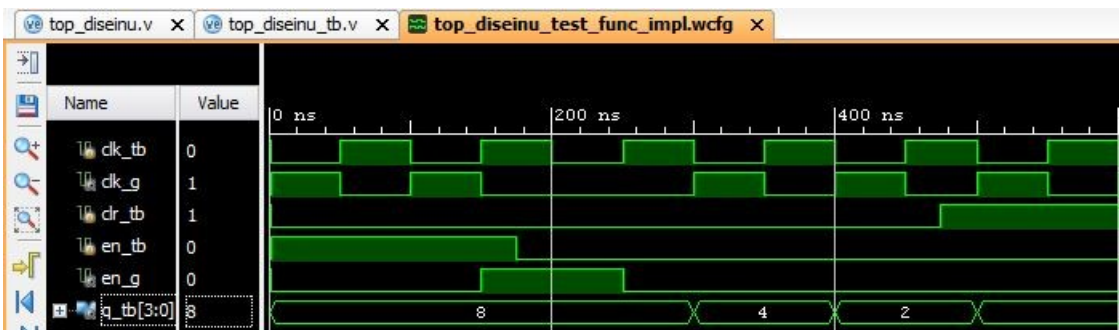
**5.6 Irudia:** AND atearen bidez eginiko *Clock-Gatingari Latch* bat gehituz lorturiko simulazioa Vivado *post implementation timing simulation* erabiliz azterketa funtzionala egiteko

### 5.2.2 NOR atea baliatuz

Hurrengo pausu naturala NOR atea baliatuz atetze sinkronoa egitea litzake. Horretarako, AND atearekin baliatutako diseinua hartu eta NOR ate batekin ordezkatu da diseinua eta *testbencha* moldatuz 5.7 eta 5.8 irudietan ikus daitekeen bezala.



**5.7 Irudia:** Biegonkorraren bidez eginiko *Clock-Gatingari* AND atea beharrian NOR atea ordezkatuz gero, lortuko genukeen eskema RTL mailan eginiko elaborazioaren ostean



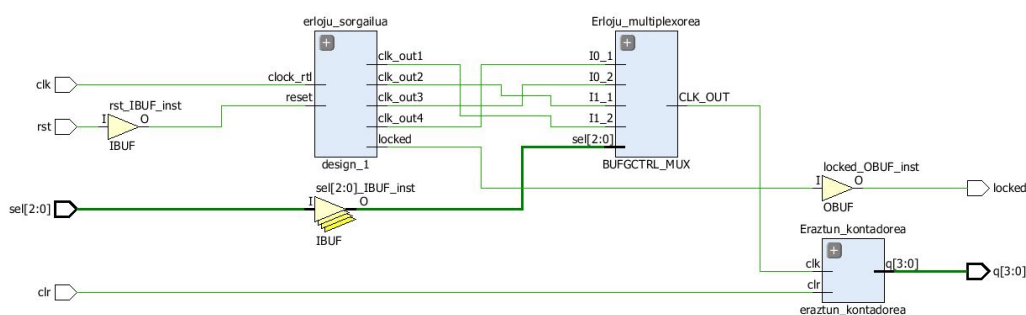
**5.8 Irudia:** NOR ate eta biegonkor bidez eginiko *Clock-Gatingaren* simulazioa, Vivado *post implementation timing simulation* erabiliz, azterketa funtzionala egiteko



## 5.3 Erloju maiztasunaren kontrol dinamikoa

### 5.3.1 BUFG-ak erabiliz

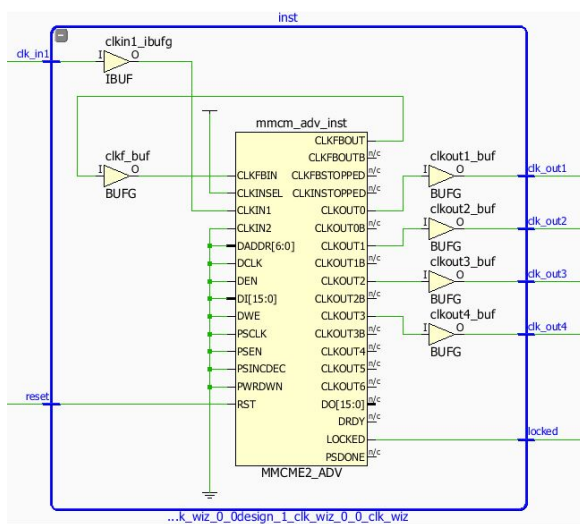
Kasu honetan, FPGAk dituen erlojua kudeatzeko baliabide sinkrono eta dedikatuak baliatuko ditugu. Atetzea burutzeko, BUFG izeneko buffer sinkronoak baliatu ditugu haien artean 4 sarrerako multiplexadore bat osatuko dutelarik 4 erloju maiztasun desberdinen artean aukeratu ahal izateko. Horrez gain, erloju seinale desberdinak sortzeko MMCM modulua baliatu dugu, aurrerago aztertuko den bezala, erloju seinale hauek dinamikoki kudeatzeko aukera ere emango duena. Elementu hauez, zein eraztun kontadorea barne dituen diseinuaren eskema orokorra 5.9 irudian ikus dezakegu.



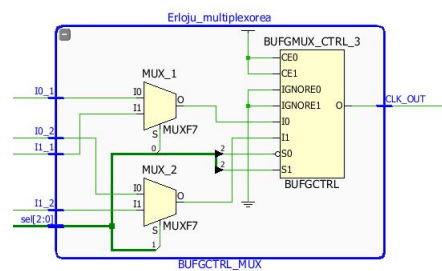
**5.9 Irudia:** *Clock-Gatingari Latch* bat gehituz lortuko genukeen eskema RTL mailan eginiko elaborazioaren ostean

Bloke orokorretan funtzionalki uler badaiteke ere, 5.10 eta 5.11 irudietan ikus ditzakegu MMCMa eta multiplexorea garaturik hurrenez hurren.

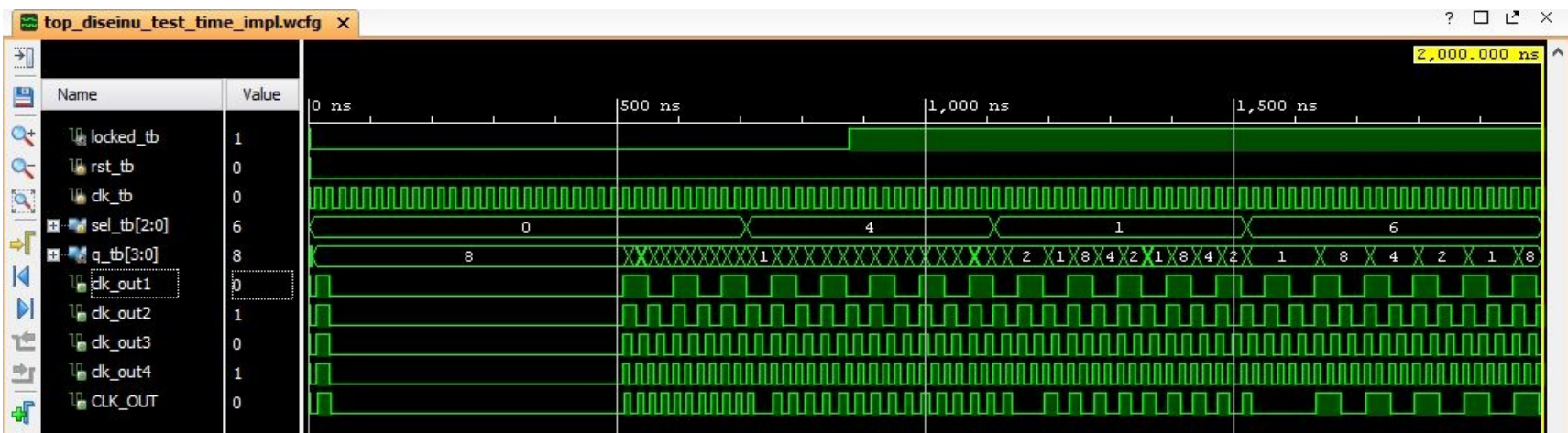
Horrez gain honen funtzionalitatea aztertzeko, lau erloju seinale aurre programatu dira eta haien arteko txandaketarako kode bat sortu. Honen emaitza, 5.12 irudian azter dezakegu. Bertan argi geratzen da ez dela *glitch*ik sortzen bufferren izaera dela eta.



5.10 Irudia: MMCME erloju kudeatzai-learen eskema.



5.11 Irudia: Multiplexadorea bufferra BUFG eta bi multiplexadorez osatua.



5.12 Irudia: MMCMaren erloju kudeaketa eta **multiplexadore** bezela baliaturiko BUFGen bidezko erloju maiztasun kudeaketa.

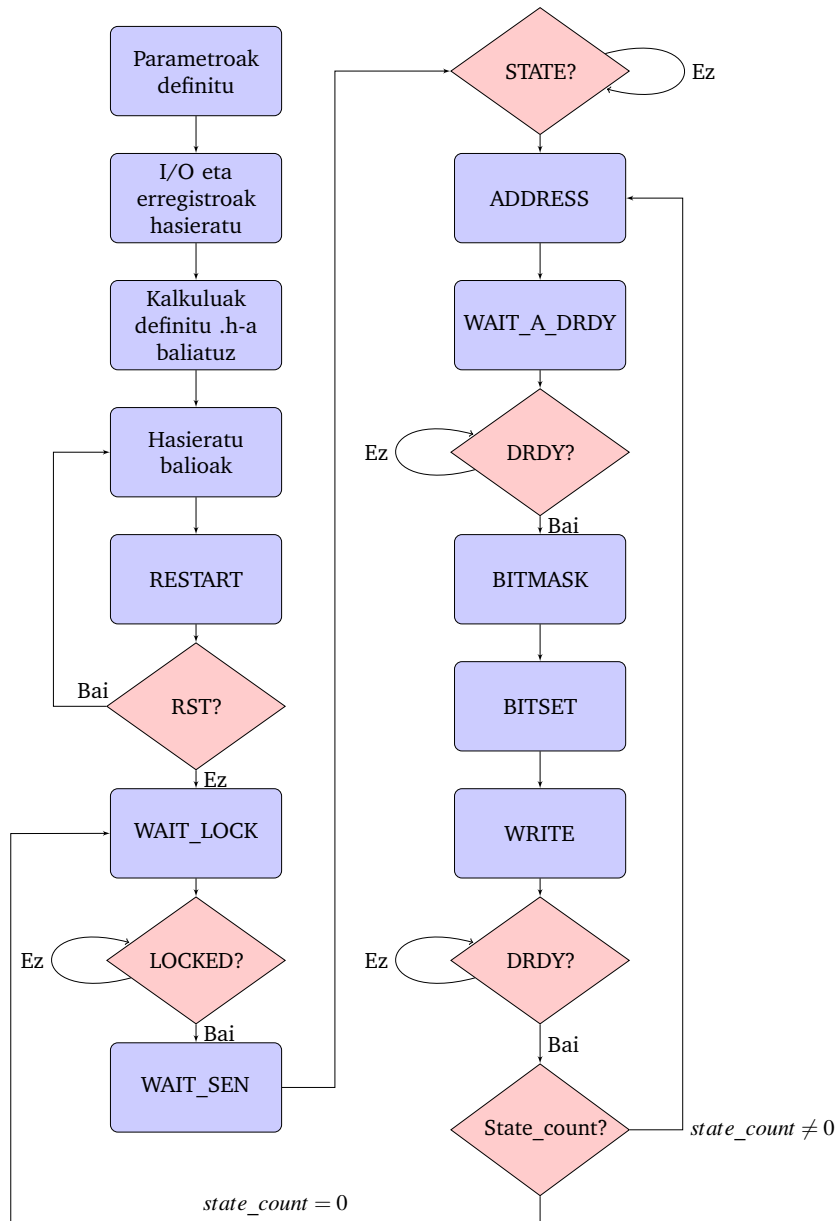
### 5.3.2 MMCMaren DRP aukera erabiliz

Azkenengo aukera hau denetan konplexuena dela esan genezake, izan ere, MMCM erloju kudeatzailearen kontrol dinamikoa egitean datza DRP portua eta konfigurazio programa bat baliatuz. Kodearen garapena egin ahal izateko Xilinx konpainiak eskainitako XAPP888 *application note*a baliatu da, berau hiru atal nagusitan bana genezakeelarik: kalkuluak egiteko kodea, birprogramatzeko kodea eta MMCMko datuak gorde eta zehaztuko dituen kodea, eranskinean ikusi ahalko den bezala.

Prozesua ondo ulertu ahal izateko lehenik eta behin DRP portua birkonfiguratzeko eman beharreko pausuak aurkezten dira 5.13 irudian:

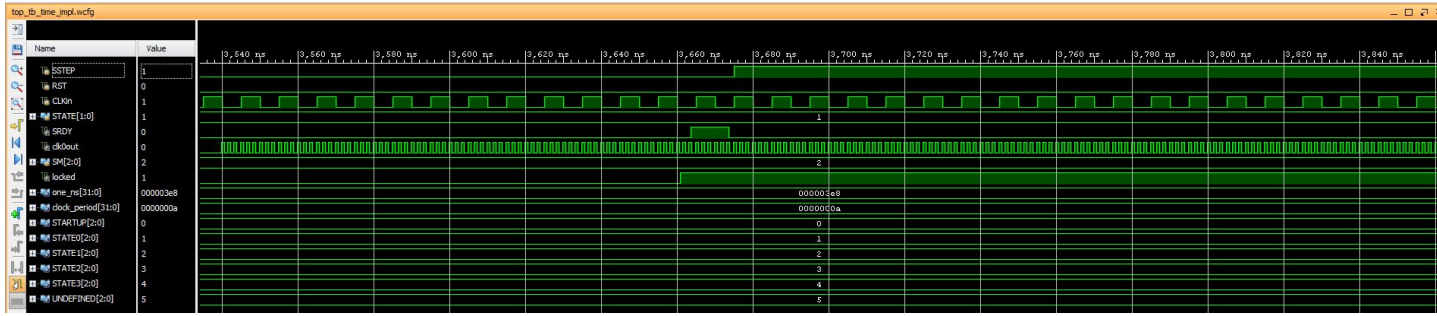
Irudian bertan MMCMak birkonfiguratzeko fase guztiak ageri dira horietako bakoitzak funtzionalitate zehatz batekin. Funtzionamenduaren oinarrian, azken batean, birkonfigurazio erreal bat eman baino, bi kokapen desberdinetan gordetako datuak kudeatzean datza. Hau da, egoera bakoitzak beharrezko dituen datu guztiak bi leku desberdinetan izango lituzke gordeak, eta egoera aldaketa ematean, jatorriaren helbidea aldatuko litzake datu egokiak jasotzeko.

Guzti hau, halaber, beste hainbat pausurekin batera etorri behar da konfigurazio egokia eman dadin, orokorki 5.13 irudiko fluxu diagraman aurkitu ditzakegun pausu edo egoerak liratekeelarik.

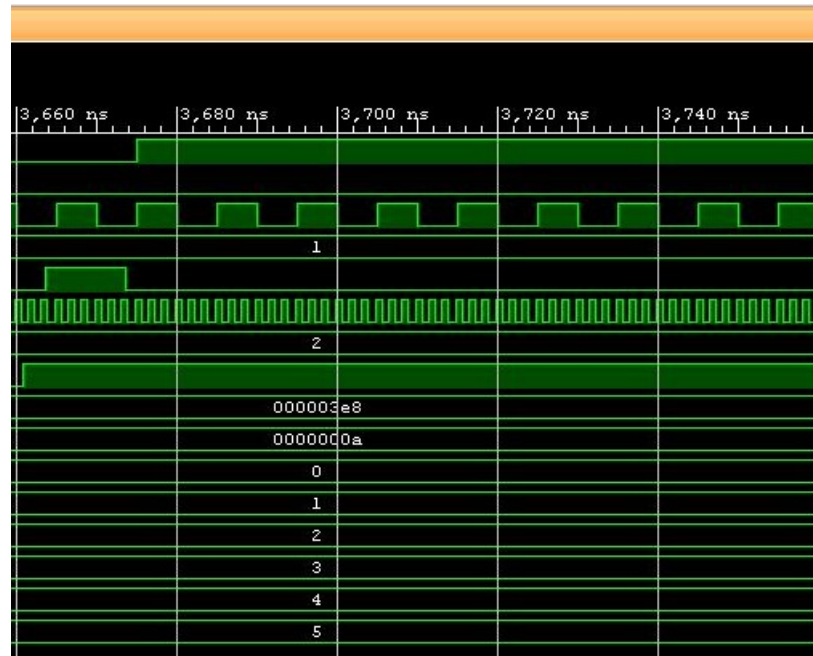


5.13 Irudia: MMCMaren DRPa erabiltzeko beharrezko kodearen fluxu diagrama

(a) Lehenengo egoerako maiztasuna.

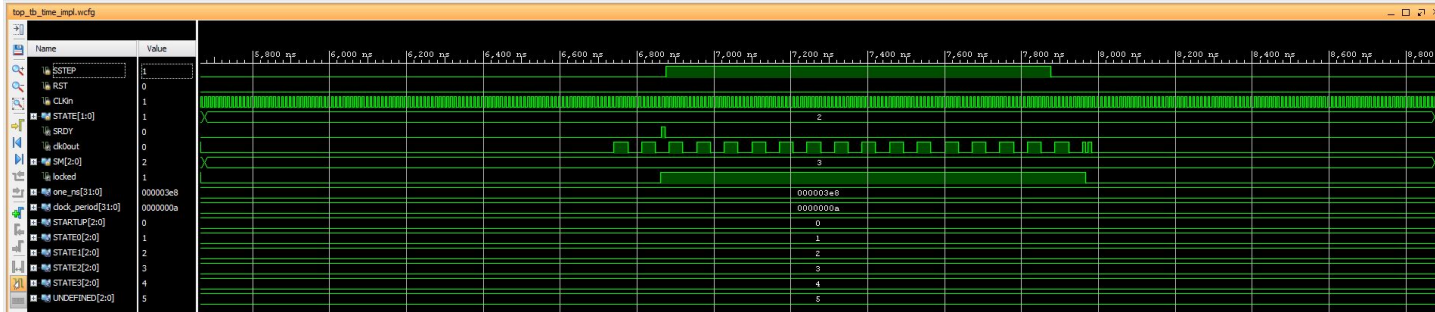


(b) Lehenengo egoerako maiztasuna (Handitua).

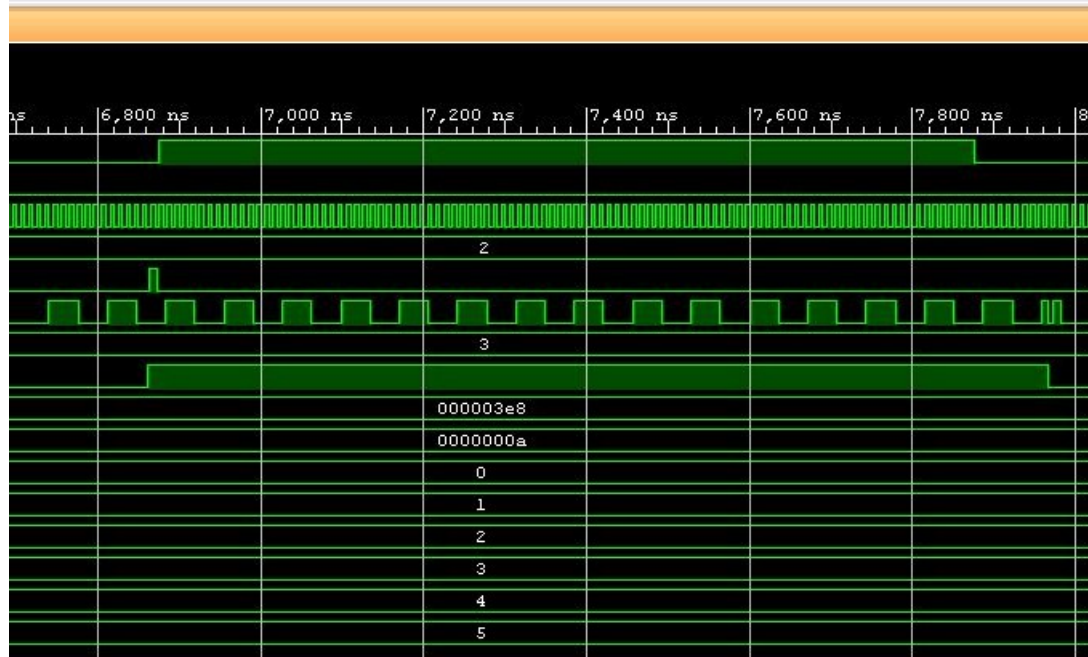


DRP 1: MMCM erloju kudeatzailearen DRP portuaren aukera baliatuz lorturiko lehenengo emaitza.

(a) Bigarren egoerako maiztasuna.

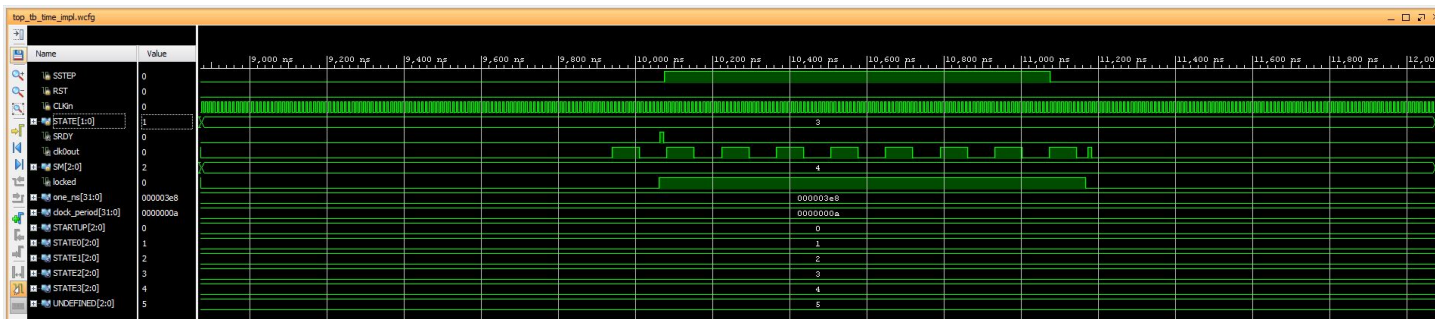


(b) Bigarren egoerako maiztasuna (Handitua).

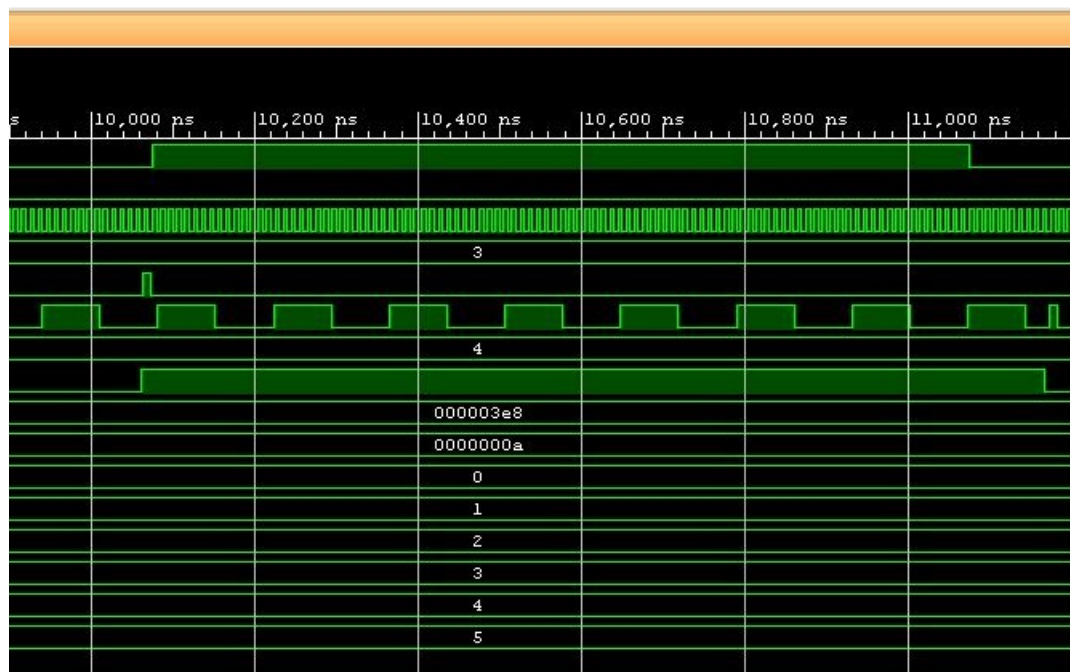


DRP 2: MMCM erloju kudeatzailearen DRP portuaren aukera baliatuz lorturiko bigarren emaitza.

(a) Hirugarren egoerako maiztasuna.



(b) Hirugarren egoerako maiztasuna (Handitua).



DRP 3: MMCM erloju kudeatzailearen DRP portuaren aukera baliatuz lorturiko hirugarren emaitza.





# Kapitulua 6

## Frogapen praktikoa, garapena eta emaitzak

Emaitzak ulertu ahal izateko lehenik eta behin aurreko adibideekiko moldaketa azalduko da. Izan ere, aurreko kasuetan modulu bakarra baliatu izan da funtzionalitatea aztertze-ko, baina FPGA baten potentzia xahuketan duen eragina aztertze-ko erloju kontsumoa esanguratsua izango den diseinuak aztertuko dira.

Emaitza hau lortu ahal izateko, *generate* komandoa baliatu da bloke zehatz batzuk biderkatzeko diseinuan zehar eta honela erlojuaren eragina biderkatzeko.

Honez gain, neurketak egiterako orduan bi metodo nagusi erabiliko dira, SYSMON monitorizazio sistemak igorritako datu errealea eta Vivadok eskaintzen duen potentzia xahuketa neurtzeko ematen digun erremintaren bidez. Bigarren honetan, aurrez aipatu bezala, SAIF artxiboa baliatuko da egoera desberdinetan eman daitezkeen potentzia kontsumoak estimatzeko.

### 6.1 AND ate bidezko Clock Gating-a

Clock Gating-a baliatzen zuten diseinu guztiek egitura parekoa konpartitzen dutenez moldaketa komuna egin da. Honetarako lehenengo eta behin erabiltzaileak baliatu ditzakeen sarrerak definitu dira, *pushbutton*-ak kasu honetan, erloju atetzea areagotu edo murrizteko. Honekin batera, hainbat modulu itzali behar direnez gero erregistro bat definituko dugu atetze seinaleen igorle bezala. Honela aurrez zehazturiko botoiek erregistro hau aldatuz funtzionatuko lukete eta bigarren honek seinalea igorri. Hona hemen atal hau adierazten duen kodearen zatia:

```
1 always @(posedge clk)
2 begin
3 if (dwn == 1 && en > 1)
```

```

4   begin
5       en[n] <= 0;
6       n = n - 1;
7       #100;
8   end
9   if (up == 1)
10      begin
11          n = n + 1;
12          en[n] <= 1;
13          #100;
14      end
15  end

```

Horrez gain, kontuan izanda NOR eta AND ateen artean dagoen desberdintasuna sarrera motaren eta ez energia kontsumoaren baitan kokatzen dela, AND atea baliatu den diseinuak izango dira kontutan potentziaren kontsumoa neurtzerako orduan.

Sinplifikazioaren oinarrian harago joan ezkerro, esan daiteke erloju atetzean oinarrituriko diseinu guztiek sortuko dutela energia murrizketa parekoa. Hala ere, hau egia izan dadin, ulertu beharko litzateke aztertzen ari den elementu nagusia potentzia dinamikoaren murrizketa dela eta teknika hauen arteko desberdintasun nagusia potentzia estatikoaren handitzean legoke. Handitze hau, azterketa zehatzago bat egin nahi izango balitz kontuan izan beharko litzateke, baina proposatzen diren helburuak betetzeko ez da horren urrutira joan behar. Hortaz, AND atetze sinplea baliatuko da potentziaren joera guztia aztertzeko.

Biderkatzeari dagokionez, gure diseinua frogatzera begira 150 eraztun kontadore eta AND ate dituzte 90 modulu biderkatu dira hasiera batean, potentzia totalaren %87 potentzia dinamikoa izatera arte, zeinen erlojuaren eragina %66a izatera iritsi den.

Honekin froga daiteke erlojuaren eragina diseinu sinple eta guztiz osatu gabeko batean, potentzia totalaren %85etik haratago joan daitekeela erraz, honelako diseinuetan atal honetan aplika daitezkeen teknikei garrantzia emanaz. 6.1 eta 6.2 irudietan potentziaren irakurketa orokorra eta FPGAren barnean *place & routea* egin osteko erabilera ikus ditzakegu.

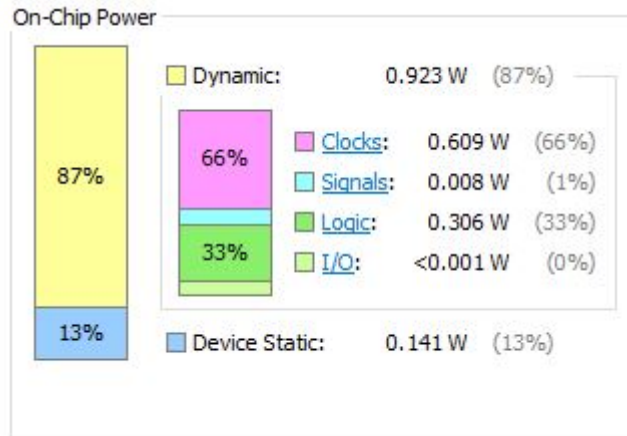
Atal honen emaitza egokiak jaso ahal izateko SAIF artxibo motan jasotako datuen erabilera bidezko potentziaren neurketa egin da lehenik eta behin. Aurrez azaldu bezala, kasu bakoitzerako SAIF artxibo bat osatu behar da, ostean bakoitzarekin potentzia estimazioa burutu ahal izateko. Honek, lan errepikakor eta astuna suposatzen du, izan ere etapa bakoitza amaitu arte itxaron behar da eta amaitzean beste bat hasarazi. Hau ekiditeko, eta denborak murrizteko helburua kontuan izanik, TCL script bat osatu da.

Script honek hainbat funtzio desberdin betetzen ditu kasu honetan, izan ere, gure SAIF artxiboak sortzeko ere hainbat pausu eman behar dira. Lehenengo pausu batean

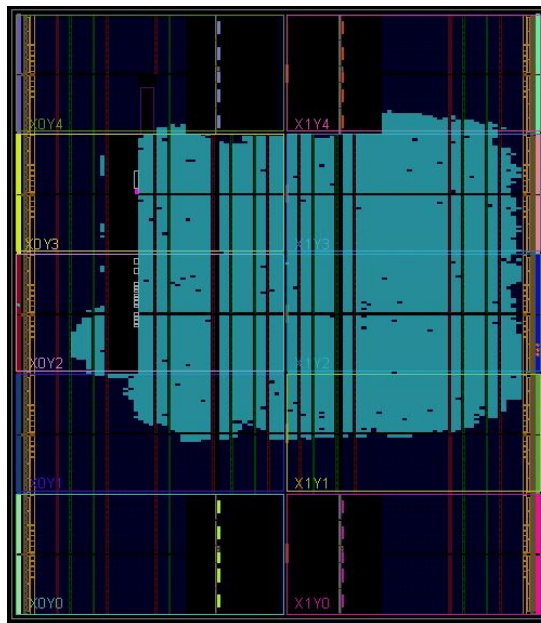
Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

**Total On-Chip Power:** 1.064 W  
**Junction Temperature:** 27,0 °C  
 Thermal Margin: 58,0 °C (30,7 W)  
 Effective  $\theta_{JA}$ : 1,9 °C/W  
 Power supplied to off-chip devices: 0 W  
 Confidence level: [Medium](#)

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity



### 6.1 Irudia: Potentzia kontsumo orokorraren diagrama.



### 6.2 Irudia: FPGaren erabilera *place & route* egin ostean.

proiektua abiarazi eta simulazio artxiboak kentzen dira proiektutik. Honen ostean eredu simulazio artxiboa eta egoera beste artxibo sortzen dira, izan ere, artxibo hauen bidez lortuko dugu behar dugun informazioa zehaztea.

Honen ostean simulazioaren artxibo bezala doa ezartzen banan-banan simulazioa artxiboak, ostean simulazioa jaurtiz eta azkenik simulazioaren datuak bilduz. Hau errekursiboki egingo da behar diren datu guztiak lortu arte. Ondorengo artxiboan ikus daiteke, lehenengo saiakera burutzeko erabili den *scripa*, ostean, saiakera bakoitzarentzat pertsonalizatu da zehaztasunak aldatuz.

```

1 set j 50
2 remove_files -fileset sim_1 G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/top_diseinu_tb_0.v
3 update_compile_order -fileset sim_1
4 set_property SOURCE_SET sources_1 [get_filesets sim_1]
5 for {set i 0} {$i < 10} {incr i} {
6   set in [open "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/top_diseinu_tb.v" r]
7   set tempfile "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/And_atetzea/tmp/top_diseinu_tb_{$i}.v"
8   set out [open $tempfile w]
9   set count 0
10  while {[gets $in line] != -1} {
11    incr count
12    if {$count == 17} {
13      puts $out "          #${j} up_tb=1'b0;"
14    } else {
15      puts $out $line
16    }
17  }
18  set count 0
19  close $in
20  close $out
21  add_files -fileset sim_1 -norecurse "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/And_atetzea/tmp/top_diseinu_tb_{$i}.v"
22  update_compile_order -fileset sim_1
23  launch_simulation -mode post-implementation -type timing
24  restart
25  open_saif "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/And_atetzea/And_atetzea.sim/sim_1/impl/timing/saif_{$i}.saif"
26  log_saif [get_objects -r {/top_diseinu_test/dut1/*} ]]
27  run 100 us
28  close_saif
29  set_switching_activity -deassert_resets
30  read_saif "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/And_atetzea/And_atetzea.sim/sim_1/impl/timing/saif_{$i}.saif"
31  report_power -file "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/Power/Potentzia_{$i}.txt"
32  -name {power_{$i}}
33  report_power -file "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/Power/Potentzia_{$i}.pwr"
34  -name {power_{$i}}
35  close_sim
36  remove_files -fileset sim_1 "G:/Erredakzioa/Kodea/Biderkatuak/And_atetzea/And_atetzea/tmp/top_diseinu_tb_{$i}.v"
37  update_compile_order -fileset sim_1
38  set_property SOURCE_SET sources_1 [get_filesets sim_1]
39  set j [expr {$j + 100}]
40 }

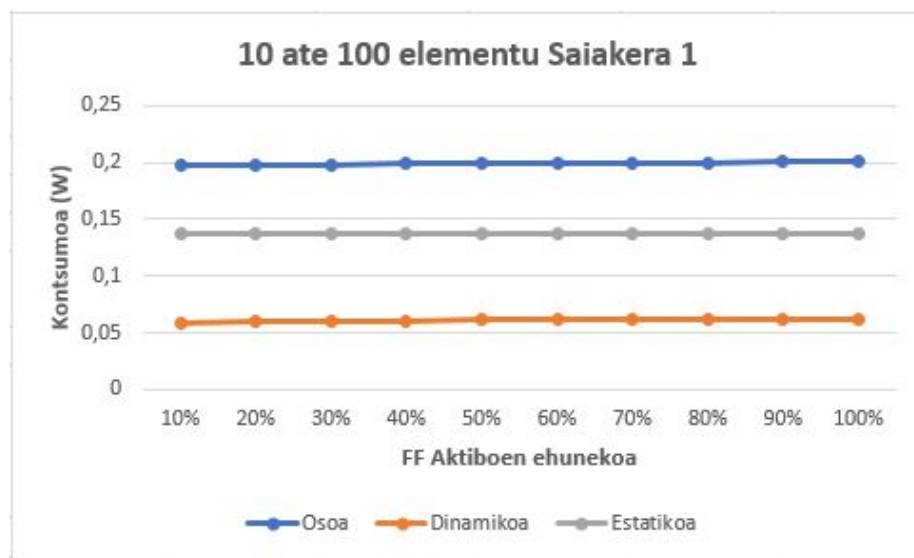
```

## 100 Eraztun kontadoreko moduluak

Lehenengo saiakera batean, 10 atetze modulu ezarriz bakoitza 100 atetutako elementu-ekin, *ring-counterrak* gure kasuan, ezarri da. Horren ostean, banan-banan joan da atepak zabaltzen honako potentzia xahuketa grafiko, 6.3 irudian ikusgai, zein taula, 6.5 irudian ikusgai, lortuz. Horrez gain, ikusirik aurreko grafikoak ez duela nahikoa zehaztasun ematen potentzia dinamikoaren irudikatzeko, grafiko berezitu bat egin da, 6.4 irudian ikusgai dagoena.

Aurreneko grafikoari erreparaturaz gero, lehenengo azterketa batean argi ikus daiteke, atetzearen eragina sumatu badaiteke ere ez dela bereziki nabaria. Atetzearen eragina argiago ikus daiteke aurrez aurkezturiko potentzia dinamikoaren grafikoan, 6.4 irudian alegia. Bertan, potentzia dinamikoaren goranzko joera lineal nabaria ikus daiteke frogak egin ahala, nahiz eta orokorki potentzia totalarekiko eragin handirik ez suposatu.

6.5 taulako datuak hartuz ondoriozta daiteke **potentzia xahuketa totalarekiko** murrizteak %1.49 a suposatzen duela, eta **dinamikoarekiko** berriz %4.84a. Lehenengo

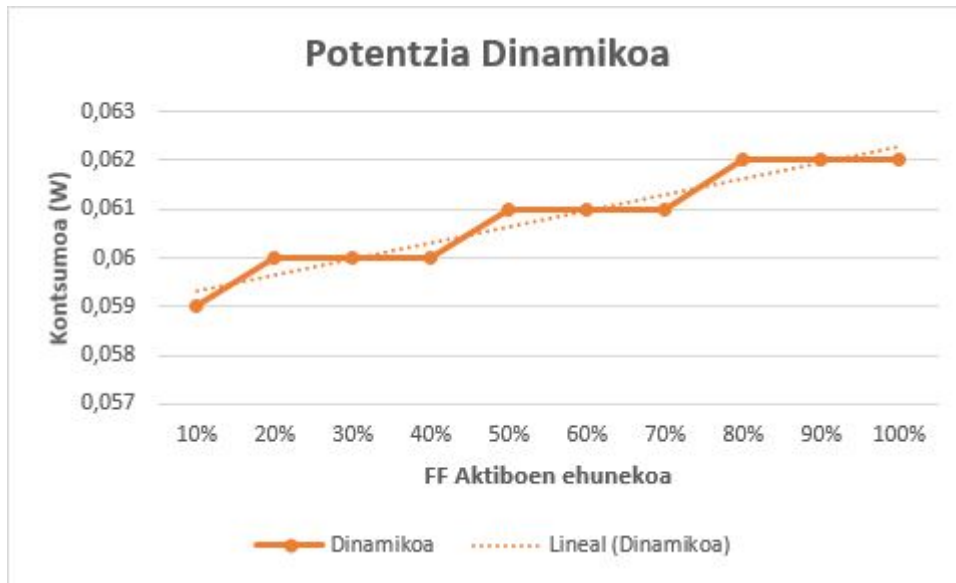


6.3 Irudia: 1. Saiakeraren grafiko orokorra.

saiakerako emaitzak ikusirik, planteatu da ea ez litzakeen hobe diseinua maila altuago batera eraman eta AND atepak moduluetatik ateratzea. Honen bidez potentzia estatikoa murriztu eta erloju arbolak sor lezakeen potentzia dinamikoaren parte handi bat murriztea ahalbidetuko litzakeela suposatu da.

6.6 eta 6.7 irudietan ageri diren grafikoei erreparatu ezker, hasieratik nabarmendu dezakegu potentzia xahuketa totala eta potentzia dinamikoaren baxuagoak direla. Hori bera konfirma dezakegu 6.8 irudian ageri den taulan balioak konprobatu ezker.

Hala ere, ondo aztertu ostean azkenengo hau kontura gaitzke bigarren saiakera



6.4 Irudia: 1. Saiakeraren Potentzia dinamikoaren grafikoa.

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Osoa	0,198	0,198	0,198	0,199	0,199	0,2	0,2	0,2	0,201	0,201
Dinamiko	0,059	0,06	0,06	0,06	0,061	0,061	0,061	0,062	0,062	0,062
Estatikoa	0,138	0,138	0,138	0,138	0,138	0,138	0,138	0,138	0,138	0,138

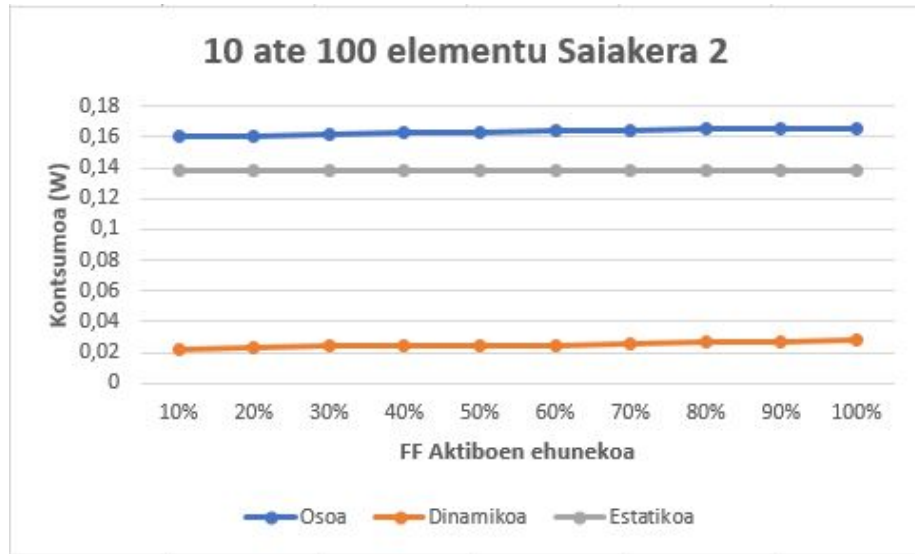
6.5 Irudia: 1. Saiakeraren Datu taula.

honetan eman den potentzia dinamikoaren murrizketa handiagoa izan dela. Izan ere, potentzia dinamikoaren grafikora jotzen bada, antzeman daiteke bigarren honen joera kurba pendizagoa dela. Kalkuluak egin ostean, konfirma daiteke **potentzia xahuketa totalarekiko** murrizteak %3.01a suposatzen duela, eta **dinamikoarekiko** berriz %21.43a.

Bigarren emaitza honek harrigarria eman dezake, kontuan izanda batez ere lehenengo kasuan potentzia dinamikoaren murrizketa 3mW-ekoa izan dela eta bigarrenean berriz 5mW-ekoa. Hala ere, datuetara joz eta aurrez aipaturikoa errepikatuz, bigarren kasuan potentzia dinamiko askoz txikiagoa da, eta hortaz, bertan eman daitekeen edozein murrizketak bere osotasunarekiko inpaktu handiagoa suposatuko du edozein kasutan.

Halaber, ezin da esan gure diseinuek benetan haien potentzia murrizteko funtzioa bete dutenik, %3.01 eta %1.49-ko murrizketek ez baitute benetan inpaktu bat suposatzen diseinu osoarekiko. Hori dela eta, teknika honen erabilera **eskala txikian ez da errentagarria potentzia murrizketa parametroei dagokionean**.

Eredu hau, hala ere, maila baxuko atetzea burutzeko diseinu batean oinarritua dago, gure atetze teknika biderkatuz elementu bakoitzeko. Ondorioz, eta ikerketa zehatz bat lortzera begira, maila altuko emaitzak ere aurkeztea egokia dela ulertu da.



6.6 Irudia: 2. Saiakeraren grafiko orokorra.



6.7 Irudia: 2. Saiakeraren Potentzia dinamikoaren grafikoa

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Osoa	0,161	0,161	0,162	0,163	0,163	0,164	0,164	0,165	0,166	0,166
Dinamikoa	0,022	0,023	0,024	0,024	0,025	0,025	0,026	0,027	0,027	0,028
Estatikoa	0,138	0,138	0,138	0,138	0,138	0,138	0,138	0,138	0,138	0,138

6.8 Irudia: 2. Saiakeraren Datu taula.

### 750 Eraztun kontadoreko moduluak

Behin oinarritzko elementuz osaturiko saiakera burututa, hurrengo pasua diseinuari elementua gehitzen joatea izango da. Hori dela eta, hurrengo saiakeran 100 elementuko

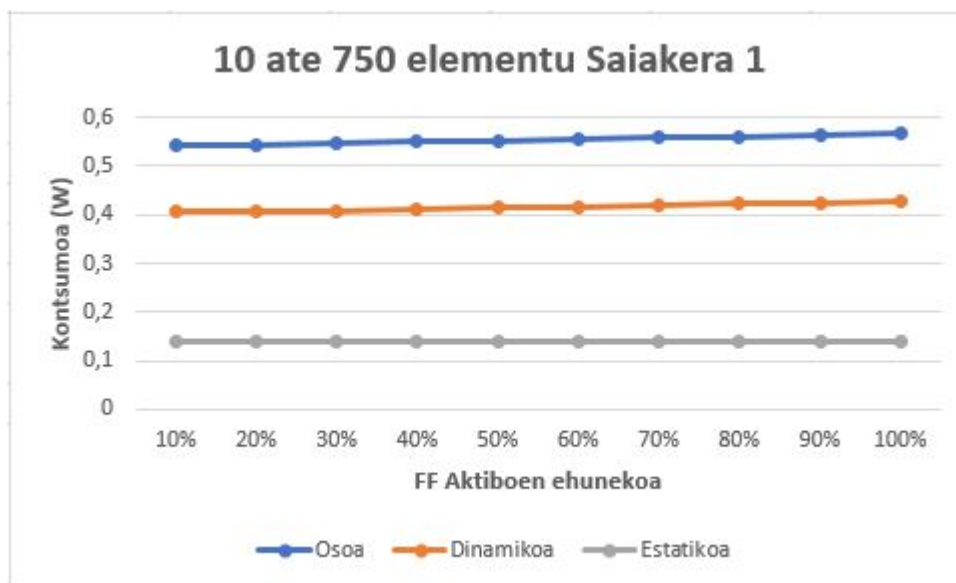


moduluak osatu beharrean **750 elementu** txertatzea hobetsi da. Honen bidez, elementu ugariagoko baina oraindik tamaina ertaineko, diseinu batean izan dezakeen eragina aztertu nahi izan da. Saiakera honen emaitzak 6.9 eta 6.10 irudietan ikusgai daude, 6.11 irudian ageri den emaitza taularekin batera.

Ikus daitekeenez, aurreko adibideari jarraiki 6.9 irudian grafiko orokorra aurkezten da, 6.10 irudian ageri den potentzia dinamikoaren grafiko xehatuarekin batera. Azkenik emaitza taula ere aurkezten da, zein balio jaso diren aurkezteko asmoarekin.

Hasiera batean grafikoei erreparatuz gero, aurreko saiakeraren parekoak direla suposa genezake. Hala ere, begirada sakonago bat eman ezker, potentzia xahuketaren murrizketan izan duen eragina nabarmenagoa dela antzeman genezake. Honen eragina, batez ere 6.10 irudian ageri den potentzia dinamikoaren grafikoan soma genezake inklinazio eta baloreei erreparatuz gero.

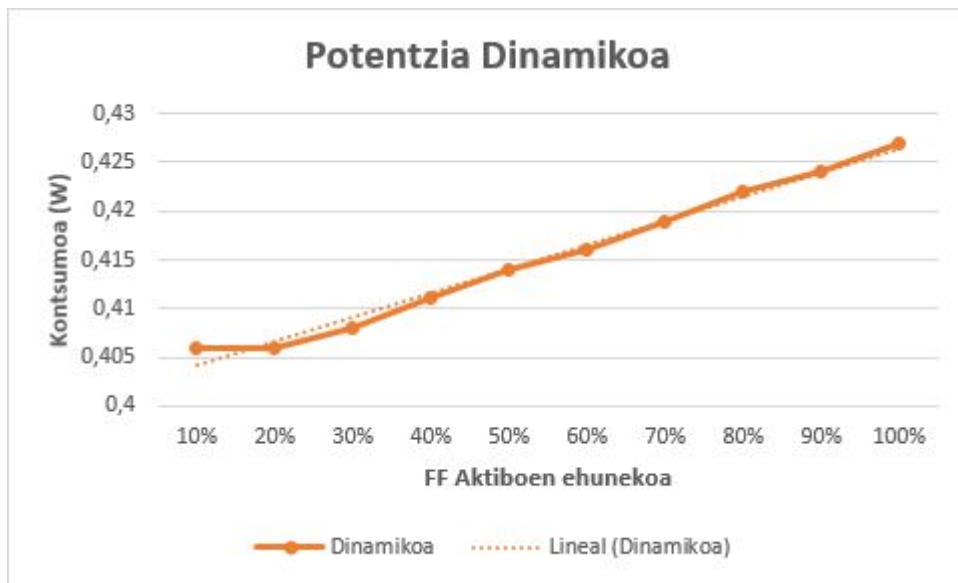
Dena den, zenbakizko murrizketa portzentualen azterketa bat egin ezker esan genezake 100 elementuko pareko diseinuarekiko ez dela aldaketa nabarmenik eman. Izan ere, **potentzia totalarekiko murrizketa %3,71a** izan da eta **potentzia dinamikoarekiko emandakoa, berriz, %4.92a**



**6.9 Irudia:** 1. Saiakeraren grafiko orokorra.

Aurreko kasuan bezala, hemen ere bigarren saiakera bat egin da potentzia dinamikoari garrantzia eman eta xahuketa totalan izan daitekeen eragina areagotzeko asmoarekin.

Aplikaturiko teknikaren eragina 6.12 eta 6.13 irudietan ikus daiteke argi, batez ere potentzia dinamikoaren grafiko bakartuan. Hauek aztertu ezker ikus daiteke aurreko saiakerarekiko alderatuz, potentzian, bai dinamiko zein orokorrean, eragin handiagoa



6.10 Irudia: 1. Saiakeraren Potentzia dinamikoaren grafikoa.

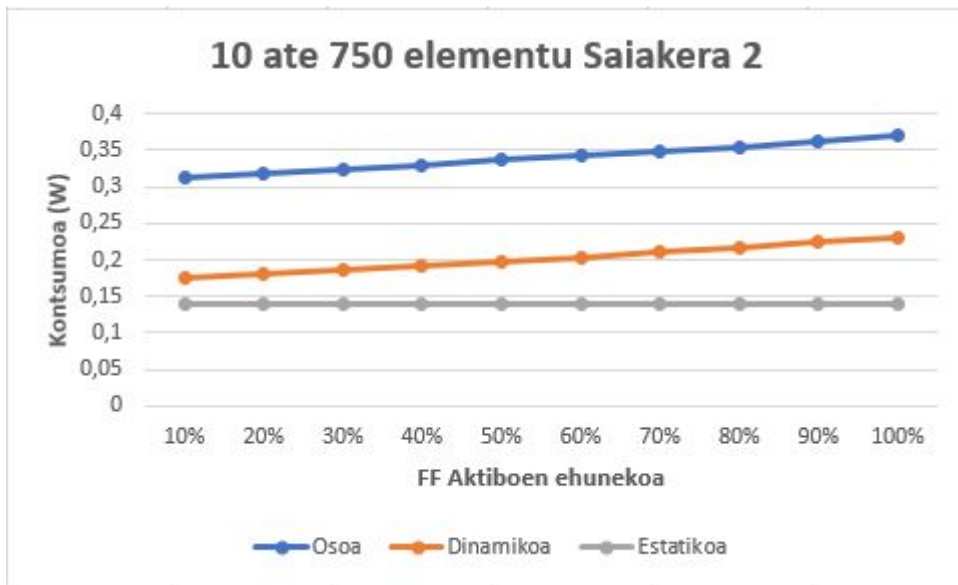
	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Osoa	0,545	0,545	0,548	0,55	0,553	0,556	0,558	0,561	0,564	0,566
Dinamikoa	0,406	0,406	0,408	0,411	0,414	0,416	0,419	0,422	0,424	0,427
Estatikoa	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139

6.11 Irudia: 1. Saiakeraren Datu taula.

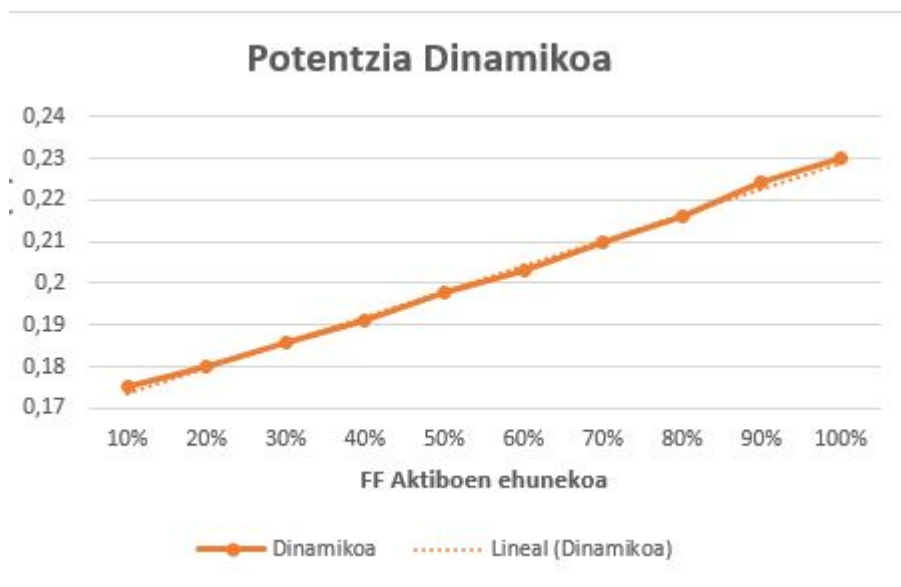
lortu dela. Hortaz teknika honen egokitasuna eta elementuak gehitu ahala irabazten duen ahalmena argi ikus daiteke eta 6.14 irudiko taulan ageri diren balioak kontuan hartuta froga daiteke.

Datuetara joz, konfirma daiteke aurrez aipatutakoa, izan ere, **potentzia xahuketa totalarekiko** murrizketak %15,18a suposatuta, eta **potentzia dinamikoaren murrizketak**, berriz, %23,91a. Zenbakiekin jarraituz, potentzia murrizketa totala 51mW izatera pasa da aurreko ataleko 5mWekin alderatuz distantzia nabarmena ikus daiteke.

Emaitza hauek kontuan izanda, esan daiteke diseinuaren puntu honetan teknika bera errentagarria bihurtu dela, eta eredu ertainetarako baliagarri izan daitekeela. Hala eta guztiz ere, emaitza hauek izanda elementu askoko diseinu batean plazaratzea interesgarria ikusten da frogatu ahal izateko emaitza hauetan adierazten dutena.



6.12 Irudia: 2. Saiakeraren grafiko orokorra.



6.13 Irudia: 2. Saiakeraren Potentzia dinamikoaren grafikoak

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
— Osoa	0,313	0,319	0,325	0,33	0,337	0,342	0,349	0,354	0,361	0,369
— Dinamikoa	0,175	0,18	0,186	0,191	0,198	0,203	0,21	0,216	0,224	0,23
— Estatikoa	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139

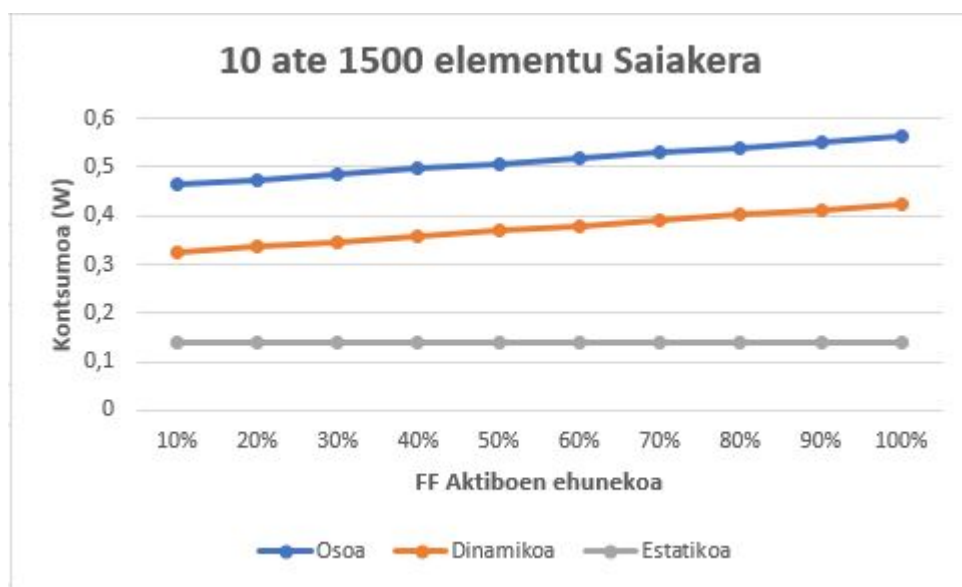
6.14 Irudia: 2. Saiakeraren Datu taula.

### 1500 Eratzun kontadoreko moduluak

Azkenengo frogapen gisa, 1500 *ring-counterez* hornituriko 10 modulu dituen diseinu bat osatu da. Diseinu honen bidez, potentzia xahuketaren murrizketan lortu daitekeen emaitzak ahalik eta inpaktu handiena izan dezaketen diseinuak aztertzea da. Hori dela eta, eta aurreko saiakeretan lortu diren emaitzen ondorio bezala, saiakera bakar bat egitea erabaki da atetze moduluak kanpoan kokatuz. Diseinu honen emaitza grafiko zein numerikoak 6.15 eta 6.16 irudietan, zein 6.17 irudian ageri den taulan daude ikusgai.

Irudiak erreparatu ezkerro, argi geratzen da aurreko saiakeretan demostratzen joan den murrizketa joera. Horrez gain, datuak sakonago aztertu ondoren, honako ondorio hauek jaso daitezke: **potentzia totalarekiko potentzia murrizketa %17.58ra** heltzen da eta **potentzia dinamiko hartu ezkerro**, berriz, **%23.35era**. Horrez gain, **potentziaren murrizketa totala 0.1W**ekoa izatea lortu da.

Emaitza hauek eskuan hartuta, eta kontuan izanik garatu diren diseinuak konplexutasun eta potentzia xahuketan ez direla gailuak jasan dezakeen mugetara gerturatzen, argi ziurta daiteke aplikaturiko teknikek potentziaren murrizketan eragin nabaria izan dutela, hasierako hipotesiak konfirmatuz.



6.15 Irudia: Potentzia kontsumo orokorraren diagrama.



6.16 Irudia: Potentzia kontsumo orokorraren diagrama.

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Osoa	0,464	0,475	0,486	0,497	0,508	0,519	0,53	0,541	0,552	0,563
Dinamikoia	0,325	0,336	0,347	0,358	0,369	0,38	0,391	0,402	0,413	0,424
Estatikoa	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139	0,139

6.17 Irudia: FPGaren erabilera *place & routea* egin ostean.

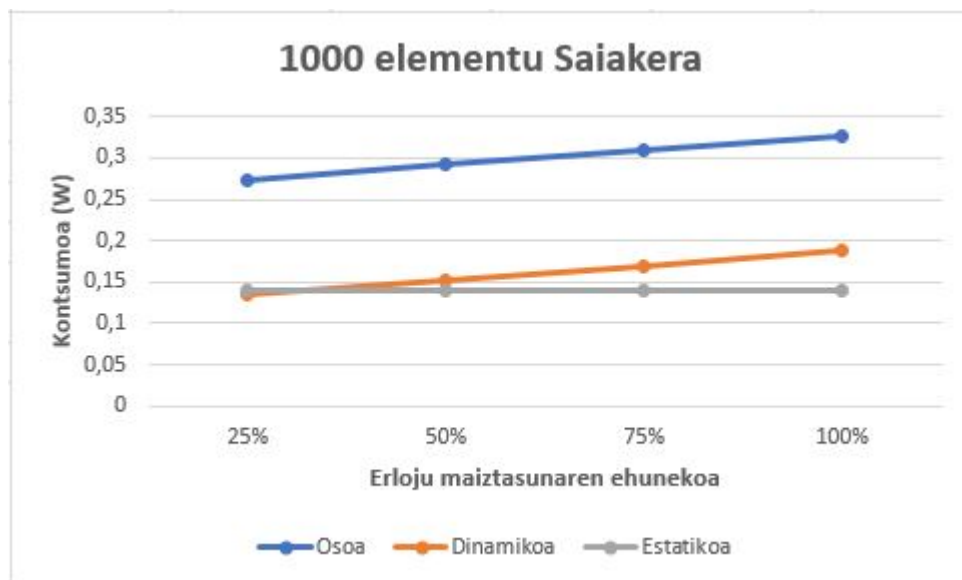
## 6.2 Multiplexadore bidezko Potentzia murrizketa

Behin atetze bidezko potentzia murrizketa aztertuta, maiztasunaren kontrolaren bidezko potentzia xahuketaren kontrola aztertuko dugu. Aurreko atalaren arrazoiketa berdinari jarraituz, kasu honetan ez da teknika bakoitza jorratuko, teknika guztien isla izan daitekeena baizik. Aztertuko den kasurako, eta sinpletasun eta erraztasun irizpideak kontuan izanik, multiplexadore bidezko maiztasunaren kontrol dinamikoa aztertuko da potentziaren xahuketa kontrolatzeko.

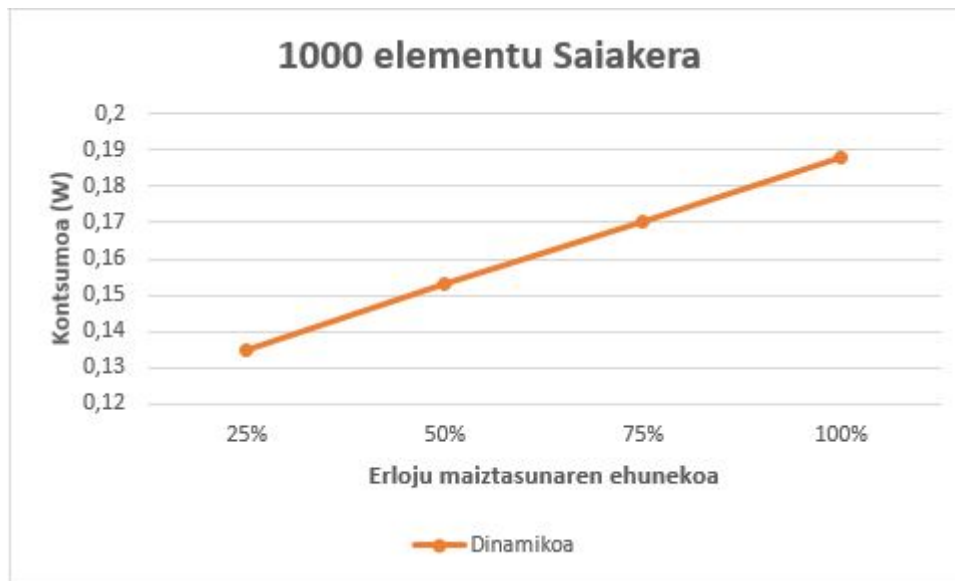
Frogapen hau burutzeko jarraituko den planteamendua aurreko atalean jorratua baino sinpleagoa izango da, izan ere, eredu funtzionalean garatu den diseinutik abiatuz kontagailu taldeak gehitzea proposatu da. Honen bidez, eta hauen kopurua biderkatuz, aipaturiko teknikak diseinuaren baitan izan dezakeen eragina aztertzeko baliabide nahikoa eskaintzen ditu.

Lehenengo pausu batean, 1000 *ring-counter* delako ezarri dira, elementu gutxi duen diseinu batean izan dezakeen eragina aztertzeko. Diseinu honen emaitzak 6.18, 6.19 eta 6.20 irudietan ageri dira.

6.18 irudian ageri den grafikoa aztertu ezker, nabarmena da aplikatu den teknikaren eragina. Izan ere, kasu batzuetan potentzia xahuketa estatikoaren azpitik kokatzera heltzen da potentzia dinamikoaren xahuketa.



6.18 Irudia: 1000 elementuko diseinua jatorri duen **potentzia diagrama orokorra**.



**6.19 Irudia:** 1000 elementuko diseinua jatorri duen **potentzia dinamikoaren diagrama**.

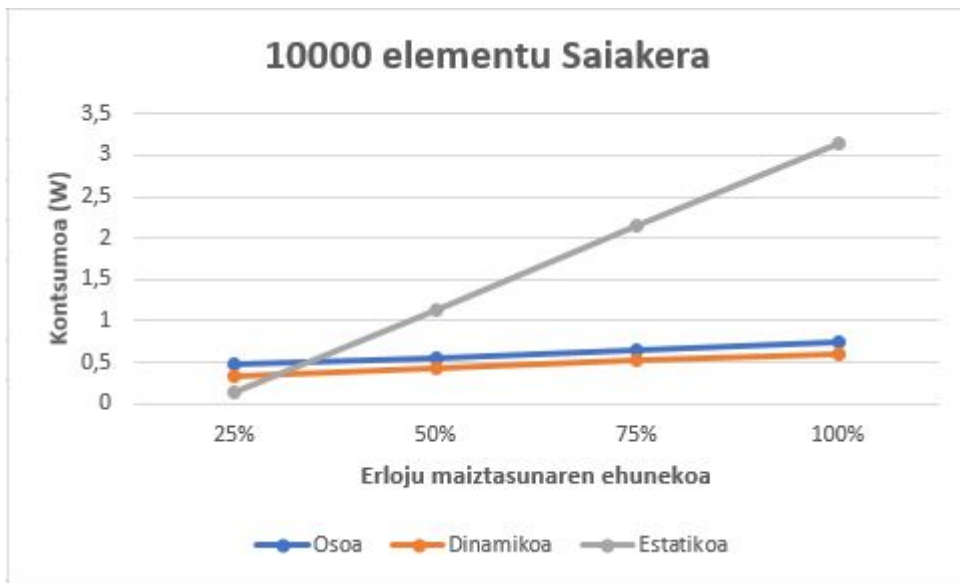
	25%	50%	75%	100%
—●— Osoa	0,274	0,292	0,309	0,326
—●— Dinamikoa	0,135	0,153	0,17	0,188
—●— Estatikoa	0,139	0,139	0,139	0,139

**6.20 Irudia:** 1000 elementuko diseinua jatorri duen **datu taula**.

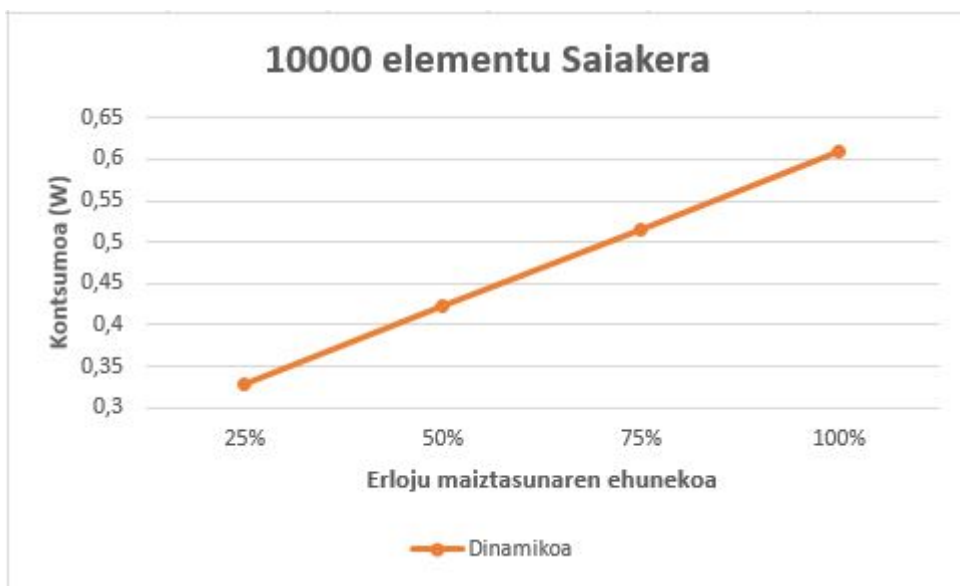
Bigarren saiakeran, baina, izango da potentzia murrizketarako gaitasunak argi demostratuak geratuko diren kasua. Izan ere, 10000 *ring-counter* ezartzearekin batera, potentzia dinamiko zein totalaren kontua biderkatu egin da, honetan izan dezakeen eragina ageriko utziz. Diseinu honen emaitzak 6.21, 6.22 eta 6.23 irudietan ageri dira.

Ikus daitekeen bezala, aurreko saiakeran gure diseinuaren **potentzia osoaren %15,95**era heltzea lortu bada ere kasu honetan **totalaren %37,6** murriztera heldu da, aurreko emaitzak bikoiztea lortuz. **Potentzia dinamikoaren kasuan** berriz, inpaktua garrantzitsua izan bada ere, **%28,19tik %46,07ra pasatzea lortu da**, aurreko datua baino emaitza apalagoa emanez.

Hala eta guztiz ere, kasu honetan lortutako emaitzek argi uzten dute teknika honen gaitasuna potentzia murrizterako orduan, mugara heldu gabe %37,6 murriztera helduz. Halaber, teknika honek ere baditu alde txarrak, izan ere aurreko teknikak ez bezala, honek diseinu osoari eragiten dio, funtzionalitate kritikoa izan dezaketen atalei ere eraginez. Halere, aukera bezala existituko litzateke teknika hauek aplikatzeko beharra izan dezaketen atalei soilik bideratzea, bestelako arazoak ekidinez.



6.21 Irudia: 10000 elementuko diseinua jatorri duen potentzia diagrama orokorra.



6.22 Irudia: 10000 elementuko diseinua jatorri duen potentzia dinamikoaren diagrama.

	25%	50%	75%	100%
Osoa	0,468	0,562	0,656	0,75
Dinamikoa	0,329	0,422	0,516	0,61
Estatikoa	0,14	1,14	2,14	3,14

6.23 Irudia: 10000 elementuko diseinua jatorri duen datu taula.



## 6.3 Denbora errealeko neurketak

Atal honetan aurrez eginiko estimazioen neurketa errealak egitea da helburua. Horretarako lanean zehar aztertutako hainbat metodo baliatu nahi izan dira.

Helburu hau lortzeko lehenengo pausua AMS101ak ematen dituen aukerak aztertzea izan da, hasiera batean, erraztasun gehien ematen zituen aukera zela baloratu baitzen. Hala ere, txartela aztertzearekin batera diseinuaren konplexutasun eta microblazearen beharra zegoela ikusirik beste metodo batera salto egitea planteatu da.

Honen ostean Vivadok berak eskaintzen digun erreminta erabilerraz bat hartu da frogapena egiteko, SYSMON izenekoa. Honek, konfigurazio zehatz baten ostean zuzenean eskaintzen ditu txartelaren barne korrante zein tentsioak. Hortaz, balio hauek izanik potentziaren kalkulua erraz egin ahal izateko aukera ahalbidetzen zuen. Hala ere, hainbat saiakeraren ondoren neurketak emaitza bera ematen jarraitzen zuen, potentziaren murrizketa zein neurketa baliogabetuz. Horrez gain, sistema hau bera erabili zen tenperatura neurtzeko txartelaren barne sentsorea baliatuz, balio egokiak jaso zirelarik bertatik.

Azkenik kanpo neurketaren aukera baliatzea planteatu zen, entxufe bidezko potentzia neurgailu bat baliatuz. Honen arazo handienetakoa baliatuko den neurgailuaren zehaztasun txikia da, emaitzen zehaztasuna asko mugatuko duelarik. Honez gain, eginiko neurketak txartel osoari dagokion neurketak izango dira, eta ez beste kasuetan bezala, FPGArenak.

Guzti hau kontuan izanik, TS-838 izeneko potentzia neurgailua baliatzeko eman diren pausuak azalduko dira. Lehenik eta behin, kontuan izanda neurgailuak gure bariazio txikiak neurtzeko izan ditzakeen arazoak, egin diren diseinuetan ertain eta handiena aukeratu dira frogapena egiteko. Bi hauen baitan, 3 balio hartzea proposatu da, potentzia gutxien kontsumituko duen momentua, tarteko kasua eta gehien kontsumituko lukeen kasua. Aztertzen ari garen metodoarekin aurrez azalduko kasuek %10, %50 eta %100ko FFeen aktibazioa suposatuko lukete.

Behin diseinu hauen diseinua egina eta *bitstream*-a sortua dugularik banan banan programatu da txartelean. Kasu honetan neurgailuaren neurketek bariazio handia jasaten zutelarik, hainbat neurketa hartzea erabaki da ostean honek izan ditzakeen errore eta ondorioak aztertzeko. Hortaz, amaiera 8 neurketa hartu dira kasu bakoitzean 5 segundoko tartearekin bakoitza, ondorengo lerroetan jasotako emaitzak lortu direlarik.

### 6.3.1 750 eraztun kontadoreko moduluak

Aurrez aipatu bezala grafikoetan ikus daiteke lorturiko emaitzak ez direla oso zehatz edo fidagarriak. Hala eta guztiz ere, harturiko datuekin benetako balioa izango litzakeenaren estimazioa egin da batz besteko aritmetikoa baliatuz. Honen bidez grafiko bat osatu da potentzia total erreala irudikatzeko asmoz. Grafiko hau 6.25 irudian dago ikusgai.

Emaitza horretara heltzeko behar diren datuak aurkezteko asmoz lehenik eta behin jasotako datuak aurkezten dira 6.24 irudian. Honi jarraiki, 6.24 irudian ageri den taulan jasotako balioekin kalkulaturiko **Batz Bestekoa**, **Ohiko Desbiderapena** eta **Desbiderapen Estandarra** aurkezten dira 6.1 taulan.

	5	10	15	20	25	30	35	40
%10 Saiakera	7,0	7,0	7,0	7,5	7,0	7,5	7,0	7,0
%50 Saiakera	7,5	7,5	8,0	8,0	7,5	7,5	8,0	7,5
%100 Saiakera	8,5	8,5	8,5	8,0	8,5	9,0	8,0	8,5

**6.24 Irudia:** 750 elementuko diseinua jatorri den **datu taula**.

	BB (W)	OD	DE
%10 Saiakera	7,125	0,217	0,077
%50 Saiakera	7,688	0,242	0,086
%100 Saiakera	8,438	0,3	0,106

**Taula 6.1:** 750 FFdun denbora errealeko frogaren emaitzak

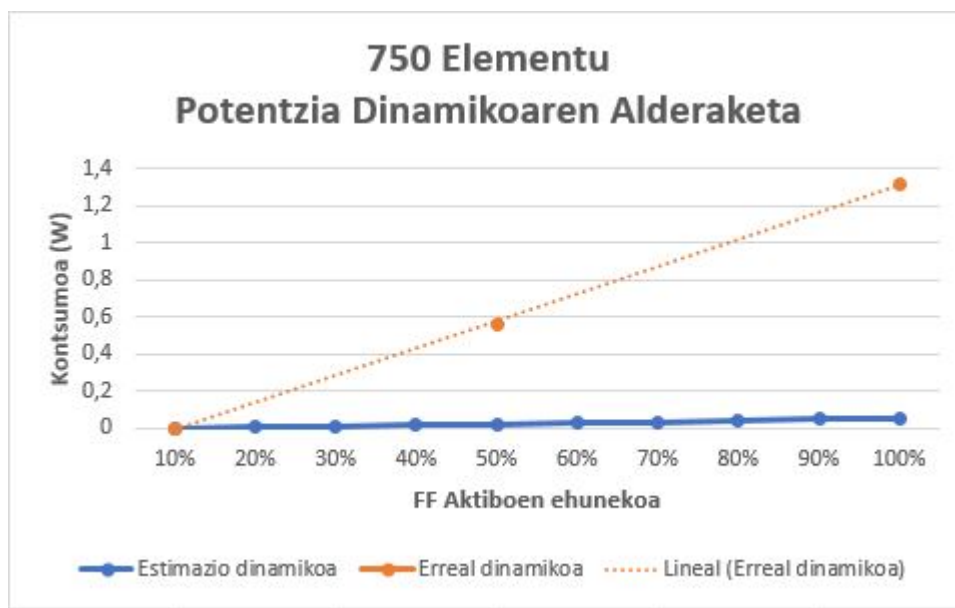
Hasierako azterketa batean soma daiteke aurreko estimazioetan jasotako datuekin ez duela guztiz bat egiten aurkezturiko emaitzak. Izan ere, joera lineal gorakor bat jarraitzen badu ere, jasotako balioen magnitudea oso handia da, aurreko ataleko emaitzekin parekatzeko. Honen adibide argia da 6.26 irudian aurkezten den grafikoa. Bertan, Vivadoren Power Analysis erreminta baliatuz lorturiko emaitzak eta azken atal honetan lorturikoak alderatzen dira.

Horretarako, eta neurketa errealen metodoarekin jasotako beste elementuen potentzia kontsumoa ahalik eta gehien arbuizatzeko asmoz, lehenengo irakurketa bi kasuetan 0 a balitz bezala parekatzen da. Honi esker, hortik aurrera jasotako aldaketak potentzia dinamikoan soilik jazotako aldaketak direla suposa genezake. Hemen aipatzen diren datuak 6.27 irudian topa daitezke.

Hala eta guztiz ere, oso kontuan izan behar da datu hauek jasotzerakoan lehenengo metodoaren bidez jasotako datuak ez direla errealak eta bigarreanean jasotakoak berriz datu errealetatik abiaturiko estimazioak direla, eta hortaz errorea ere jasaten dutela.



6.25 Irudia: 750 elementuko diseinua jatorri duen **potentzia errealaren** neurketak.



6.26 Irudia: 750 elementuko diseinua jatorri duen **potentzia errealaren eta dinamikoaren arteko alderaketa**.

Grafiko zein datuak aztertu ezker argi ikus daitezke metodo batean zein bestean jasotako datuak eskalan ez datozela bat. Honek jatorrian zalantza asko planteatzen ditu, batez ere datuen bilketa iturriari dagokienean. Hala ere, grafikoei erreparatu gero, frogatua geratzen da aplikaturiko teknikak finean bere helburua luzez betetzen duela, aurrez genituen estimazioak betez eta gaindituz froga errealak egiterako orduan.

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Estimazio dinamikoa	0	0,005	0,011	0,016	0,023	0,028	0,035	0,041	0,049	0,055
Erreal dinamikoa	0				0,56					1,313

**6.27 Irudia:** 750 elementuko diseinua jatorri duen **potentzia errealaren eta dinamikoaren arteko alderaketa.**

### 6.3.2 1500 eraztun kontadoreko moduluak

Aurrez jasotako datuen fidagarritasuna egiaztatzera begira 1500 elementuko diseinuarekin ere pausu berberak planteatu dira. Egitura horri jarraiki, lehenik eta behin jasotako laginaren datuak aurkezten dira 6.28 irudian, bertatik kalkulaturiko **Bataz Bestekoa**, **Ohiko Desbiderapena** eta **Desbiderapen Estandarra** berriz, 6.1 taulan aurkezten dira. Azkenik potentzia oso edo totalaren grafikoa 6.29 irudian aurki dezakegu.

	5	10	15	20	25	30	35	40
%10 Saiakera	7,5	7,0	7,5	7,0	7,5	7,5	7,5	7,0
%50 Saiakera	8,0	8,5	8,5	8,0	8,0	8,0	8,0	8,5
%100 Saiakera	9,0	8,5	8,5	9,5	9,5	9,5	8,5	9,0

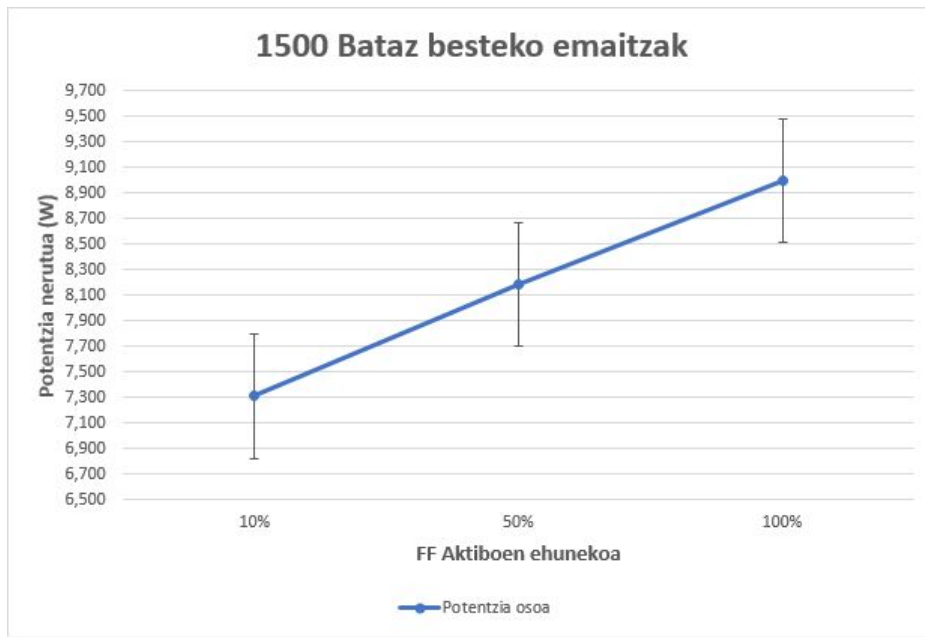
**6.28 Irudia:** 1500 elementuko diseinua jatorri den **datu taula.**

	BB (W)	OD	DE
%10 Saiakera	7,313	0,242	0,086
%50 Saiakera	8,188	0,242	0,086
%100 Saiakera	9	0,433	0,153

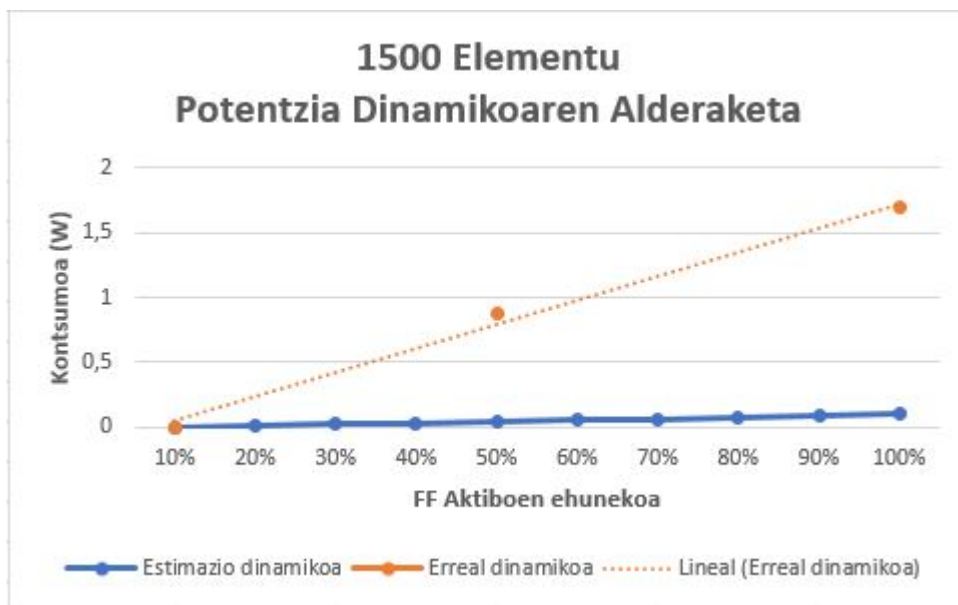
**Taula 6.2:** 1500 FFdun denbora errealeko frogaren emaitzak

Emaitza hauek aurkeztu ostean aurreko atalean Vivado Power Analysis erremintarekin kalkulaturiko datuekin alderatzeko grafiko zein datuak aurkeztuko dira. Emaitza hauek 6.30 eta 6.31 irudietan topa ditzakegu hurrenez hurren.

Grafiko hauei erreparatu ezker argi geratzen da aurreko atalean baieztaturikoa, emaitzak ez badira eskalan bat etortzen ere, finean potentzia murrizketaren atalean biek ala biek aurreikusitako helburua betetzen dute. Hortaz, emaitza hauekin AND ate bidezko atetzeak zein bere parekoek potentzia murrizketa egiteko balio dezaketela berresten da.



6.29 Irudia: 1500 elementuko diseinua jatorri duen **potentzia errealaren** neurketak.



6.30 Irudia: 1500 elementuko diseinua jatorri duen **potentzia errealaren eta dinamikoaren arteko alderaketa**.

	10%	20%	30%	40%	50%	60%	70%	80%	90%	100%
Estimazio dinamiko	0	0,011	0,022	0,033	0,044	0,055	0,066	0,077	0,088	0,099
Erreal dinamiko	0				0,875					1,688

6.31 Irudia: 1500 elementuko diseinua jatorri duen **potentzia errealaren eta dinamikoaren arteko alderaketa**.

# Kapitulua 7

## Ondorioak

Lanaren aipaturiko helburuei erreparatuz gero esan genezake orokortasun batean planteaturiko helburuak zehaztu, garatu eta gauzatzea lortu dela. Aztertu diren tekniken artean gehien garatu den atala *Clock gatinga* izanik, hura izan daiteke ondorio gehien eta formatuenak izan ditzakeen atala.

Teknika bera baloratzerako orduan bi ezaugarri nagusi nabarmentzen dira, inplementatzeko duen erraztasuna eta diseinatzerako orduan eskaintzen duen sinpletasuna. Hala eta guztiz ere, aplikatu daitekeen diseinuen espektroa mugatua da, izan ere, aplikatu nahi den diseinuaren izaerak berak asko mugatzen du. Honen jatorria bere jokaeran dago, FPGA txertaturiko elementu desberdinen erloju seinalea itzaltzean hain zuzen ere. Hau kasu batzuetan ezingo da egin diseinuaren izaeragatik beragatik.

Beste aldetik, kontraesan egoera bat sortzen du bere funtzionalitateari dagokionez. Izan ere, tamaina handiko diseinuetan aplikaturiko teknikek dute etekin edo errentagarritasun gehien, baina era berean, bertan sor daitezke arazo gehien erloju arbola eta glitch-ekin.

Guzti hau kontuan harturik esan daiteke, kasuz kasu aztertu beharko litzatekeela Clock gating-a aplikatu nahi diren diseinuak honen funtzionalitate eta erabilgarritasuna aztertuz.

*Clock gatinga* alde batera utziz, bereziki interesgarria suertatu den teknika bat erloju maiztasunaren kontrol dinamikoarena izan da. Kasu honetan aukera desberdinek diseinugama zabal baterako irtenbide bat suposatzen dute, azterturiko kasuan potentziaren murrizketa esanguratsua izan delarik. Hortaz, atal hau aurrerantzean aztertu eta sakontzea beharrezkotzat jotzen da.

Beste hurbilpen bat funtzionalitate mailan ere egin da, kasuz kasu aztertuz aukera eta ondorio bakoitza. Honek ere ez du ondorio nagusi bat bilatzen, izan ere, kasu bakoitzean sor daitezkeen behar eta ezaugarriei egokituko zaie funtzionalitate bakoitza. Aztertutako aukerek hainbat aukera ematen dizkiote diseinatzaileari batzuetan sinpletasunera joko da, eta besteetan berriz konplexutasun eta ziurtasunera.

Potentzia murrizketa tekniketarik haratago nabarmentzea merezi du erabilitako potentzia estimatzeko tresnak ahalik eta zehatzenak izatea lortu bada ere potentziaren denbora errealeko neurketan ez dela helburua guztiz gauzatu. Zentzu honetan sakontzeko beste baliabide batzuk erabiltzera eramaten du ezinbestean, PMBUSa kasu, edo bestela FPGAen diseinu prozesua sakonean aztertzea microblaze bezalako erremintak erabiltzera begira. Hortaz, atal honetan aztertzeko luze eta zabal eman dezakeen esparru bat irudikatzen da.

Hala ere, aztertu diren tekniken artean SYSMON tresnak erabilera erraztasun asko eskaintzen ditu, nahiz eta, aztertu den kasuan guztiz ez lortu emaitza egokia. Horrez gain Vivadok eskaintako tresnek potentziaren estimaziorako aukera anitz eskaintzen dituzte, gailuen potentziari dagokionean hurbilpen interesgarri bat eskainiz.

Azkenik lanaren berrikuspen bat egiterakoan *Latex* euskarria, bere baitan koka daitezkeen garapenerako baliabide guztiak batera, eta *Bibtex* erreferentzia kudeatzailea ezin ekidineko aipamen bilakatzen dira. Baliabide hauek mundu berri bat ireki didate lan akademikoaren garapenerako arloan eta, erronka bat suposatzen badute ere, bereganaturiko konpetentzia eta gaitasunak zenbatu ezinak dira.

Lanari amaiera emateko, aipa daiteke hasieran planteaturiko helburua guztiz ez bada bete ere, oinarri sendo bat landatu dela lan honekin. Hala eta guztiz ere, lan asko dago oraindik egiteko arlo honetan, potentzia neurtzeko tekniketarik hasiz, potentzia murrizketa tekniken inplementaziora arte. Hori dela eta ikasitako guztiak orain zein etorkizunean gara daitezkeen lan guztietan isla sakon bat izango du.

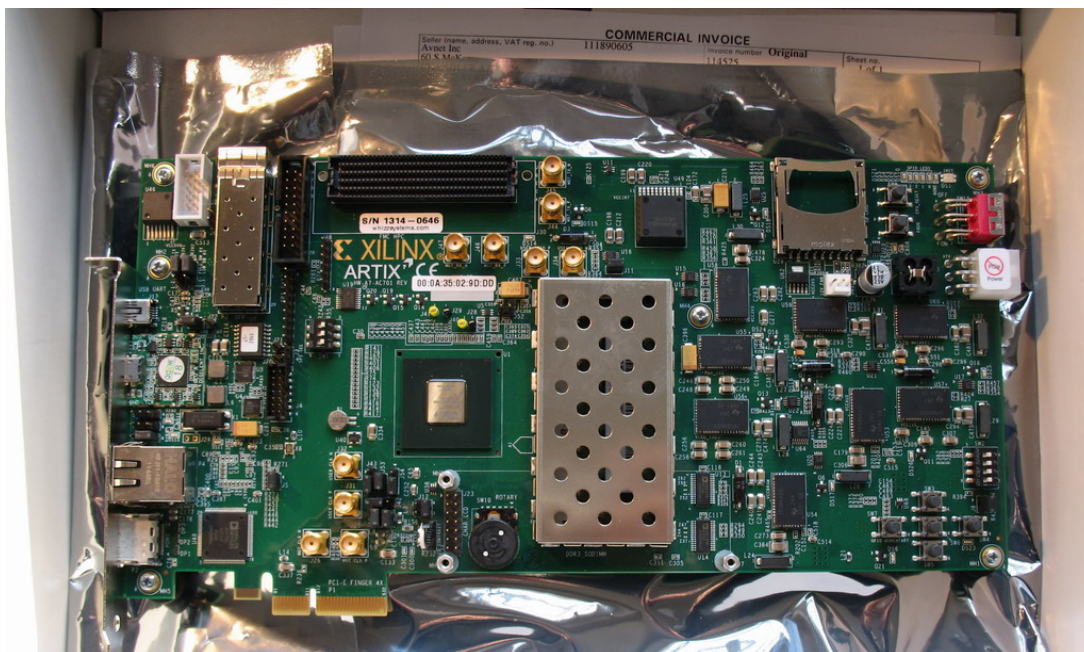
# Kapitulua 8

## Tresnak

### 8.1 Hardwarea

#### 8.1.1 AC701 txartela

Lan honetan baliatu den hardwarea Xilinx konpainiaren AC701 A200T txartela izan da, hain zuzen ere *Evaluation-Kit* modeloa, neurketak egiteko aukera paregabeak eskaintzen dituena. Txartel hau, Artix-7 FPGA-n oinarrituriko txartel bat da, baina ebaluaziorako eta neurketetarako bereziki prestatua dago, horren adibide argia da pack-aren baitan AMS101 neurketa txartela etortzea. Txartela bera 8.1 irudian ikus dezakegu.

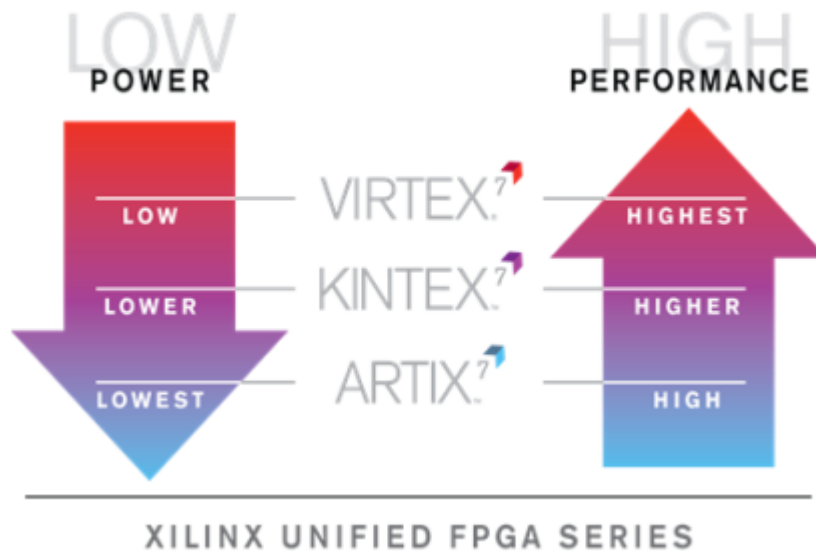


**8.1 Irudia:** Xilinx konpainiaren AC701 A200T txartela.

Artix-7-a Xilinx-ek atera duen *7 series* azkenengo produktu gamaren parte da, Ul-



trascale eta Zynq gailuekin batera, eta merkatuko zein industriako beharrei erantzuteko helburuarekin sorturiko produktu gama bat da. 7-series delakoetan 3 azpi-gama bana ditzakegu beste behin, prezio eta gaitasunarekin zerikusia izango dutenak; Virtex, garesti eta kalkulu gaitasun handienekoak dira hauek, Kintex (gaitasun handia baina aurrekoak baina murriztagoa) eta azkenik guk erabiliko dugun Artix-a, gama baxua edo ekonomikoena, 8.2 irudian ikus daitekeen bezala.



**8.2 Irudia:** Xilinx konpaniaren 7 series FPGA desberdinek dituzten propietate nagusiak.

Hortaz Artix-ak kostu baxuko baina gaitasun handiko produktuak ditugu, *low-power* edo potentzia baxuko elementuetan oinarrituak zein potentzia eskakizunak betetzeko gaitasuna dutenak.

### 8.1.2 TS-838 neurketa gailua

Potentziaren neurketa errealerako baliatu den beste elementu bat TS-838 izeneko neur-gailua da. Gailu hau etxeetan gailu desberdinek izan dezaketen energia kontsumoa neurtzeko diseinatu badago ere, funtsean energia zein potentzia neurtzeko gailu praktikoko bat da.

Izan ere entxufe bat moduan funtzionatzen du, hura korrante elektrikora entxufatu ostean neurtu nahi den tresna gailura entxufatu besterik ez da egin behar neurtzen hasteko. Hainbat aukera baditu ere, aztertuko den kasuan potentziaren uneko neurketa baliatuko da. 8.3 irudian ikusi daiteke gailua.

Horrez gain 8.1 taulan gailuaren neurketa espezifikazioak ikusi ahalko dira.



**8.3 Irudia:** Potentzia neurketa errealak egiteko baliatu den TS-838 neurgailua

Parametroa	Zehaztasuna
Boltaia(V)	<i>Neurturiko balioaren <math>\pm</math> %3</i>
Intentsitatea(A)	<i>Neurturiko balioaren <math>\pm</math> %3 <math>\pm</math> 0,002A</i>
Potentzia(W)	<i>Neurturiko balioaren <math>\pm</math> %3 <math>\pm</math> 1W</i> <i>Bereizmena 0,5W</i>
Energia(KWh)	<i>Neurturiko balioaren <math>\pm</math> %3 <math>\pm</math> 0,1KWh</i>
Potentzia faktorea	<i>Neurturiko balioaren <math>\pm</math> %0,1</i> <i>Betiere 0,7 = &lt; cos = &lt; 1,0</i>

**Taula 8.1:** TS838 neurgailuaren zehaztasun espezifikazioak

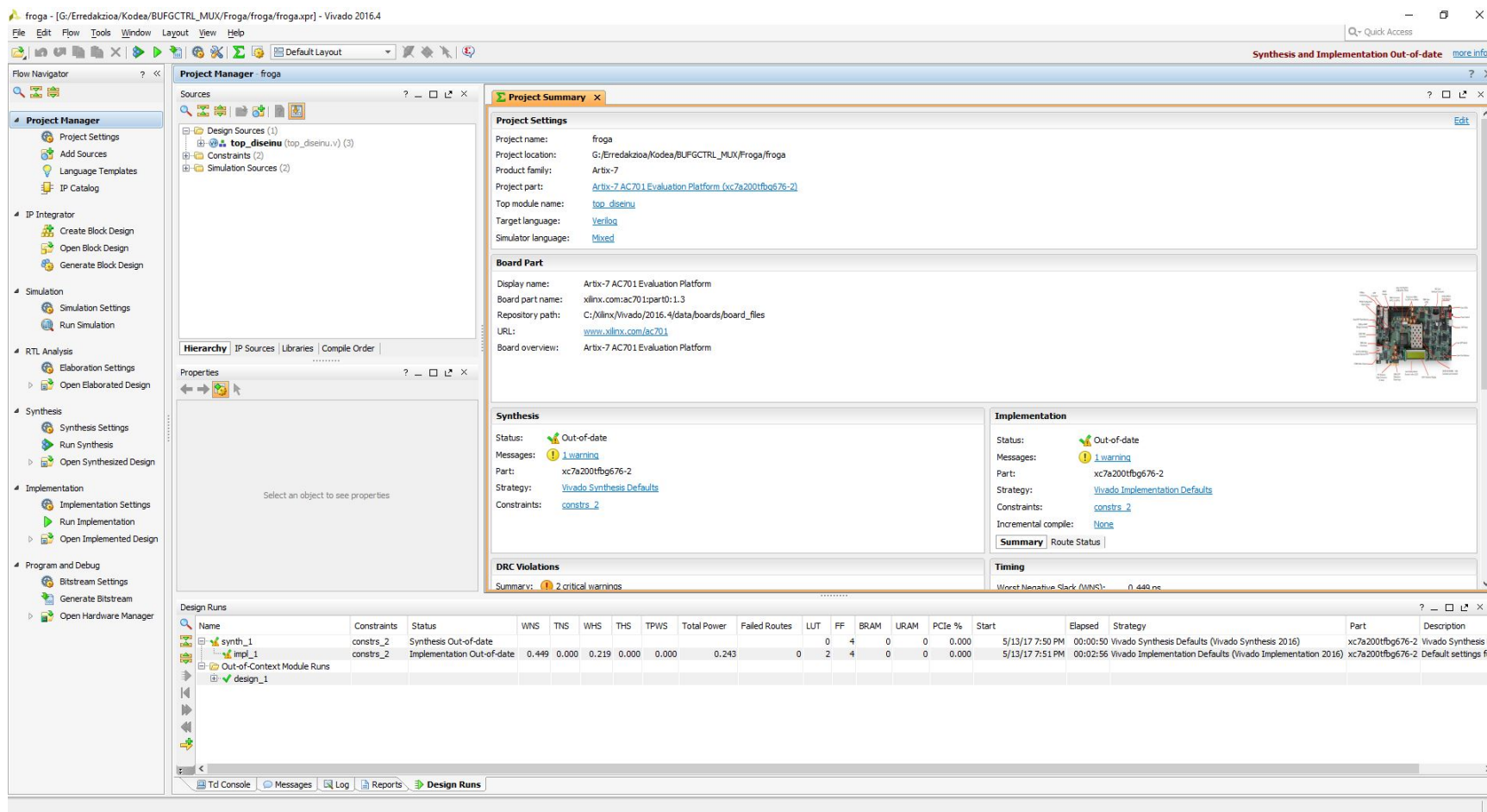
## 8.2 Softwarea

Lan honen garapenean erabili den software nagusia *Vivado Design Suite* izenekoak izan da, Xilinx konpainiak HDL sintesi eta analisirako bereziki sorturiko softwarea, hain zuzen ere. Vivadok, aurrez **Xilinx ISE**k zuen papera hartu eta hobetu du, izan ere, ISEk zituen baliabideez gain, SoC-en garapenerako eta maila altuko sintesirako erreminta berriak ere, eskaintzen ditu azken honek.

Horrez gain, Vivadok eskaintzen duen berrikuntzarik handiena diseinu fluxuaren birplanteamendua eta erreminta guztien batzea da, besteak beste, ISEk ez bezala, Vivadok simulazio erreminta propio eta integratua du. Azken hau izango da hain zuzen ere, gure diseinuen funtzionamendu egokia bermatzeko baliatuko dugun erreminta nagusia.

Horrez gain, potentziaren estimazioak egiteko gaitasuna ere badu, gure diseinuen potentzia xahuketa estimatu ahal izango dugularik. Bide hau izango da, zuzeneko neurketez gain emaitza zehatzenak eskainiko dizkigun baliabidea, garrantzia berezia izango duelarik.

Aurrez aipaturiko guztia eta beste hainbat eskaintzen dizkigu beraz Vivadok, 8.4. irudian ikusi ahalko delarik bere GUIa:



### 8.4 Irudia: Vivado, Xilinx konpainiaren HDLren sintesi eta analisirako softwarearen GUIa



# Akronimoak

**ASIC** *Application Specific Integratec Circuit.*

**CMT** *Clock Management Tile.*

**DSP** *Digital Signal Processing.*

**FPGA** *Field Programmable Gate Array.*

**GDED** *Elektronika Digitalaren Diseinu Taldea.*

**GUI** *Graphic User Interface.*

**LUT** *Look Up Table.*

**RAM** *Random Access Memory.*

**SYSMON** *System Monitor.*

**TCL** *Tool Command Language.*

**TI** *Texas Instruments.*

**VLSI** *Very Large Scale Integration.*

**VPA** *Vivado Power Analysis.*

**XPE** *Xilinx Power Estimator.*

**ZI** *Zirkuitu Integratua.*



# Bibliografia

- [7li, 2015] (2015). *UG953, Vivado Design Suite 7 Series FPGA and Zynq-7000 All Programmable SoC Libraries Guide*. Xilinx, v2015.2 edition. 88-93 orriak.
- [7cl, 2016] (2016). *UG472, 7 Series FPGAs Clocking Resources User Guide*. Xilinx, v1.12 edition.
- [Benini et al., 1994] Benini, L., Siegel, P., and Micheli, G. D. (1994). Saving power by synthesizing gated clocks for sequential circuits. *IEEE Design Test of Computers*, 11(4):32–41.
- [Brodersen and Chandrakasan, 2012] Brodersen, R. W. and Chandrakasan, A. P. (2012). *Low Power Digital CMOS Design*. Springer.
- [Cadenas and Megson, 2003] Cadenas, O. and Megson, G. (2003). Power performance with gated clocks of a pipelined cordic core. In *ASIC, 2003. Proceedings. 5th International Conference on*, volume 2, pages 1226–1230 Vol.2.
- [Chao et al., 2007] Chao, J., Zhao, Y., Wang, Z., Mai, S., and Zhang, C. (2007). Low-power implementations of dsp through operand isolation and clock gating. In *2007 7th International Conference on ASIC*, pages 229–232.
- [Chen et al., 1997] Chen, C.-S., Hwang, T., and Liu, C. L. (1997). Low power fpga design - a re-engineering approach. In *Proceedings of the 34th Design Automation Conference*, pages 656–661.
- [Dobberpuhl et al., 1992] Dobberpuhl, D. W., Witek, R. T., Allmon, R., Anglin, R., Bertucci, D., Britton, S., Chao, L., Conrad, R. A., Dever, D. E., Gieseke, B., Hassoun, S. M.Ñ., Hoepfner, G. W., Kuchler, K., Ladd, M., Leary, B. M., Madden, L., McLellan, E. J., Meyer, D. R., Montanaro, J., Priore, D. A., Rajagopalan, V., Samudrala, S., and Santhanam, S. (1992). A 200-mhz 64-b dual-issue cmos microprocessor. *IEEE Journal of Solid-State Circuits*, 27(11):1555–1567.



- [Esmaeilzadeh et al., 2011] Esmaeilzadeh, H., Blem, E., St. Amant, R., Sankaralingam, K., and Burger, D. (2011). Dark silicon and the end of multicore scaling. *SIGARCH Comput. Archit. News*, 39(3):365–376.
- [Franco et al., 2010] Franco, J. J. L., Boemo, E., Castillo, E., and Parrilla, L. (2010). Ring oscillators as thermal sensors in fpgas: Experiments in low voltage. In *2010 VI Southern Programmable Logic Conference (SPL)*, pages 133–137.
- [Garrett et al., 1999] Garrett, D., Stan, M., and Dean, A. (1999). Challenges in clockgating for a low power asic methodology. In *Proceedings. 1999 International Symposium on Low Power Electronics and Design (Cat. No.99TH8477)*, pages 176–181.
- [George et al., 1999] George, V., Zhang, H., and Rabaey, J. (1999). The design of a low energy fpga. In *Proceedings. 1999 International Symposium on Low Power Electronics and Design (Cat. No.99TH8477)*, pages 188–193.
- [Hussein et al., 2015] Hussein, J., Klein, M., and Hart, M. (2015). Wp389, lowering power at 28 nm with xilinx 7 series devices. Technical Report WP389, Xilinx.
- [Kathuria et al., 2011] Kathuria, J., Khan, M. A., and Noor, A. (2011). A review of clock gating techniques. In *MIT International Journal of Electronics and Communication Engineering*, volume 1, pages 106–114. MIT Publications.
- [Kim et al., 2003] Kim, N. S., Austin, T., Baauw, D., Mudge, T., Flautner, K., Hu, J. S., Irwin, M. J., Kandemir, M., and Narayanan, V. (2003). Leakage current: Moore’s law meets static power. *Computer*, 36(12):68–75.
- [Li et al., 2017] Li, J., Feng, S., Zhang, Y., Wang, C., and He, X. (2017). Optimized thermal sensor allocation for field-programmable gate array temperature measurements based on self-heating test. *Microelectronics Journal*, 60:55 – 59.
- [Moore, 1965] Moore, G. E. (1965). Cramming more components onto integrated circuits. *Electronics*, 38(8).
- [Munch et al., 2000] Munch, M., Wurth, B., Mehra, R., Sproch, J., and Wehn, N. (2000). Automating rt-level operand isolation to minimize power consumption in datapaths. In *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*, pages 624–631.
- [Osuna et al., 2013] Osuna, C., Ituero, P., and Lopez-Vallejo, M. (2013). A self-timed multipurpose delay sensor for field programmable gate arrays. *Sensors*, 14(1):129–143.

- [Rabaey, 1996] Rabaey, J. M. (1996). *Digital Integrated Circuits: A Design Perspective*. Prentice-Hall, Inc., Upper Saddle River, NJ, USA. 209-217 orriak.
- [Rivoallon and Balasubramanian, 2013] Rivoallon, F. and Balasubramanian, J. (2013). Wp370, reducing switching power with intelligent clock gating. Technical Report WP370, Xilinx.
- [Saraswat, 2017] Saraswat, P. (2017). A review of low power consumption clock gating techniques. *International Journal of Advance Research, Ideas and Innovations in Technology*.
- [Wu et al., 2000] Wu, Q., Pedram, M., and Wu, X. (2000). Clock-gating and its application to low power design of sequential circuits. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 47(3):415–420.
- [Zhang et al., 2006] Zhang, Y., Roivainen, J., and Mammela, A. (2006). Clock-gating in fpgas: A novel and comparative evaluation. In *9th EUROMICRO Conference on Digital System Design (DSD'06)*, pages 584–590.
- [Zick and Hayes, 2010] Zick, K. M. and Hayes, J. P. (2010). On-line sensing for healthier FPGA systems. In *Proceedings of the 18th annual ACM/SIGDA international symposium on Field programmable gate arrays - FPGA*. ACM Press.
- [Zick and Hayes, 2012] Zick, K. M. and Hayes, J. P. (2012). Low-cost sensing with ring oscillator arrays for healthier reconfigurable systems. *ACM Trans. Reconfigurable Technol. Syst.*, 5(1):1:1–1:26.