



BILBOKO
INGENIARITZA
ESKOLA
ESCUELA
DE INGENIERÍA
DE BILBAO

BILBOKO INGENIARITZA ESKOLA

Teknologia Elektronikoa Saila

UPV/EHU

DOKTOREGO-TESIA

Vienna artezgailua: ibilgailu elektrikoaren
karga-sistamarako ekarpenak

Egilea: Iker Aretxabaleta Astoreka

Zuzendaria: Iñigo Martínez de Alegría Mancisidor

2021ko martxoa

Ama, Aitza, Markel, zeuentzat.

*Nahia, neure lagunik onena,
eskerrik asko nire bizija politxao etxiarren,
maitxe zaitxut!*

Aurrera Drogosuak!

Eskerrak

Tesi hau hasi nuenetik, zorionekoa izan naiz, batetik, jaso dudan laguntza guztiagatik, bestetik, ikasi dudan guztiagatik, baina gehienbat, jaso dudan baldintzarik gabeko maitasun guztiagatik. Eta ez dudanez nahi inortaz ahaztu, eskerrik asko bihotzez bidelagun guztioi.

Euskal Herriko Unibertsitateko elektronika aplikatuko ikerketa-taldeari (APERT) eskerrak eman nahi dizkiot, emandako laguntza guztiagatik. Nire tesi-zuzendaria izan den Iñigo Martinez de Alegriari, eskerrik asko bihotzez erakutsi didazun guztiagatik, ikerlari eta pertsona gisa hazten lagundu didazu. Jon Andreu eta Iñigo Kortabarriari, eskerrik asko zutabe garrantzitsu bi izan zaretelako nire ibilbidean zehar. Iñaki Garate, Edorta Ibarra eta Unai Ugalde ere eskertu nahi ditut, behar izan dudanean beti lagintzeko prest egotearren.

APERTeko lagun guztioi, Iraide López, Julen Gómez-Cornejo, Itxaso Aranzabal, Estefania Planas, Oier Oñederra, Igor Villalta, Asier Matallana, David Cabezuelo, Marcelo Urbina, Tatiana Acosta, Ander de Marcos, Alberto Otero. Eta nola ez, ikerketaz haratzago doazen aspektuetan beti lagun ditudan Endika Robles eta Markel Fernándezi, eskerrik asko.

Lagunak, Drogosuak, prozesu honetan beti hor egon zaretelako, eta garrantzitsuena, beti barre bat atarateko prest egon zaretelako, eskerrik asko. Maitxe zaitxuet.

Mendexako familiari, eskerrik asko zuen hurbiltasun eta eskuzabaltasunagatik. Maitxe zaitxuet.

Izeko Mertxe, osaba Jose Mari, Ibon, Liher, eskerrik asko zuen etxeko ateak zabaltzearren. Eskerrik asko denboraldi baterako zuen adopzioko seme eta anaiaztat onartzearren. Maitxe zaitxuet.

Markel, neure anaija maitxia, uretan ikusten gara. Maitxe zaitxut.

Ama, Aitxa, eskerrik asko. Nire erabaki danak onartu eta nire helburuak betetzeko beti laguntzen egotearren, eskerrik asko. Egindako esfortzu guztiagatik, eskerrik asko. Ez daukat hitzik behar dan dana adierazteko... Maitxe zaitxuet.

Nahia, eskerrik asko gure egunerokotasunari beste kolore bat emotearren, eskerrik asko hainbeste barre eragitearren, eskerrik asko musikak lagundutako momentu horiengatik, eskerrik asko gauza txikien garrantzia erakusteagatik, eskerrik asko esfortzuaren garrantzia erakustearren, eskerrik asko danagatik. Mosu bat, maitxe zaitxut.

Lekeitio, 2021eko martxoa.

Laburpena

Azken urteotan ibilgailu elektrikoek aldeko apustua egin dute fabrikatzaileek, eragile sozial, politiko eta zientifikoekin batera. Hauen helburu nagusia berotegi-efektuko gasen emisioak murriztea da, igortzen diren berotegi-efektuko gasen % 28a garraio-sektoretik datozela ondorioztatu baita. Aspektu hauen inguruan geroz eta kontzientzia handiagoa duen gizartea izateak indartu egiten du ideia hau, eta bide honetan jarraitzeko inbertsioak goraka doaz.

Ibilgailu elektrikoek gaur egungo, zein etorkizuneko, erabiltzaileen ikuspuntutik, hobetu beharreko ezaugarrien artean garrantzia gehien dutenak, ibilgailuen autonomia, bateriak kargatzeko denbora eta ibilgailuaren prezioa dira. Hauek guztiak etengabe hobetuz doazen ezaugarriak dira, eta ibilgailu elektrikoek merkaturatua geroz eta eskuragarriago dago erabiltzaileen gehiengotik. Urte gutxitan, espero da, bateriek beraien kapazitatea biderkatzea, karga-denborak asko murriztea eta ibilgailuen prezioak (bateriaren prezioen jaitsierak lagunduta) nabarmen jaitea. Helburu hauek lortzeko, mundu mailako milaka ingeniari eta zientzialaririk lanean dihardute, eta honek etorkizun oparoa bermatzen die ibilgailu elektrikoek, eta hortaz, planeta osoari.

Gaur egun, sare elektrikoetik kontsumitzen den energiaren zati batek osagai erreaktiboa du, eta horrek energiaren sorreraz arduratzen diren enpresei behartu egiten die eraginkorra ez den potentzia-erreaktiboa sortzera. Etorkizunean, saretik kontsumitzen den energia guztia potentzia-aktiboa izatea bermatu beharko litzateke, hau da, potentzia-faktore unitarioa duten bihurgailuak erabili beharko lirateke sare elektrikoaren sarrerako etapetan. Energia kontsumoak nolakoa izan behar duen zehazten duten estandarrak eta arautegiak geroz eta zorrotzagoak dira, helburu hau lortze aldera.

Testuinguru horretan, tesi honen helburua ibilgailu elektrikoek karga-sisteman parte hartzen duen sarrerako artezgailua hobetzea da, non bete behar dituen ezaugarri garrantzitsuenak potentzia-faktore unitarioa izatea, eraginkortasun altua izatea eta konmutazio-maiztasun altuetan lan egin ahal izatea diren. Azken puntu hau potentzia-dentsitatea hobetzeko asmoz landu da gehienbat. Horretarako, silizio-karburuzko (SiC) osagaiak erabili dira, hauen ezaugarriek lagunduta oso sistema bizkorak, konpaktuak eta eraginkorrak egitea posible baita.

Hasieran, noranzko bakarreko artezgailuen artearen egoera egingo da, topologia baliagarriak identifikatzeko. Ondoren, hautaketa horretan interesgarrienak diren topologiak aukeratuko dira hainbat irizpide kontuan hartuz, eta bukatzeko, topologia hauen arteko konparaketa bat egingo da, non artezgailu bakar bat hautatuko den.

Tesiaren honetan, ibilgailu elektrikoek karga-sistemaz ari garenean, kontuan izango da potentzia-maila handietan lan egin ahal duten sistemetak ari garela. Gainera, etorkizunean artezgailu hauen kokalekua zein izango den ezezaguna denez, garrantzia eman zaio potentzia-dentsitatea hobetzeari. Horregatik guztia-gatik, osagai erdieroaleen paralelizazioa eta konmutazio-maiztasun handietan lan egitea beharrezkoa direla onartu da. Ezaugarri horiek topologian eragiten dituen arazo posibleei irtenbidea bilatzea da dokumentuaren helburuetako bat, non *Vienna 6-switch* artezgailua hobetzeko ekarpenak proposatuko diren.

Azkenik, *Vienna 6-switch* topologiarako proposatutako ekarpen guztiak modu independentean probatuko dira, bai simulazio bidez, eta baita esperimentera ere. Bukatzeko, proposamen guztiak uztartzen dituen diseinu bat egingo da, ondoren bankadan probatzeko.

Resumen

Estos últimos años, los fabricantes, junto con agentes sociales, políticos y científicos, han apostado por los vehículos eléctricos. El principal objetivo es reducir las emisiones de gases de efecto invernadero, ya que 28 % de las emisiones de gases de efecto invernadero proceden del sector del transporte. El hecho de que exista una sociedad cada vez más concienciada sobre estos aspectos refuerza esta idea y las inversiones para seguir en este camino que va progresando constantemente.

Las características más importantes a mejorar desde el punto de vista de los usuarios, tanto actuales como futuros, son la autonomía de los vehículos, el tiempo de carga de las baterías y el precio. Todas ellas son características que van mejorando constantemente y el mercado de los vehículos eléctricos está cada vez más accesible para la mayoría de los usuarios. En pocos años se espera que las baterías multipliquen su capacidad, se reduzcan considerablemente los tiempos de carga y disminuyan significativamente los precios de los vehículos (favorecidos por la bajada de los precios de las baterías). Para lograr estos objetivos, miles de ingenieros y científicos de todo el mundo trabajan para garantizar un futuro prometedor a los vehículos eléctricos, y por tanto, al planeta.

En la actualidad, parte de la energía consumida de la red eléctrica tiene componente reactiva, lo cual obliga a las empresas encargadas de la generación de energía a generar potencia reactiva que resulta ineficaz. En el futuro cercano, se debería garantizar que toda la energía que se consume de la red sea potencia activa, es decir, se deberían de utilizar convertidores con factor de potencia unitario en las etapas de entrada a la red eléctrica. Los estándares y normativas que definen cómo debe ser el consumo energético son cada vez más exigentes con el fin de lograr este objetivo.

En este contexto, el objetivo de esta tesis es mejorar el rectificador de entrada que participa en el sistema de carga rápida de vehículos eléctricos, donde las características más importantes a cumplir son la exigencia de un factor de potencia unitario, alta eficiencia del rectificador y la posibilidad de trabajar en altas frecuencias de conmutación. Este último punto se propone principalmente para mejorar la densidad de potencia del rectificador. Para ello se han utilizado semiconductores de carburo de silicio (SiC), ya que sus características permiten realizar sistemas muy rápidos, compactos y eficientes.

Inicialmente, se realizará el estado del arte de rectificadores unidireccionales para identificar las topologías útiles para esta aplicación. A continuación, se seleccionarán las topologías más interesantes en esta selección, atendiendo a diferentes criterios. Para finalizar, se hará una comparativa entre las topologías, donde se seleccionará un único rectificador, con el cual se avanzará en el resto de la tesis.

En la tesis, cuando hablamos del sistema de carga de vehículos eléctricos, se tendrá en cuenta que se trata de sistemas que podrán operar a niveles altos de potencia. Además, al desconocer la futura ubicación de estos rectificadores, se ha dado importancia a la mejora de la densidad de potencia. Por todo ello, se ha considerado necesario la paralización de los componentes semiconductores y trabajar en altas frecuencias de conmutación. Uno de los objetivos del documento es buscar una solución a los posibles problemas que estas características generan en la topología, donde se propondrán aportaciones para mejorar el rectificador *Vienna 6-switch*.

Por último, todas las aportaciones propuestas para la topología *Vienna 6-switch* se probarán de forma independiente, tanto mediante simulación como de forma experimental. Para finalizar, se realizará un diseño que aunará todas estas propuestas de mejora para probarlo en la bancada experimental.

Abstract

Manufacturers have opted in recent years for electric vehicles, along with social, political and scientific agents. Its main objective is to reduce greenhouse gas emissions, as 28 % of greenhouse gas emissions come from the transport sector. The fact that there is a society increasingly aware of these aspects reinforces this idea and increases the investments to on this path.

The most important features to improve from the point of view of users, both current and future, are the autonomy of the vehicles, the time of charge of the batteries and the price of the vehicle. All of them are characteristics that are constantly improving and the electric vehicle market is increasingly accessible from most users. In a few years, batteries are expected to multiply their capacity, significantly reduce charging times and significantly reduce vehicle prices (favoured by lower battery prices). To achieve these goals, thousands of engineers and scientists worldwide are working, ensuring a promising future for electric vehicles and therefore the entire planet.

Currently, part of the energy consumed in the power grid has a reactive component that forces companies in charge of generating energy to generate an ineffective power reagent. In the future, it should be ensured that all the energy consumed from the grid is active power, that is, converters with unity power factor should be used in the input stages of the grid. The standards and regulations that define how energy consumption should be done are increasingly going harder to achieve this goal.

In this context, the aim of this thesis is to improve the input rectifier that participates in the electric vehicle charging system, where the most important characteristics to meet are the unitary power factor, high efficiency and the possibility of working at high switching frequencies. This last point has been mainly included to improve power density. For this purpose, silicon carbide (SiC) components have been used, since their characteristics allow very fast, compact and efficient systems.

Initially the state of the art of unidirectional rectifiers will be realized to identify useful topologies. Next, the most interesting topologies in this selection will be selected, according to different criteria, to end with a comparison between these topologies, where a single rectifier will be selected.

In this thesis, when we talk about the charging system of electric vehicles, we will consider that these are systems that can operate at high levels of power. In addition, by not knowing the future location of these rectifiers, importance has been given to improving power density. Therefore, it has been considered necessary to paralelize semiconductor components and work at high switching frequencies. One of the objectives of the document is to find a solution to the possible problems that these characteristics generate in topology, where contributions will be proposed to improve the rectifier *Vienna 6-switch*.

Finally, all contributions proposed for the topology *Vienna 6-switch* will be tested independently, both through simulation and experimental. In the end, a design will be made that combines all the proposals to test them in each bench.

Akronimoen zerrenda

| | |
|--------|----------------------------------------------------------|
| AC | <i>korronte alternoa</i> |
| AC/DC | <i>alternotik zuzenerako bihurketa</i> |
| BEV | <i>Battery electric vehicle</i> |
| BJT | <i>Bipolar Junction Transistor</i> |
| BMS | <i>Battery management system</i> |
| DC | <i>korronte zuzena</i> |
| DC/DC | <i>zuzenetik zuzenerako bihurketa</i> |
| EMI | <i>Electromagnetic Interference</i> |
| ESS | <i>Energy saving system</i> |
| EV | <i>ibilgailu elektrikoa</i> |
| FCEV | <i>Fuell-cell electric vehicle</i> |
| FCHEV | <i>Fuell-cell hybrid electric vehicle</i> |
| FFT | <i>Fast Fourier Transform</i> |
| FOC | <i>Field Oriented Control</i> |
| FPGA | <i>Field-programmable gate array</i> |
| GHG | <i>Greenhouse gas</i> |
| HEV | <i>Hybrid electric vehicle</i> |
| ICE | <i>Internal combustion engine</i> |
| IGBT | <i>Insulated Gate Bipolar Transistor</i> |
| JBS | <i>Junction Barrier Schottky</i> |
| JFET | <i>Junction Field-Effect Transistor</i> |
| LESIT | <i>Leistung Elektronik Systemtechnik Inform. Techn.</i> |
| LF | <i>Loop filter</i> |
| MA | <i>Multiple push-pull, Asymmetric path</i> |
| MOSFET | <i>Metal-oxide-semiconductor field-effect transistor</i> |

| | |
|-------|-----------------------------------------------------------|
| MPS | <i>Merged-Pin Schottky</i> |
| MS | <i>Multiple push-pull, Symmetric path</i> |
| NPC | <i>Neutral Point Clamped converter</i> |
| PCB | <i>Printed Circuit Board</i> |
| PD | <i>Phase detector</i> |
| PF | <i>Potentzia-faktorea</i> |
| PFC | <i>Power Factor Corrector</i> |
| PHEV | <i>Plug-in hybrid electric vehicle</i> |
| PI | <i>Proportionalâ€Integral controller</i> |
| PLL | <i>Phase locked loop</i> |
| PWM | <i>Pulse Width Modulation</i> |
| SA | <i>Single push-pull, Asymmetric path</i> |
| SBD | <i>Schottky Barrier Diode</i> |
| SDS | <i>Sustainable Development Scenario</i> |
| SS | <i>Single push-pull, Symmetric path</i> |
| STEPS | <i>Stated Policies Scenario</i> |
| THD | <i>Total Harmonic Distortion</i> |
| VCO | <i>Voltage Controlled Oscillator</i> |
| WBG | <i>Wide Bandgap</i> |
| WLTP | <i>World harmonized Light-duty vehicle Test Procedure</i> |
| ZOH | <i>Zero-Order Hold</i> |

Nomenklatura

| | |
|------------------|----------------------------------------------------|
| A_{in} | sarrerako fase-neutro tentsioen anplitudea |
| C_{DS} | mosfetaren drain eta source arteko kapazitatea |
| C_{GD} | mosfetaren gate eta drain arteko kapazitatea |
| C_{GDext} | mosfetaren gate eta drain arteko kanpo kapazitatea |
| C_{GS} | mosfetaren gate eta source arteko kapazitatea |
| C_P | diodoaren kapazitatea |
| C_{paras} | begiztaren kapazitate parasittoa |
| C_{rss} | alderantzizko transferentziako kapazitantziaren |
| $C_{snubber}$ | snubber kondentsadorearen balioa |
| D | topologiaren goiko diodoa |
| D' | topologiaren beheko diodoa |
| d | duty-a |
| \bar{d} | duty-aren balio efektiboa |
| $d_{[0,1]}$ | 0 eta 1 artean mugatzen den duty-a |
| $d_{[-1,1]}$ | 1 eta 1 artean mugatzen den duty-a |
| Δi | sarrerako korrontearen kizkurdura |
| ΔT_j | junturako tenperaturaren aldaketa |
| ΔV_{out} | irteerako tentsioaren kizkurdura |
| di/dt | korrontearen deribatua denborarekiko |
| $DispF$ | desplazamendu-faktorea |
| $DistF$ | distortsio-faktorea |
| dv/dt | tentsioaren deribatua denborarekiko |
| E_{off} | mosfetaren itzaltze energia |
| E_{on} | mosfetaren pizte energia |
| E_{rec} | diodoaren berreskuratze energia |

| | |
|-------------------|-------------------------------------------------------------|
| ζ | indargetze-faktorea |
| E_{total} | mosfetaren energia totala |
| F_{BW} | iragazkiaren banda zabalera |
| f_k | kontrolaren maiztasuna |
| $f_{oscillation}$ | oszilazio-maiztasun nagusia |
| f_{sw} | kommutazio-maiztasuna |
| I | korronea |
| \bar{I} | korrontearen anplitude garbia |
| i^*dq | sareko korronteen erreferentzia |
| i_b | <i>push-pull</i> aren bjten oinarriaren korronea |
| $i_{C_{rms}}$ | irteerako kondentsadorearen rms korronea |
| I_{DC} | irteerako korronea |
| I_{DS} | mosfetaren drain eta source arteko korronea |
| I_F | diodoaren korronea |
| i_{G1-4} | paralelizatutako mosfeten ateko korroneak |
| i_{grst} | sareko korrontearen espazio-fasorearen funtsezko osagaia |
| I_{rr} | diodoaren berreskuratze korronea |
| I_{rrm} | mosfetaren berreskuratze korronea |
| L_{B1-4} | <i>push-pull</i> bjten oinarriaren bide induktibaren balioa |
| L_D | mosfetaren drain-aren induktantzia |
| L_{diode} | diodoaren induktantzia |
| L_{G1-4} | mosfetaren ateko bide induktiboaren balioa |
| L_{Gate} | mosfetaren gate-aren induktantzia |
| $L_{gateext}$ | mosfetaren ateko kanpo induktantzia |
| L_{IN} | sarrerako induktantziaren balioa |
| L_{paras} | begiztaren induktantzia parasittoa |
| L_S | mosfetaren source-aren induktantzia |
| M | vienna artezgailuaren irteerako tentsioaren erdiko puntua |
| m^*i | seinale modulatzaila |
| N_f | bizi-ziklo kopurua |
| P | potentzia |
| P_D | potentzia disipazioa |
| ϕ | fasea |
| φ_g | espazio bektoriala |
| Q_s | iragazkiaren serieko kalitate-faktorea |
| R | erresistentzia |
| R_{DSon} | mosfetaren drain eta source arteko erresistentzia (piztuta) |

| | |
|----------------------|----------------------------------------------------------------------|
| R_{load} | irteerako kargaren balio erresistiboa |
| R_{off} | <i>driver</i> -aren itzaltze erresistentzia |
| R_{on} | <i>driver</i> -aren pizte erresistentzia |
| $R_{th_{c-hs}}$ | <i>case</i> -tik <i>heatsink</i> -era dagoen erresistentzia termikoa |
| $R_{th_{hs-a}}$ | <i>heatsink</i> -etik airera dagoen erresistentzia termikoa |
| $R_{th_{\theta JC}}$ | junturatik <i>case</i> -ra dagoen erresistentzia termikoa |
| S | potencia aparente |
| S_{11} | <i>port1</i> -en islapen-koefizientea |
| S_{21} | <i>port2</i> eta <i>port1</i> -en arteko potentzia-irabazia |
| SW | topologiaren goiko etengailua |
| SW' | topologiaren beheko etengailua |
| T | kommutazio-periodoa |
| \bar{T} | kommutazio-periodo efektiboa |
| T_a | giro-tenperatura ($^{\circ}C$) |
| t_{est} | ezartze-denbora |
| Tm_j | junturako batazbesteko tenperatura (K) |
| T_s | laginketa-periodoa |
| t_{step} | simulazio-pausua |
| v_{rst}^* | korrante-begiztak sortutako erreferentziak |
| V_{AK} | diodoaren anodo eta katodo arteko tentsioa |
| V_{BUS}, V_{DC} | irteerako tentsioa |
| V_{DCdown} | vienna artezgailuaren irteerako tentsioaren beheko puntua |
| V_{DCup} | vienna artezgailuaren irteerako tentsioaren goiko puntua |
| V_{DS} | mosfetaren drain eta source arteko tentsioa |
| V_F | diodoaren ukondo-tentsioa |
| V_{f-n} | fase-neutro arteko sarrerako tentsioaren balio efikaza |
| vg_{rst} | sareko tentsioen espazio-fasorearen funtsezko osagaia |
| V_{GS} | mosfetaren gate eta source arteko tentsioa |
| V_{L-Lrms} | sarrerako <i>line-to-line</i> rms tentsioa |
| ω | maiztasuna |

Gaien aurkibidea

| | |
|-----------------------------------------------------------------------------------------------------|-----------|
| Laburpena | v |
| Resumen | vii |
| Abstract | ix |
| Akronimoen zerrenda | xi |
| Nomenklatura | xiii |
| Irudien zerrenda | ix |
| Taulen zerrenda | xi |
| 1. Sarrera | 1 |
| 1.1. Tesiaren testuingurua | 1 |
| 1.2. Tesiko gaiaren sarrera | 3 |
| 1.3. Helburuak | 15 |
| 1.4. Dokumentuaren egitura | 16 |
| 2. Ibilgailu elektrikoaren karga azkarrerako topologiak | 19 |
| 2.1. Noranzko bakarreko artezgailu trifasikoak ibilgailu elektrikoen karga azkarrerako | 20 |
| 2.2. Aukeratutako topologiaren konparaketa | 39 |
| 2.3. Ondorioak | 47 |
| 3. <i>Vienna 6-switch</i> artezgailua | 49 |

| | | |
|-----------|---------------------------------------------------------------------------------------------------------|------------|
| 3.1. | <i>Vienna 6-switch</i> : ezaugarri nagusiak | 49 |
| 3.2. | <i>Vienna 6-switch</i> : kontrola | 51 |
| 3.2.1. | <i>Phase Locked Loop</i> | 53 |
| 3.2.2. | Korronte-begizta | 53 |
| 3.2.3. | Tentsio-begizta | 57 |
| 3.2.4. | Egoera-makina | 61 |
| 3.2.5. | Modulagailua | 63 |
| 4. | Silizio karburozko (SiC) gailuak potentzia-elektronikan | 67 |
| 4.1. | Sarrera | 67 |
| 4.2. | SiC erdieroaleen teknologia | 70 |
| 4.3. | Ondorioak | 74 |
| 5. | Vienna artezgailua hobetzeko proposamenak | 77 |
| 5.1. | Sarrera | 77 |
| 5.2. | Zelda kontzeptua | 78 |
| 5.2.1. | <i>PCell</i> eta <i>NCell</i> zeldak | 78 |
| 5.2.2. | Osagai parasitoen eraginaren azterketa | 79 |
| 5.2.3. | <i>PCell</i> baten uhin-forma errealak | 82 |
| 5.3. | Push-pull anizkoitza | 84 |
| 5.3.1. | <i>Push-pull</i> etapa ezberdinen konparaketa | 86 |
| 5.3.2. | Software bidezko simulazioak | 90 |
| 5.3.3. | Baliozkotze esperimentalak | 94 |
| 5.4. | RLC iragazki sintonizatua | 98 |
| 5.4.1. | Oszilazio-iturriak | 100 |
| 5.4.2. | RLC iragazkia: metodologia | 101 |
| 5.4.3. | Implementazio esperimentalak eta emaitzak | 103 |
| 5.4.4. | Ateko erresistentzia handitu edo RLC iragazkia erabili? | 115 |
| 5.5. | Paralelizazio eta <i>Interleaving</i> tekniken erabilera <i>Vienna 6-switch</i> topologian | 118 |
| 5.5.1. | Kizkurdura konfigurazio bakoitzerako | 120 |
| 5.5.2. | <i>Interleaving</i> teknika | 121 |
| 5.5.3. | Simulazioak | 125 |
| 5.5.4. | Konfigurazio ezberdinen emaitza esperimentalak | 129 |
| 5.6. | Ondorioak | 133 |
| 6. | Vienna artezgailuaren implementazioa | 135 |
| 6.1. | Sarrera | 135 |
| 6.2. | Atal elektrikoaren diseinua eta implementazioa | 136 |

| | | |
|-----------|----------------------------------------------|------------|
| 6.3. | Kontrolaren inplementazioa | 142 |
| 6.3.1. | PLL | 147 |
| 6.3.2. | Korronte-begizta | 148 |
| 6.3.3. | Tentsio-begizta | 149 |
| 6.4. | Modulagailuaren inplementazioa | 151 |
| 6.5. | Emitzak | 152 |
| 6.5.1. | Potentzia-faktorea (PF) | 153 |
| 6.5.2. | Kommutazio-zelden azterketa | 158 |
| 6.5.3. | Irteerako seinaleen kalitateak | 162 |
| 6.5.4. | Sistemaren erantzun dinamikoa | 164 |
| 6.6. | Emitzak 200 kHz eta 400 kHz-etan | 166 |
| 6.6.1. | Potentzia-faktorea (PF) | 167 |
| 6.6.2. | Kommutazio-zelden azterketa | 170 |
| 6.6.3. | Irteerako tentsioaren kalitatea | 172 |
| 6.6.4. | Sistemaren erantzun dinamikoa | 173 |
| 6.7. | Ondorioak | 175 |
| 7. | Ondorioak eta etorkizuneko lanak | 177 |
| 7.1. | Tesiaren Ondorioak | 177 |
| 7.2. | Ekarpen garrantzitsuenen laburpena | 179 |
| 7.3. | Tesitik eratorritako argitalpenak | 181 |
| 7.3.1. | Aldizkari zientifiko-teknikoak | 181 |
| 7.3.2. | Nazioarteko kongresuak | 181 |
| 7.3.3. | Estatu-mailako kongresuak | 182 |
| 7.4. | Etorkizuneko lanak | 182 |
| I. | Eranskinak | 183 |
| A. | Harmonikoen analisisa | 185 |
| | Bibliografia | 197 |

Irudien zerrenda

| | |
|--------------------------------------------------------------------------------------------------------------------------------|----|
| 1.1. Ibilgailu elektrikoaren munduko stock-a 2019-2030(IEA) | 4 |
| 1.2. Ibilgailuak kargatzeko energia elektrikoaren eskaera (IEA). | 4 |
| 1.3. Ibilgailu garrantzitsuenen arkitekturak, propulzio-sistemaren arabera. | 5 |
| 1.4. ESS instalatuz energia-kostuak murrizteko gaitasuna, bateriamotaren arabera sailkatuta. | 8 |
| 1.5. Baterien batez besteko prezioaren proiektzioa. | 9 |
| 1.6. Ibilgailu elektrikoak kargatzeko estazio bateko puntu estandarizatutak. | 11 |
| 1.7. Potentzia-faktoreari eragiten dioten distortsioak: desplazamendufaktorea (DispF) eta distortsio-faktorea (DistF). | 14 |
| | |
| 2.1. Noranzko bakarreko artezgailu trifasikoen sailkapena. | 21 |
| 2.2. Inbertsore motako topologiak (1). | 24 |
| 2.3. Inbertsore motako topologiak (2). | 25 |
| 2.4. <i>Boost</i> eta <i>Buck</i> motako inbertsore topologiak. | 26 |
| 2.5. <i>Vienna</i> motako bihurtgailuak (1). | 27 |
| 2.6. <i>Vienna</i> motako bihurtgailuak (2). | 28 |
| 2.7. <i>Vienna</i> motako bihurtgailuak (3). | 29 |
| 2.8. Isolamendu transformadoredun PFC bihurtgailuak (1). | 30 |
| 2.9. Isolamendu transformadoredun PFC bihurtgailuak (2). | 31 |
| 2.10. PFC motako Limpaecher bihurtgailua. | 32 |
| 2.11. Konparatzeko EVen karga azkarrerako artezgailuen topologiak (1). | 36 |
| 2.12. Konparatzeko EVen karga azkarrerako artezgailuen topologiak (2). | 37 |
| 2.13. Konparatzeko EVen karga azkarrerako artezgailuen topologiak (3). | 38 |
| 2.14. EVen karga-aplikazioa simulatzeko konfigurazio-eskema. | 39 |

| | |
|-----------------------------------------------------------------------------------------------------------------------------------------------|----|
| 2.15. Irteerako tentsioaren uhin-formak V_{BUS} (V). | 42 |
| 2.16. Sarrerako korrontearen uhin-formak eta normalizatutako maiztasun erantzuna (FFT) konparatutako topologietarako. | 43 |
| 2.17. Potentzia-galera banaketaren eta tenperatura-igoeren konparazioa. | 44 |
| 2.18. LESIT azterketan oinarritutako bizitza-erabilgarriaren estimazioa. | 45 |
| 2.19. Kommutazio-zelden konparaketa: topologia osoa eta zeldaren zoom-a. | 46 |
| | |
| 3.1. Vienna artezgailuen topologiak. | 50 |
| 3.2. Vienna 6-switch artezgailua. | 51 |
| 3.3. Inplematutako bloke-diagrama. | 52 |
| 3.4. Inplematutako PLLaren bloke-diagrama. | 54 |
| 3.5. L iragazki baten bidez sarera konektatzeko eredua. | 55 |
| 3.6. Korronteen kontrol-begiztak desakoplamendu-terminoekin. | 56 |
| 3.7. Korronteen kontrol-begiztak, ezagunak diren terminoen konpentsazioarekin. | 57 |
| 3.8. Korronte-begiztaren modelo diskretua. | 57 |
| 3.9. Tentsio-begiztaren bloke-diagrama diskretua. | 59 |
| 3.10. Vienna artezgailuaren egoera-makina. | 62 |
| 3.11. Vienna artezgailuaren diagrama bektoriala. | 64 |
| 3.12. Vienna artezgailurako modulazioa. | 65 |
| | |
| 4.1. SiC eta GaN erdieroaleen teknologien bilakaera eta merkatu-aurreikuspenak, aplikazioen arabera. | 68 |
| 4.2. WBG material garrantzitsuenen ezaugarri fisikoak. | 68 |
| 4.3. GaN eta SiC teknologiako gailuen sailkapena. | 70 |
| 4.4. Erdieroaleen merkatuaren etorkizuneko ikuspegia. | 71 |
| 4.5. SiC eta GaN erdieroaleak erabiltzea erdieroale tradizionalekin alderatuta, aplikazioaren potentziaren eta maiztasunaren arabera. | 72 |
| | |
| 5.1. <i>PCell</i> eta <i>NCell</i> zeldak. | 79 |
| 5.2. <i>PCell</i> zelda baten adierazpen eskematikoa - Kasu ideala eta errealak. | 80 |
| 5.3. <i>PCell</i> zeldaren kommutazio idealak, osagai parasito gabeak. | 81 |
| 5.4. <i>PCell</i> zeldaren kommutazio errealak osagai parasitoak kontuan izanda. | 81 |
| 5.5. <i>PCell</i> zeldaren kommutazioak osagai parasitoak kontuan izanda eta <i>Snubber</i> kondentsadorearekin. | 82 |

| | |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| 5.6. Kommutazio-uhinak - MOSFETaren tentsioa (horia), korrontea (morea) eta <i>snubber</i> kondentsadorearen korrontea (berdea) - $C_{Snubber} = 1 \mu F$ | 83 |
| 5.7. Kommutazio-uhinak - MOSFETaren tentsioa (horia), korrontea (morea) eta <i>snubber</i> kondentsadorearen korrontea (berdea) - $C_{Snubber} = 150nF$ | 83 |
| 5.8. Push-pull-aren eskematikoa. | 85 |
| 5.9. Push-pull-a: (a) ohiko topologia eta (b) proposatutako topologia. | 86 |
| 5.10. PCBaren beheko aldearen bista, aztertutako hiru konfigurazioetarako. | 88 |
| 5.11. PCBaren goiko aldea, potentzia atala. | 89 |
| 5.12. MOSFETen ateetako korrontek. | 90 |
| 5.13. Simulatutako ateko tentsioak. | 91 |
| 5.14. Gaintentsioa SA kasurako. | 92 |
| 5.15. Simulatutako ateko tentsioaren pizte-ertzak: SS (grisa) vs. MS (beltza). | 92 |
| 5.16. Simulatutako igoera-ertzen sakabanaketa - Proposatutako MA kasurako. | 93 |
| 5.17. Neurtutako ateko tentsioak. | 94 |
| 5.18. Neurtutako ateko tentsioaren pizte-ertzak: SS (grisa) vs. MS (beltza). | 95 |
| 5.19. Neurtutako igoera-ertzen sakabanaketa: atalase tipikoaren inguruan. | 96 |
| 5.20. Neurtutako igoera-ertzen sakabanaketa: atalase sorta osoan. | 97 |
| 5.21. R_{Gate} -ren eragina gailua pizterakoan. | 99 |
| 5.22. Kommutazio-zeldaren estruktura eta PCell-aren osagai parasitoak. | 100 |
| 5.23. <i>Push-pull</i> zirkuitua eta proposatutako RLC iragazkiaren kokapena. | 102 |
| 5.24. Metodologia aplikatzeko konfigurazioa. | 103 |
| 5.25. PCell zirkuitudun <i>Buck</i> bihurgailua. | 104 |
| 5.26. Oszilazio-maiztasun nagusia ($f_{oscillation}$) identifikatzeko metodoa. | 105 |
| 5.27. Oszilazio-maiztasun nagusia ($f_{oscillation}$): emaitzak. | 106 |
| 5.28. $f_{oscillation}$ maiztasuna identifikatzeko uhin-formak. | 107 |
| 5.29. PCell bihurgailua: <i>push-pull</i> -a RLCarekin eta PCBa. | 108 |
| 5.30. SiC MOSFETaren tenperatura Q_s -ren balio ezberdinetarako. Kamera termografikoa: Flir T62101. | 111 |
| 5.31. Kommutazio-uhinak (grisa: iragazki gabe; beltza: RLC iragazkiarekin $Q_s = 0.89$). | 112 |
| 5.32. EMI espektroaren neurketak. Analizagailua: Agilent N9320B; Probe: Rohde & Schwarz 633.0740.00. | 114 |

| | |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| 5.33. Emaitzak R_{Gate} balio ezberdinekin RLC iragazkiarekin eta hau gabe. | 116 |
| 5.34. GaN Cell (EPC9203) - Korrontea irteerako harilean. | 117 |
| 5.35. Konfigurazio ezberdinen eskematikoak | 119 |
| 5.36. Konfigurazio ezberdinen kizkurdurak | 120 |
| 5.37. Uhin triangeluar periodikoaren forma, unitate anplitudearekin, periodoa T , $duty$ -a d , eta fase-aldaketa ϕ denbora-domeinuan adieraztia $f_{tri}(t - \phi, d, T)$ | 121 |
| 5.38. Kizkurdura ezeztatze faktorea, $duty$ -ratioaren funtzio gisa, N kasu ezberdinetarako. | 122 |
| 5.39. <i>Interleaving</i> teknika $N = 5$ kasurako. Uhin-forma gurutzatuak (goiko grafika) eta <i>interleaving</i> -aren ondoren lortutako uhin garbia (beheko grafika). | 122 |
| 5.40. Modulazio-indizeak 1500 W -ko <i>Vienna 6-switch</i> topologiarako. | 123 |
| 5.41. Kizkurdura ezeztatze faktorea, $duty$ -ratioaren funtzio gisa, $duty$ -a % 50 denean. | 124 |
| 5.42. Faseetako korronteen uhin-formak konfigurazio ezberdinetan. | 126 |
| 5.43. Irteerako <i>bus</i> -aren tentsio uhin-formak. | 127 |
| 5.44. Irteerako kondentsadoreen korrontea uhin-formak | 128 |
| 5.45. Konfigurazio ezberdinen proba egiteko erabilitako diseinuaren eskematikoa. | 129 |
| 5.46. Konfigurazio tradizionala - sarrerako korrontea (berdea), i_{L1} korrontea (urdina) eta irteerako tentsioa (horia). | 130 |
| 5.47. Paraleloko konfigurazioa - sarrerako korrontea (berdea), i_{L1} korrontea (urdina), i_{L2} korrontea (morea) eta irteerako tentsioa (horia). | 131 |
| 5.48. <i>Interleaving</i> konfigurazioa - sarrerako korrontea (berdea), i_{L1} korrontea (urdina), i_{L2} korrontea (morea) eta irteerako tentsioa (horia). | 132 |
| 6.1. <i>Vienna 6-switch</i> -aren eskematikoa. | 137 |
| 6.2. Kommutazio-zelden PCB diseinuak. | 138 |
| 6.3. PCBaren kommutazio-esparruaren zooma. | 139 |
| 6.4. PCBaren eskematikoa - PCell. | 140 |
| 6.5. PCBaren eskematikoa - NCell. | 141 |
| 6.6. Bankadaren lehen geruza. | 143 |
| 6.7. Bankadaren bigarren geruza. | 144 |
| 6.8. Bankadaren hirugarren geruza. | 145 |
| 6.9. Implementatutako kontrolaren bloke-diagrama orokorra. | 146 |

| | |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| 6.10. Implementatutako PLLaren erantzuna. | 147 |
| 6.11. Implementatutako korrante-begiztaren bloke-diagrama. | 148 |
| 6.12. Implementatutako tentsio-begiztaren bloke-diagrama. | 149 |
| 6.13. Implementatutako modulagailuaren bloke-diagrama. | 150 |
| 6.14. Kontrolaren eta modulagailuaren arteko seinaleen doikuntza. . . | 151 |
| 6.15. Sarrerako korrante trifasikoaren eta irteerako tentsioaren uhin- formak. | 152 |
| 6.16. Sareko tentsioa trifasikoa. | 153 |
| 6.17. Sareko tentsioaren THD azterketa. | 154 |
| 6.18. Sarrerako korrante trifasikoa. | 155 |
| 6.19. Sarrerako korrantearen THD azterketa. | 156 |
| 6.20. Sareko tentsioa eta korrantea fasean. | 157 |
| 6.21. MOSFETaren v_{GS} tentsioak, <i>duty</i> -a %60 inguruan dagoen aldiu- nean. | 158 |
| 6.22. MOSFETaren (morea) eta diodoaren (urdina) arteko tentsio- kommutazioa zelda batean - gorako eta beherako ertzak (y ardatz ezberdinetan). | 159 |
| 6.23. MOSFETaren kommutazio-korrantea: kommutazio osoa, gorako ertza eta beherako ertza. | 160 |
| 6.24. Irteerako tentsioa. | 162 |
| 6.25. Irteerako kondentsadoreko korrantea. | 163 |
| 6.26. Irteerako kondentsadoreko korrantearen zoom-a. | 163 |
| 6.27. Implementatutako tentsio-begiztaren erantzuna denboran. | 164 |
| 6.28. Implementatutako korrante-begiztaren erantzuna denboran. | 165 |
| 6.29. Sarrerako korrante trifasikoa - 200 kHz. | 167 |
| 6.30. Sarrerako korrante trifasikoa - 400 kHz. | 168 |
| 6.31. Sarrerako korrantearen THD azterketa - 200 kHz. | 168 |
| 6.32. Sarrerako korrantearen THD azterketa - 400 kHz. | 169 |
| 6.33. MOSFETaren (v_{DS}) tentsio-kommutazioak - 400 kHz. | 170 |
| 6.34. MOSFETaren (v_{GS}) ateko tentsioak - 400 kHz. | 171 |
| 6.35. Irteerako tentsioak - 200 kHz (urdina) eta 400 kHz (laranja). . . | 172 |
| 6.36. Implementatutako tentsio-begiztaren erantzuna denboran - 400 kHz. 173 | |
| 6.37. Implementatutako korrante-begiztaren erantzuna denboran - 400 kHz. | 174 |

Taulen zerrenda

| | |
|--------------------------------------------------------------------------------------------------------|-----|
| 1.1. Ibilgailu elektrikoen eredu komertzialen adibideak eta horien ezaugarriak (BEV eta PHEV). | 7 |
| 1.2. Bateriaren teknologiaren bilakaera 2030erako. | 10 |
| 1.3. EV karga-estazioetarako estandar garrantzitsuenen laburpena. . . | 12 |
| 1.4. EV karga-sistemetan aplikatutako estandar garrantzitsuenetarako karga-moduak. | 13 |
| 1.5. Kargagailu azkar batzuen ezaugarriak, fabrikatzaileen arabera. . | 13 |
| 2.1. EVen karga azkarrerako balio duten fabrikatzaileen topologiak. . | 33 |
| 2.2. Simulazioaren konfigurazio-parametroak. | 40 |
| 2.3. Konparaketa taula 50 kW-erako (kommutazio-maiztasuna 100 kHz). 41 | |
| 4.1. SiC gailu garrantzitsuenen abantaila eta desabantailen laburpena | 75 |
| 5.1. Probatutako zirkuituaren ezaugarriak. | 104 |
| 5.2. Sistemaren potentzia-galerak. | 109 |
| 5.3. Eredu magnetikoaren konparaketa 9 kHz-30 MHz. | 113 |
| 5.4. Sistemaren portaera R_{Gate} balio desberdinekin. | 115 |
| 5.5. Osagaiak eta haien ezaugarriak | 129 |
| 6.1. Sistemaren ezaugarri nagusiak | 135 |
| 6.2. Osagaiak eta haien ezaugarriak | 142 |

1. Kapituluia

Sarrera

1.1. Tesiaren testuingurua

Euskal Herriko Unibertsitateko (UPV/EHU) Bilboko Ingeniaritza Eskolan kokatzen den APERT (*Applied Electronics Research Team*, ingelesez) ikerketataldean egindako ikerketa-lanaren emaitza da tesi hau. Ikerketa-arlo nagusiak hauek dira:

- **Zirkuitu birkonfiguragarriak eta System-on-Chip-ak.** Ikerketa-lerro honek azken belaunaldiko FPGA-k erabiltzen ditu zirkuitu integratu bakar batean sistema digital oso bat sortzeko. Era berean, gailu horien birkonfigurazio gaitasunarekin ere lan egiten dugu: Sintesira bideratutako diseinua, nukleoak interkonektatzeko arkitekturak, hutsegite-tolerantzia teknikak (SEU). Horrez gain, arlo horretan egindako lana APERTek lantzen dituen beste ikerketa arloetan (potentzia elektronikak, kontrola, eta abar) sortzen diren behar zehatzetara aurrerapenak aplikatzen ditugu. Ikerketa-lerro horren barruan honako arloetan espezializatzen da:
 - **Komunikaziotarako zirkuitu digitalak.** Arlo honek komunikazio sistemak ikertzen ditu ikuspuntu elektronikoa batetik. Besteak beste, honako arlo hauek dira ikergaiak: segurtasuna eta fidagarritasuna komunikazio digitaletan enkriptatze eta autentifikazio algoritmo arkitektura berriak; arkitektura erredundanteak fidagarritasun handiko aplikazioetan; modulu edo *core*-ak abiadura handiko proze-

samendurako bus estandarrak erabilia; sistema digital konfiguragarriak txip batean integratuak komunikazio seguru eta maila altuko diseinu-teknika erabilia egindako sare ekipoak arazo zehatzei soluzioak eskaintzen dituztenak.

- **Industria 4.0 zirkuitu digitalak.** Komunikazio zirkuitu digitaletan edukitako ezagutza aprobetxatuz, lerro honek Cyber-physical System-ak hartzen ditu. Gailu horiek Interneten-gauza (IoT) kontzeptua Industriaren mundura transferitzen ditu. Urrats honen xedea produkzio-planta elkarren artean lotzea, eta datu-kopuru handiak ateratzean dago. Beste gauza askoren artean, komunikazio seguruez gain, fabrikatzaile ezberdinen arteko konexioa, gailu arteko sinkronizazioa, balio erantsi handiko datuen kaptura eta transmisioa ikertzen dira.
- **Energia bihurgailuentzako kontrol eta potentzia zirkuituak.** Energia elektrikoaren sorkuntzan, bihurtetan eta metaketan parte hartzen duten potentzia-sistema elektronikoen ikerkuntzaz arduratzen da ikerketatildoa hau. Alde horretatik tradizionalki erabiltzen diren bihurgailuen alternatiba diren topologiak ikertzen dira, besteak beste. Adibidez, bihurgailu matrizialak, aplikazio minieolikoak edota mikrosare elektrikoaren kontrola ikertu izan dira. Gaur egun, hauexek dira ikerkuntza-lerro nagusiak:
 - **Ibilgailu elektrikoaren propulsiarako eta karga-azpiegiturarako elektronika.** Lerro honetan ibilgailu elektrikoetan eta karga-azpiegiturretan erabiltzen diren inbertsore eta potentzia-bihurgailuen errefrigerazioa, kontrola eta eraginkortasunaren hobekuntza ikertzen dira, besteak beste.
 - **Potentzia-elektronika partikula-azeleragailuetan:** Ikerketalerro honetan, partikula-azeleragailuetan erabiltzen diren potentziako elikadura-iturriak eta horien kontrola ikertzen da, bai ikerkuntza azpiegiturarako, eta baita medikuntza-aplikazioetarako ere.

Hurrengo ikerketa-proiektu publikoen laguntzaz gauzatu da doktorego-tesi honetako lana:

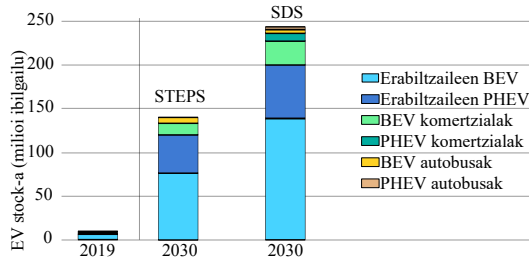
- "Ayuda para apoyar las actividades de grupo de investigacion", Eusko Jaurlaritzak finantziatuta (IT978-16).
- "Acelerador para protonterapia", JEMA ENERGY S.A. eta Eusko Jaurlaritzak finantziatuta (Art. 83 - HAZITEK)",

1.2. Tesiko gaiaren sarrera

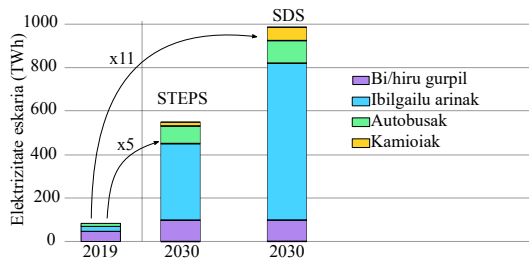
Ingurumenaren babesa eragile sozial, politiko eta zientifikoek kezka nagusietako bat bihurtu da, besteak beste, berotegi-efektuko gasen (GHG) emisioak, erre-gai fosilen eskasia eta prezioen hegazkortasuna direla eta. Ekonomia moderno, lehiakor eta klimaren aldetik neutrala izateko epe luzeko Europako Batzordea-ren ikuspegi estrategikoak GHGen emisioek jarraitu beharreko joera adierazten du [1]. 2050erako, planetaren tenperatura 1.5 °C-tik gora ez igotzeko helburua lor liteke. Hala ere, Nazioarteko Energia Agentziaren (IEA) proiektzioen arabera, espero da GHGen emisioak bikoiztu egingo direla 2050. urtean, 2005arekiko. Alde horretatik, Estatu Batuetako Ingurumena Babesteko Agentziak (EPA) [2] ondorioztatu du garraioa dela GHGen emisioetan gehien kutsatzen duen sek-toreetako bat. Gaur egun, gutxi gorabehera, emisio guztien %28 suposatzen du.

Nazio Batuen txostenen arabera, munduko populazioa 9.700 milioi biztanlera iritsiko da 2050ean (horrek esan nahi du ia %33 haziko dela, 2015eko biztan-leriarekin alderatuta [3]), eta errepideko ibilgailu-kopurua 2.000 milioi inguru-koa izango da 2050ean [4]. Testuinguru horretan, garraio-sektorearen elektrifi-kazioa, oro har, eta errepideko ibilgailuena bereziki, funtsezkoa da aipatutako ingurumen-arazoak gainditzeko. Erronka horrek hobekuntzak eskatzen ditu ibil-gailu elektrikoaren kate elektriko osoan (bateriak, energia-bihurgailuak, erdie-roaleak, karga-estazioak...), eta irtenbide berritzaileak eskaini behar dira azken bezeroari ibilgailu elektriko (EV) eskuratzen laguntzeko [5, 6]. Helburu ho-rrekin, mundu osoan hainbat ekimen eta kanpaina sustatzen ari dira: Electric Vehicles Initiative (EVI) [7], EV30@30 campaign [8], EV100 [9], Global EV Pi-lot City program [10], Drive to Zero campaign [10], GEF-7 global program [11], etab.

EVen salmentei dagokienez, IEAk [10] kalkulatu du EVen *stock* globala 140 milioitara heldu daitekeela 2030erako *stated policy scenarios (STEPS)* politi-kak aplikatuz, eta 245 milioitara *development scenarios (SDS)* politikekin (ikus 1.1. irudia). Alde horretatik, IEAk munduko elektrizitate-eskaera handitzea aurreikusten du, bai STEPS politikekin, bai garapen iraunkorreko egoeretan (SDS) (ikus 1.2. irudia) [10]. Irudi horretan ikus daitekeenez, STEPS politikak aplikatuz 550 TWh ingurura heltzea espero da 2030. urterako. Aitzitik, SDS politikak aplikatuz gero, 1.000 TWh izan daiteke mundu mailako elektrizitate-eskaera, 2019rekin alderatuta ia hamaika aldiz handiagoa. Gaur egun, EVak elektrizitate-kontsumo osoaren zati txiki bat dira (globalki, %0,5 baino gutxia-go [10]), baina hori aldatu egingo da etorkizunean. IEAren [10] arabera, 2030ean



1.1. Irudia: Ibilgailu elektrikoaren munduko stock-a 2019-2030(IEA) [10].

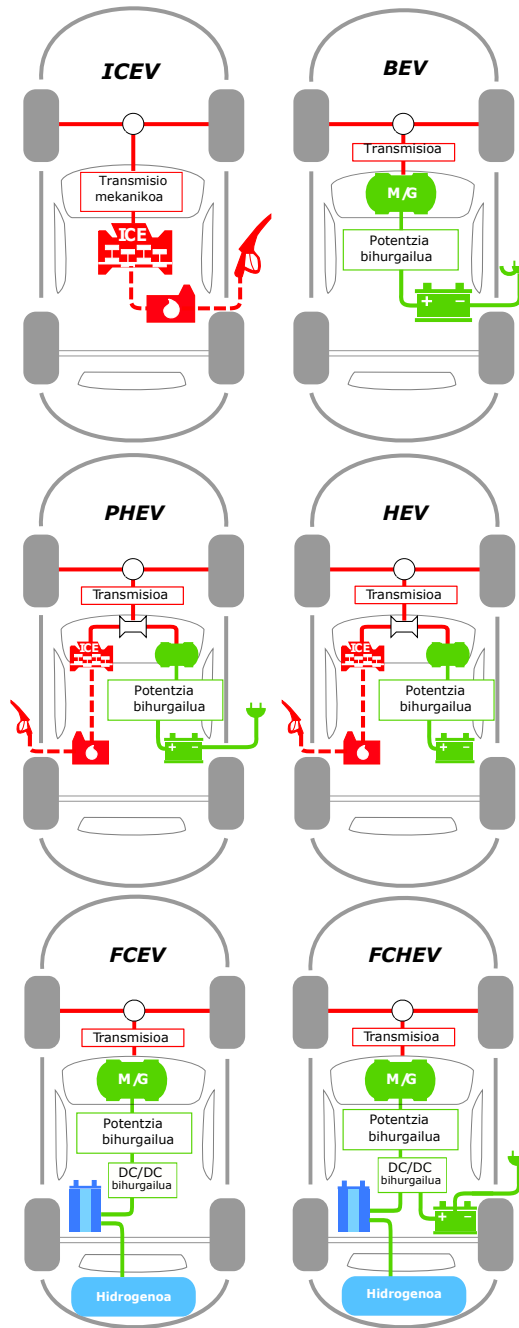


1.2. Irudia: Ibilgailuak kargatzeko energia elektrikoaren eskaera (IEA) [10].

munduko elektrizitate-kontsumoaren %1-4 bitartekoa izan daiteke STEPS agertokian, eta %2-6 bitartean SDS agertokian.

Testuinguru horretan, EVentzat sare elektrikoak garrantzi handia hartzen du. Sarea dimentsionatu egin behar da eskari horiek hornidura elektrikoaren sistemarako arazo-iturri bihur ez daitezen. Azken urteetan, sarearen potentzialitatearen kontrola zorrotz egin da. Gaur egun, sare elektrikoaren distortsio harmonikoaren zatirik handiena potentzia-bihurgailu elektronikoaren sarrerareta-pak eragiten du. Nazioarteko estandarrek, hala nola IEEE 519 eta EN 61000, potentzia-kalitatearekin lotutako parametroen mugak ezartzen dituzte (korrante eta tentsioen harmonikoak). Ildo horretan, potentzia-faktorea (PF) distortsiorik gabeko sare elektriko baten errendimendu-parametro giltzarrietako bat da, non potentzia-faktore ia unitarioa ($(PF) \simeq 1$) izatea beharrezkoa den potentzialitatearen helburu horretarako [13].

Ibilgailuen elektrifikazioari dagokionez, hainbat aukera daude (ikusi 1.3. iru-



1.3. Irudia: Ibilgailu garrantzitsuenen arkitekturak, propulsio-sistemaren arabera [12].

dia) barne-errekuntzako motorrak (ICE) ordezkatzeko [14–20], besteak beste, bateriadun ibilgailu elektrikoak (BEV), entxufatu daitekeen ibilgailu elektriko hibridoa (PHEV), ibilgailu elektriko hibridoak (HEV), erregai-piladun ibilgailu elektrikoak (FCEV) eta erregai-piladun ibilgailu elektriko hibridoak (FCHEV). Gaur egun, fabrikatzaileek BEV eta PHEVekiko duten joera gailentzen da, eta badirudi etorkizun hurbilean joera hori mantendu egingo dela [14, 21]. Ibilgailu elektrikoaren merkaturatuen adibide batzuk jaso dira 1.1. taulan (guztiak BEV eta PHEV motakoak direla ikus daiteke).

EV gehienek bateria-paketeak dituzte, eta horien tentsio-mailak 300 V eta 420 V bitartekoak izan ohi dira; EV astunentzat, berriz, tentsio hori 800 V-era iritsi daiteke [22]. Hala ere, zenbait ikerketaren arabera [23–27], EV arinen baterien tentsio-mailaren joera aldatzea espero da, *DC bus*-a 800 Vko sistemetara¹ igoz. Aldaketa horren bidez, kable-eroaleen pisua nabarmen murriztea lor daiteke, korrante-maila erdia beharko baita potentzia-maila bera lortzeko [23]. Korrantearen murrizketa honek eroapen-galerak ere murriztu egingo lituzke, korranteak kuadratikoki eragiten baitu ($P = I^2R$) galera hauetan. Beraz, bateriaren tentsioa igoz gero, EVen eraginkortasuna hobetu egin daitekeela ondorioztatu daiteke.

¹ Adibidez, Porsche Taycan-a, ibilgailu elektrikoetan erabili ohi diren 400 Ven ordez 800 Vko tentsioa erabiltzen duen lehen ekoizpen-ibilgailua da.

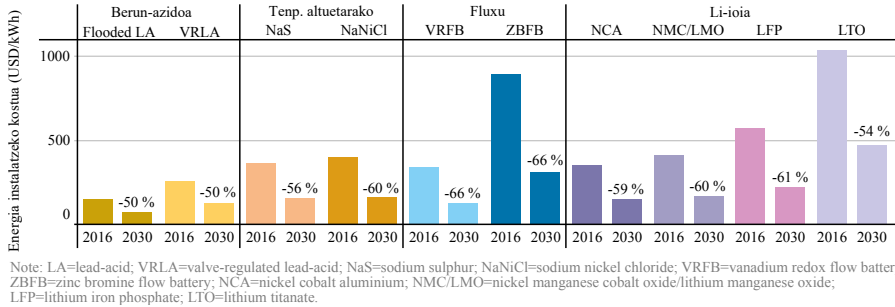
1.1. Taula: Ibilgailu elektrikoaren eredu komertzialen adibideak eta horien ezaugarriak (BEV eta PHEV).

| Fabrikatzailea | Modeloa | Potentzia (kW) | Mota | Bateria (kWh) | Bateria-tentsioa (V) | Autonomia (km) ^{a)} |
|----------------|---------------------|----------------|-------------|---------------|----------------------|------------------------------|
| BMW | i3 | 137 | BEV | 42.2 (Li-Ion) | 360 | 359 |
| | I3s | 137 | BEV | 42.2 (Li-Ion) | 360 | 344 |
| | iX3 | 213 | BEV | 74 (Li-Ion) | – ^{b)} | 360 |
| Mercedes-Benz | EQC | 304 | BEV | 80 (Li-Ion) | 405 | 409 |
| | EQV | 152 | BEV | 90 (Li-Ion) | – ^{b)} | 418 |
| Nissan | Leaf e+ | 162 | BEV | 62 (Li-Ion) | 384 | 385 |
| | Ariya | 225 | BEV | 87 (Li-Ion) | 320 | 500 |
| Porsche | Taycan 4S | 395 | BEV | 93,4 (Li-Ion) | 800 | 464 |
| Renault | Zoe | 101 | BEV | 52 (Li-Ion) | 346 | 390 |
| Tesla | Model S | 593 | BEV | 100 (Li-Ion) | 350 | 610 |
| | Model 3 | 635 | BEV | 75 (Li-Ion) | 300 | 530 |
| | Model X | 593 | BEV | 100 (Li-Ion) | 350 | 487 |
| | Model Y | 465 | BEV | 100 (Li-Ion) | 350 | 480 |
| Toyota | Rav4 ^{c)} | 228 | PHEV | 18 (Li-Ion) | 386 | 65 |
| | Prius ^{c)} | 101 | PHEV | 8.8 (Li-Ion) | – ^{b)} | 40 |
| Volkswagen | e-up | 62 | BEV | 32.3 (Li-Ion) | 307 | 258 |
| | e-Golf | 101 | BEV | 35.8 (Li-Ion) | 323 | 198 |
| | ID.3 | 152 | BEV | 82 (Li-Ion) | 323 | 549 |
| | ID.4 | 152 | BEV | 77 (Li-Ion) | – ^{b)} | 520 |
| | Golf GTE | 152 | PHEV | 13 (Li-Ion) | 345 | 40 |
| Passat GTE | 163 | PHEV | 13 (Li-Ion) | 345 | 55 | |

^{a)} *World harmonized Light-duty vehicles Test Procedure (WLTP)*: ibilgailu tradizionalen eta hibridoaren kutsadura, CO_2 aren emisioak eta erregai-kontsumoa zehazteko arau harmonizatua.

^{b)} Fabrikatzaileak ez du datua ematen.

^{c)} 2021ean merkatuan sartzeko prest dauden modeloak.

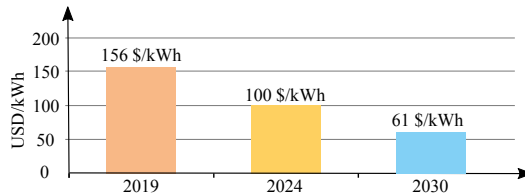


1.4. Irudia: ESS instalatuz energia-kostuak murrizteko gaitasuna, bateriamotaren arabera sailkatuta [28].

Bateriak: eguneko egoera eta etorkizuneko aukerak

Bateriek, EVak energiaz hornitzeaz gain, energia biltegitratzeko sistema (ESS) gisa ere jardun dezakete. Bateriak energia-eskari txikieneko orduetan (haraneko orduetan) kargatu daitezke eta, gero, energia hori eskari handiko aldietan bueatatu, eguneko energia-eskariaren kurba lauagoa egitea lortuz, horrek dakartzan onurekin. Energia Berriztagarriaren Nazioarteko Agentziaren (IRENA) arabera, energia-instalazioen kostuak 50 % eta 66 % artean murriztuko lirateke ESSak erabiliz gero (ikusi 1.4. irudia) [28].

Bateria-teknologiei dagokienez, ez dago konponbide bakar bat sistema guztietarako. Biltegitratze-teknologia bat aukeratzeko hainbat parametro hartu behar dira kontuan, hala nola, potentzia-dentsitatea, bizitza-denbora, eraginkortasuna eta funtzionamendu-tenperatura [29, 30]. ICEen aurkako lehian, bateriek funtsezko zeregina dute EVak lehiakorragoak egiteko [31, 32]. Testuinguru horretan, bateria-sistemetarako gehien erabiltzen diren materialak berun-azidoa [33–35], nikel-kadmioa [36, 37] eta litio-ioia [38–40] dira. Berun-azidozko bateriak teknologia helduenetako eta merkeenetako bat dira [28, 33, 41], baina ez dira litio-ioia bezain egokiak EV aplikaziorako, energia-dentsitate txikia baitute [34]. Hala ere, oraindik asko erabiltzen dira sare elektrikoa egonkortzeko [35]. Nikel-kadmiozko bateriek merkatu berezietarako balio dute, muturreko baldintza klimatikoetan (-40°C -raino) energia biltegitratzea lortzen baitute [36]. Azken hauek EVetan aplikatzeko eragozpen nagusiak prezio altua eta potentzia-dentsitate txikia dira [36]. Testuinguru horretan, litio-ioizko bateriak egonkortu dira industria-merkatuan (ikusi 1.1. taula), ibilgailu elektriko eta hibridoetarako baterien garapenean lortutako esperientzia zabalaz baliatuz. EVetarako



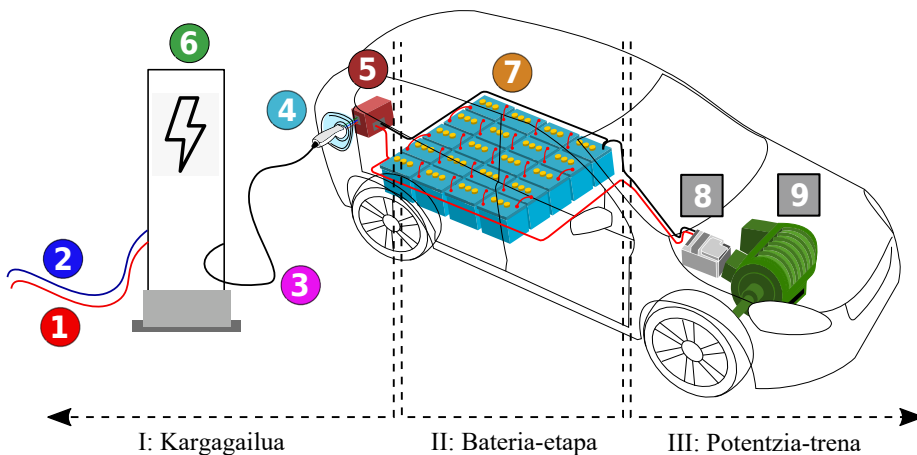
1.5. Irudia: Baterien batez besteko prezioaren proiektzioa [42].

litio-ioizko bateriak aukeratzeko arrazoiak, hauen bizitza erabilgarri luzea (ibilgailu baten bizi-ziklo oso bat iraun lezake [30]), energia-dentsitate handia eta karga-maila baxuetan aritzeko ahalmena [39, 40] dira. Gainera, teknologia hau erabilera anitzekoa da, eskalagarria, eta ia edozein potentzia-baldintzetara egokitu daiteke [30, 38].

Baterien Europako Fabrikatzaileen Elkartearen (EUROBAT) txostenak [30], aurreikuspen bat egiten du berun-azidozko, nikel-kadmiozko eta litio-ioizko bateriak 2030 urterako nola hobetuko diren estimatzeko (ikusi 1.2. taula). Aurreikuspen horren arabera, hiru bateria mota horiek joera dute eraginkortasuna hobetzeko (litio-ioizko bateriek % 95eko eraginkortasuna lortuko dute, berun-azidoak eta nikel-kadmioak baino % 5 eta % 10 handiagoa, hurrenez hurren), energia-dentsitateak handitzeko (litio-ioizko bateriek 1100Wh/l lortuko dute, beren lehiakide zuzenenak, berun-azidoak, baino 7 aldiz gehiago), birziklatze-gaitasunak areagotzeko (litio-ioia asko hobetzen da aspektu honetan, ia % 90eko birziklatze-gaitasunera iritsi arte) eta bizitza-eraginkorra luzatzeko (litio-ioizko bateriek 10.000 bizi-ziklo baino gehiago izango dute, lehiakideenaren bikoitza). Gaur egun, auto ekoizleek litio-ioizko bateriak hautatzen dituzte EVen produktiorako, eta badirudi etorkizun hurbilean joera hori ez dela aldatuko, beste bateria-teknologia batek ere ez baitu lortzen EVetan beharrezkoa den potentzia-dentsitate maila, prezio lehiakorretan. Gainera, Bloomberg-NEF nazioarteko erakundearen arabera [42, 43], baterien prezioen joera beheranzkoa da (ikusi 1.5. irudia), eta horrek litio-ioien bateria-teknologia are lehiakorragoa egingo du.

1.2. Taula: Bateriaren teknologiaren bilakaera 2030erako [30].

| Ezaugarriak | | Berunezkoak | | Nikalezkoak | | Litio-oiizkoak | |
|-------------------------|---------|------------------|------------------|-------------|-------------|-----------------------------------------------------------|----------------------------------------------------------------|
| | | Pb 2020 | Pb 2030 | Nix 2020 | Nix 2030 | Lithium Ion 2020 | Lithium-Ion 2030 |
| Mat. elektrokim. | Katodoa | PbO ₂ | PbO ₂ | B-NiOOH | B-NiOOH | NCM 111 NCM 523-622 LFP LMO LCO NCA | NCM 622-811 NCM811 HE-NCM HVS (Gen 3b) Solid State |
| | Anodoa | Pb, Pb+C | Pb, Pb+C | Cd, MH | Cd | LTO, C (G2a2b) | C+Si(5-10%) Si/C (Gen 3b) |
| Energia [Wh/kg] | Zelda | 24 – 48 | 30 – 60 | 28 – 50 | 30 – 55 | 60 – 250 | 300 – 450 |
| | Sistema | 23 – 45 | 35 – 55 | 24 – 43 | 38 – 50 | 20 – 140 | 80 – 400 |
| Energia [Wh/l] | Zelda | 60 – 105 | 80 – 150 | 55 – 80 | 60 – 90 | 140 – 580 | 650 – 1100 |
| | Sistema | 36 – 100 | 50 – 110 | 47 – 70 | 50 – 75 | 20 – 250 | 100 – 1000 |
| Potentzia [W/kg] | Zelda | 34 – 448 | 80 – 505 | 80 – 225 | 100 – 240 | 210 – 1800 | 450 – 1100 |
| | Sistema | 41 – 400 | 65 – 450 | 68 – 180 | 80 – 210 | 170 – 520 | 250 – 700 |
| Potentzia [W/l] | Zelda | 91 – 880 | 120 – 920 | 112 – 400 | 120 – 460 | 470 – 2200 | 800 – 2500 |
| | Sistema | 76 – 840 | 72 – 900 | 95 – 350 | 100 – 380 | 180 – 650 | 600 – 1200 |
| Bizitza erabilgarria | Zikloak | 200 – 2500 | 1000 – 4800 | 3000 | 4000 | > 3500 | > 10.000 |
| | Urteak | 10 – 25 | 10 – 25 | 20 | 20 | 10 | 15 – 25 |
| Op. Temp. (°C) | | -25 to + 50 | -25 to + 50 | -50 to + 60 | -50 to + 60 | 0 to + 45 charge -20 to + 60 disch. -30 to + 55 LTO | -30 to + 60 |
| | | | | | | | |
| Eraginkortasuna (%) | | 67 – 85 | > 90 | 70 – 85 | > 85 | > 90 | 95 |
| Birziklagarritasuna (%) | | 90 | 90 | 79 | 80 – 85 | 50 | 80 – 85 |



1.6. Irudia: Ibilgailu elektrikoak kargatzeko estazio bateko puntu estandarizatuak (①-⑥ blokeak), bateria etapa eta potentzia-trenaren etapa.

Ibilgailu elektrikoak: estandarrak, karga-moduak eta karga-estazioak

EVen eskaera gero eta handiagoa dela eta, karga-puntuak mundu osora hedatzen ari dira [1, 7, 8, 10]. Ondorioz, karga-estazioak arautu egin dira estandarren bidez. Testuinguru horretan, mundu-mailako erakundeek zehaztutako ibilgailuen kargarako zenbait estandar daude [44–47]: IEC, SAE, IEEE, GB/T, CHAdeMO, besteak beste.

EV baten etapa elektrikoak erakusten ditu 1.6. irudiak: (I) karga-eta, (II) bateriaren etapa (⑦ bateria-sistema, (I) karga-etapak kargatzen duena) eta, azkenik, (III) potentzia-trena (⑧ potentzia-bihurgailuak eta ⑨ motor elektrikoak osatua, gurpiletara potentzia transmititzearen arduraduna). Karga-etapari (I) dagokionez, honako estandarizatutako puntu hauek daude: ① sarearen potentzia-konexioa, ② sarearen kudeaketa-sistemaren komunikazioak, ③ EV kargatze-kableak (bi atal hartu behar dira kontuan: energia-atala eta komunikazio-atala), ④ ibilgailuaren konektoreak eta ⑤ Bateria kudeatzeko sistema (*Battery Management System (BMS)*, ingelesez). Azken hau *onboard* kargagailu bat izan daiteke, edo *offboard* kargagailu baten bidez kargatzen bada (⑥ karga-estazioa, bera, izan daitekeena), bateria kudeatzaile huts bat.

Estandarren (1.6. irudiko ① - ⑥ puntuak) laburpen bat ikusi daiteke 1.3. taulan, herrialdeka sailkatuta. European eta Estatu Batuetan, hurrenez hurren,

1.3. Taula: EV karga-estazioetarako estandar garrantzitsuenen laburpena [47].

| | Fig. 1.6. stage | Nazioartekoa | America | Japon | China | Taiwan |
|---------------------|-----------------|-------------------------------------------|------------------------------------------------|-----------------------------------|----------------------------------------------|----------------------------|
| Baldintza orokorrak | ① | IEC 61851-1 | NEC 625 SAE J1772 UL 2231-1 UL 2231-2 | JEVS G109 | GB/T 18487.1 | CNS 15511-2 CNS 15511-3 |
| Komunikazioak | ② | IEC 61851-24 | SAE J2293-1 SAE J2293-2 SAE J2847-2 | CHAdcMO | GB/T 27930 | - |
| EV konekzioa | ③ | IEC 61851-21 | - | - | GB/T 18487.2 | CNS 15511-3 |
| Entxufeak & kableak | ④ | IEC 62196-1 IEC 62196-2 IEC 62196-3 | SAE J1772 UL 2251 | JEVS C601 JEVS G105 | GB/T 20234.1 GB/T 20234.2 GB/T 20234.3 | CNS 15511-2 CNS 15511-3 |
| AC kargagailua | ⑤ | IEC 61851-22 | UL Sub. 2594 | - | GB/T 18487.3 | CNS 15511-3 |
| DC kargagailua | ⑥ | IEC 61851-23 | UL 2202 | JEVS G101 JEVS G103 CHAdcMO | GB/T 18487.3 | CNS 15511-3 |

Even karga-moduak IEC 62196 (konektore elektrikoek eta karga-moduen multzorako nazioarteko estandarra), IEC 61851 (ibilgailu elektrikoek sistema eroaleetarako nazioarteko estandarra) eta SAE J1772 (baldintza orokor fisikoak, elektrikoak, komunikaziokoak eta errendimendukoak) estandarretan zehazten dira. Erregulazio horiek eguneratzen ari dira teknologia helduago egin ahala, eta potentzia handiagoetara egokitzen ari dira karga-denbora laburragoak lortzeko².

EVak kargatzeko moduei dagokienez (ikusi 1.4. taula), bateria kargatzeko modu ezagunenetako batzuk IEC 61851, IEC 62196 eta SAE J1772 estandarretan deskribatzen dira. Kargagailuen potentziak 4 kW (IEC 61851-1:2020, 1. modua) eta 600 kW (IEC 61851-23:2014, 4. modua) artekoak dira. Horrek erakusten du erregulazio horiek kargagailu-sorta zabala hartzen dutela. Tesi honetan arreta berezia jarri nahi zaie kargagailu azkarrenei (120-600 kW), autonomia handirik ez duten EV jabeen antsietatea murriztuko bailieteke kargagailu mota hauek karga-estazio publikoetan eskuragarri izateak [24, 49–55]. Alde horretatik, EV ekoizle asko karga azkarreko sistemak garatzen ari dira. Horietako batzuk 1.5. taulan ageri dira³.

²Phoenix Contact IEC 62196-3-1 estandarra betetzen duten konektoreak egiten ari da. Konektore horiek 1.000 V eta 500 A-ri aristen dira, eta, hala, 500 kW-eko potentziak lortzen dituzte; potentzia horiek bizkortu egingo lukete Even karga-denbora [48].

³Fabrikatzaile horiek emandako datuen arabera, energia-bihurgailuek %94-95eko eraginkortasuna dute.

1.4. Taula: EV karga-sistemetan aplikatutako estandar garrantzitsuenetarako karga-moduak.

| Estandarrak | Karga-moduak | Tentsioa (V) | Korrontea (A) | Potentzia (kW) |
|-------------------|---------------------------|---------------------------|------------------|----------------|
| IEC 62196-2:2016 | 1 | 250 V_{AC} | 32 | 8 |
| | 2 | 250 V_{AC} | 70 | 17,5 |
| | 2 ^a | 480 V_{AC} | 63 | 30,24 |
| | 3 | 250 V_{AC} | 70 | 17,5 |
| | 3 ^a | 480 V_{AC} | 63 | 30,24 |
| IEC 62196-3:2014 | 4 (AA) ^b | 600 V_{DC} | 200 | 120 |
| | 4 (BB) ^b | 750 V_{DC} | 250 | 187,5 |
| | 4 (EE) ^b | 600 V_{DC} | 200 | 120 |
| | 4 (FF) ^b | 1000 V_{DC} | 200 | 200 |
| | 4 ^c | 1000 V_{DC} | 500 | 500 |
| IEC 61851-1:2020 | 1 | 250 V_{AC} | 16 | 4 |
| | 1 | 480 V_{AC} ^a | 16 | 7,68 |
| | 2 | 250 V_{AC} | 32 | 8 |
| | 2 | 480 V_{AC} ^a | 32 | 15,36 |
| | 3 ^d | 250 V_{AC} | 32 | 8 |
| 3 ^d | 480 V_{AC} ^a | 32 | 15,36 | |
| IEC 61851-23:2014 | 4 | 1500 V_{DC} | 300 ^e | 450 |
| SAE J1772 | 1 | 120 V_{AC} | 16 | 1,92 |
| | 2 | 240 V_{AC} | <80 | 19,2 |
| | 3 | 240 V_{AC} | >80 | 19,2 |
| | 1 | 450 V_{DC} | 80 | 36 |
| | 2 | 450 V_{DC} | 200 | 90 |
| | 3 | 600 V_{DC} | 400 | 240 |

^a Sare trifasikoa.

^b Karga-puntuekin erabilia, hauen arabera: AA, BB, CC eranskinak IEC 61851-23:2014.

^c *Phoenix Contact - Charging technology for electro-mobility* (IEC 62196-3-1).

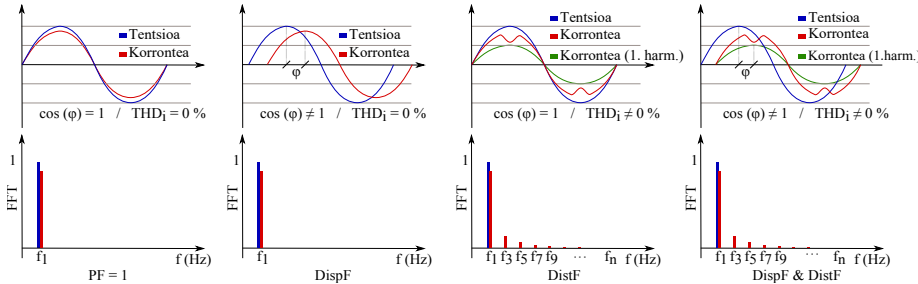
^d 3-Modua: EV etengabe AC elikadura-sare batera konektatuta dagoen AC elikadura-sistema bati, AC elikadura-sistematik EV bitarteko kontrol-funtzio pilotuarekin.

^e IEC 61851-23:2014-ko D.1 taulatik ateratako datua.

1.5. Taula: Kargagailu azkar batzuen ezaugarriak, fabrikatzaileen arabera.

| Fabrikatzailea | Modeloa | Potentzia (kW) | Eragink. (%) | PF | Tentsioa (V_{DC}) | Korrontea (A_{DC}) |
|----------------|--------------|----------------|-----------------|-----------------|-----------------------|------------------------|
| ABB | Terra 54 HV | 50 | 94 | 0,96 | 920 | 125 |
| Circontrol | Raption 50 | 50 | 95 | 0,98 | 500 | 125 |
| Ingeteam | Rapid 50 | 50 | 94 | 0,98 | 500 | 125 |
| Enel X | JuicePump 50 | 50 | 95 | 0,97 | 500 | 120 |
| Setec Power | Setec Power | 150 | - ^{a)} | 0,99 | 400 | 300 |
| Efacec | HV350 | 160 | 95 | - ^{a)} | 920 | 1750 |
| EVBox | Ultroniq V2 | 350 | 95 | 0,98 | 950 | 368 |

^{a)} Fabrikatzaileak ez du datu hau ematen.



1.7. Irudia: Potentzia-faktoreari eragiten dioten distortsioak: desplazamendu-faktorea (DispF) eta distortsio-faktorea (DistF).

Karga-estazioaren beste ezaugarri garrantzitsu bat potentzia-faktorea (PF) da. Ibilgailu elektrikoaren kargagailu perfektu batek, unitateko potentzia-faktorearekin ($PF \simeq 1$) kontsumitu beharko luke korrontea saretik. Potentzia-faktorearen distortsio-maila distortsio-faktoreak ($DistF$) (distortsio harmoniko totalaren (THD) efektua neurtzen du), eta desplazamendu-faktoreak ($DispF$), $\cos(\Phi)$ ere deitzen zaiona (korrontearen lehenengo harmonikoaren eta sareko tentsioaren fase-desplazamenduaren eragina neurtzen ditu) zehazten dute. Potentzia-faktoreari eragiten dioten distortsio-motak 1.7. irudian ageri dira. Potentzia-faktorearen adierazpena (1.1) garatuz, eta 1.5. taulako bihurgailuetan $\cos(\Phi) = 1$ dela onartuz, karga-estazioen fabrikatzaileek emandako datuetatik (PF a 0,96tik 0,99ra) abiatuta, ondorioztatu daiteke THD_i -ak %29tik %14ra bitarteko balioa dutela.

$$PF = \frac{P}{S} \Rightarrow PF = DistF \cdot DispF = \frac{1}{\sqrt{1 + THD_i^2}} \cdot \cos(\Phi) \quad (1.1)$$

Harmonikoen analisiari eta potentzia-faktorearen kalkulari buruzko informazio gehiago bildu da A. eranskinean.

Amaitzeko, aipagarria da, zenbaterainoko interesa erakarri duen EVak komunitate zientifikoan. Alde horretatik, ibilgailuen fabrikatzaileek eta erabiltzaileek ere joera argia dute EVetarantz, eta, aurreikusi daiteke hurrengo urteetan ibilgailu horien kopurua handitu egingo dela. Ezen flota guztia energiaz hornitzeko, beharrezkoa izango da sortutako energia totala handitzea. Gainera, sare elektrikoaren kalitatea bermatzeko, energia hori modu egokian kontsumitu beharko da. Izan ere, sareko sarrerako bihurgailu horiek behar bezala funtzionatzen badute,

guztiek $PF \simeq 1$ helburua lortzen, sare elektrikoa soilik potentzia aktiborako dimentsionatu ahal izango da, eta ez da alferriko energiarik sortu beharko potentzia erreaktiboa hornitzeko. Testuinguru horretan, garrantzi handia dute sarrerako energia-bihurgailuek. EVak kargatzeko erabiltzen diren bihurgailuek geroz eta potentzia-maila altuagoak dituzte, eta baita tentsio-maila altuagoak ere. Bihurgailuen potentzia-dentsitatea ere geroz eta parametro kritikoagoa da, eta hau handitzeko tekniketako bat kommutazio-maiztasuna igotzea da, horrela osagai pasiboak txikitu ahal baitira, bihurgailu osoaren tamaina txikituz.

Etorkizun hurbilean izango den EVen merkatuaren eboluzioa ikusita, eta gaur egun fabrikatzaileek eskaintzen dituzten kargagailuen ezaugarriak ikusita, hobekuntza-hobi bat aurkezten da. $PF \simeq 1$, eta potentzia- eta tentsio-maila handiko bihurgailuen beharrezana aurreikusi daiteke.

1.3. Helburuak

Tesiko gaiaren testuinguruan aipatutako gabeziei irtenbidea bilatzeak, EVaren hedapenarekin laguntzeaz gain, sare elektrikitik kontsumitutako energiaren potentzia-kalitatea hobetuko lukeela kontuan hartuta, hauek dira tesi honetako helburu nagusiak:

- Irteerako tentsio-maila handia eta sareko energia-kontsumoaren potentzia-faktore unitarioa ($PF \simeq 1$) duten artezgailu trifasikoen artearen egoera ezagutzea.
- Topologia egokiena aukeratzeko konparaketa bat egitea.
- Kommutazio-maiztasuna igotzean eraginkortasun-maila ona bermatuko duen konfigurazio bat proposatzea aukeratutako topologiarako.
- Aurreko puntuetako helburu guztiak uztartzen dituen prototipo bat diseinatu, eta proba-bankadan probatzea.

1.4. Dokumentuaren egitura

Tesiak zazpi kapitulu eta eranskin bakarra ditu. Dokumentuaren hasierako egitura, sarrerako kapituluaz gain, hiru kapituluz osatzen da, non alde batetik (2. kapituluan) artearen egoera eta topologiaren konparaketa egiten diren, ondoren (3. kapituluan) *Vienna 6-switch* artegailua-ren ezaugarriak eta kontrola azaltzen diren, eta azkenik (4. kapituluan) silizio karburozko eta silizozko erdieroaleen ezaugarriak konparatzen diren.

- ② **Ibilgailu elektrikoaren karga azkarreko topologiak:**
Kapitulu honetan ibilgailu elektrikoaren karga azkarrerako baliagarriak diren topologiaren bilaketa eta konparaketa egin da. Analisi horretan, eraginkortasunaz gain, sarrera eta irteerako uhinen kalitatea eta osagaien arteko galaren banaketa izan dira kontuan.
- ③ ***Vienna 6-switch* artezgailua:**
Kapitulu honetan *Vienna 6-switch* artezgailuaren ezaugarri nagusiak, kontrola eta modulazioa deskribatu dira.
- ④ **Silizio karburozko (SiC) gailuak potentzia-elektronikan:**
Kapitulu honek silizozko (Si) gailuak eta karburo silizozko (SiC) gailuak dituzten ezberdinasunak deskribatzen ditu, eta merkatuaren joera erakusten du SiC gailuetarantz, hauek dituzten ezaugarrien abantailak aprobetxatzeko asmoz.

Ondoren dokumentua bi kapitulu nagusitan banatzen da. Lehenengo kapituluak *Vienna* artezgailua hobetzeko proposamenak biltzen ditu lau azpiatal ezberdinetan:

- ⑤.1 **Zelda kontzeptua:**
Hautatuko *Vienna* topologiak duen abantaila nagusietako bat konmutazio-zeldak modu independentean diseinatzeko aukera da. Modu horretan konmutazio azkar eta garbiak lortzea ahalbidetzen da. Atal honek zelda horiek deskribatzen ditu.
- ⑤.2 **Konfigurazio posibleak:**
Topologia gehienetan inplementatu ahal diren konfigurazio posibleak (paralelizazioa eta *interleaving-a*) *Vienna 6-switch* artezgailuan nola inplementa litezkeen azaltzen da. Gainera, konfigurazio hauek erabiltzean lortzen diren emaitzak simulatu dira.

- **⑤.3 *Push-pull* anizkoitza:**
Atal honetan SiC MOSFETen erabileran oso tipikoa den paralelizazioan sortzen diren arazo batzuk jorratzen dira, zehazki sinkronizazioa eta diseinua. Kapitulu honetan aurkezten den proposamenak potentzia atala eta *driver* atala desakoplatzen ditu diseinua egiterakoan, hau asko erraztuz. Gainera, hau guztia sinkronizazioa mantenduz egin daitekeela frogatzen da.
- **⑤.4 RLC iragazki sintonizatua:**
Atal honetan SiC MOSFETen konmutazio-abiadura bizkorren ezaugarria hobeto aprobeztatzen laguntzen duen proposamena egin da. Horretarako, MOSFETetan derrigor konpondu behar diren oszilazioak azaltzen direnean, ateko erresistentziak jarri beharrean, ateko tentsioaren (v_{GS}) puntuan, oszilazio maiztasunari dagokion RLC iragazki sintonizatu bat erabiltzea proposatzen da.

Bigarren kapitulu nagusiak, *Vienna 6-switch* artezgailuaren inplementazioa deskribatzen du eta lortutako emaitzak erakusten ditu:

- **⑥ *Vienna* artezgailuaren inplementazioa:**
Kapitulu honetan, *Vienna 6-switch*-aren inplementazioa nola gauzatu den eta probak nola egin diren deskribatu da, ondoren lortutako emaitzak erakutsiz. Probak konmutazio-maiztasun ezberdinetan egin dira.

2. Kapitulu

Ibilgailu elektrikoaren karga azkarrerako topologiak

Doktorego-tesi hau garatzeko egin den artearen egoera jorratuko da jarraian, non ibilgailu elektrikoaren karga-aplikaziorako baliagarriak diren artezgailuen topologiak aztertzen diren. Bibliografia-esparrua zabalegia dela aurreikusten da; hortaz muga batzuk ezartzen dira azterketa bideragarria egiteko:

- Analizatutako artezgailuek Distortsio Harmoniko Totala (*THD*, *Total Harmonic Distorsion*, ingelesez) % 5ekoa baino txikiagoa izan beharko dute, sareko korronea ia guztiz sinusoidala izatea bermatzeko. Horrek potentzia-faktorea (*PF*) % 99a baino handiagoa izatea bermatuko du, betiere sareko korronea eta fase-neutro tentsioa fasean mantenduz gero ($\Phi = 0^\circ$).

$$PF = \frac{1}{\sqrt{1 + THD_i^2}} \cos(\Phi) \quad (2.1)$$

- Aplikazioak potentzia noranzko bakarrean behar duenez, potentzia kontsumituz soilik, ezer sarera bueltatu gabe, bilaketa noranzko bakarreko artezgailuetara bideratuko da.
- Irteerako tentsioa sarrerako sare trifasikokoa baino altuagoa izan behar da, beraz, artezgailua *Boost* motakoa izan beharko da.

- Artezgailuek irteerako tentsio balio finko eta erregular bat bermatu behar-ko dute, kiskurdura txikiarekin.

Tesi honetan aztertzen den aplikazioak, energia soilik kontsumitu egiten duten sistemen ezaugarriak ditu, hau da, sare trifasikotik energia hartu eta kargan kontsumitu egiten du, inoiz energia sarera bueltatu gabe. Horregatik noranzko bakarreko konfigurazio-topologiak aztertuko dira soilik, salbuespen batekin, bi maila eta sei etengailuko artezgailua. Hau, noranzko biko topologia izanik, aplikazio honetarako topologia baliogarria izateaz gain, merkatuan ondo finkatuta dagoen bi mailatako bihurgailu konbentzionalen teknologia bat da. Horrek, konparaketan erreferentzia modura erabiltzeko egokia bihurtzen du.

Atal honetan noranzko bakarreko hiru fasetako artezgailuen deskribapena, analisia eta sailkapena egingo da, azkenik EVaren karga-aplikaziorako artezgailu aiprosenaren hautaketa egiteko. Lehenik eta behin noranzko bakarreko artezgailu trifasikoen sailkapen orokor bat egingo da, ondoren soilik aplikaziorako baliagarriak diren topologietan sakonduz.

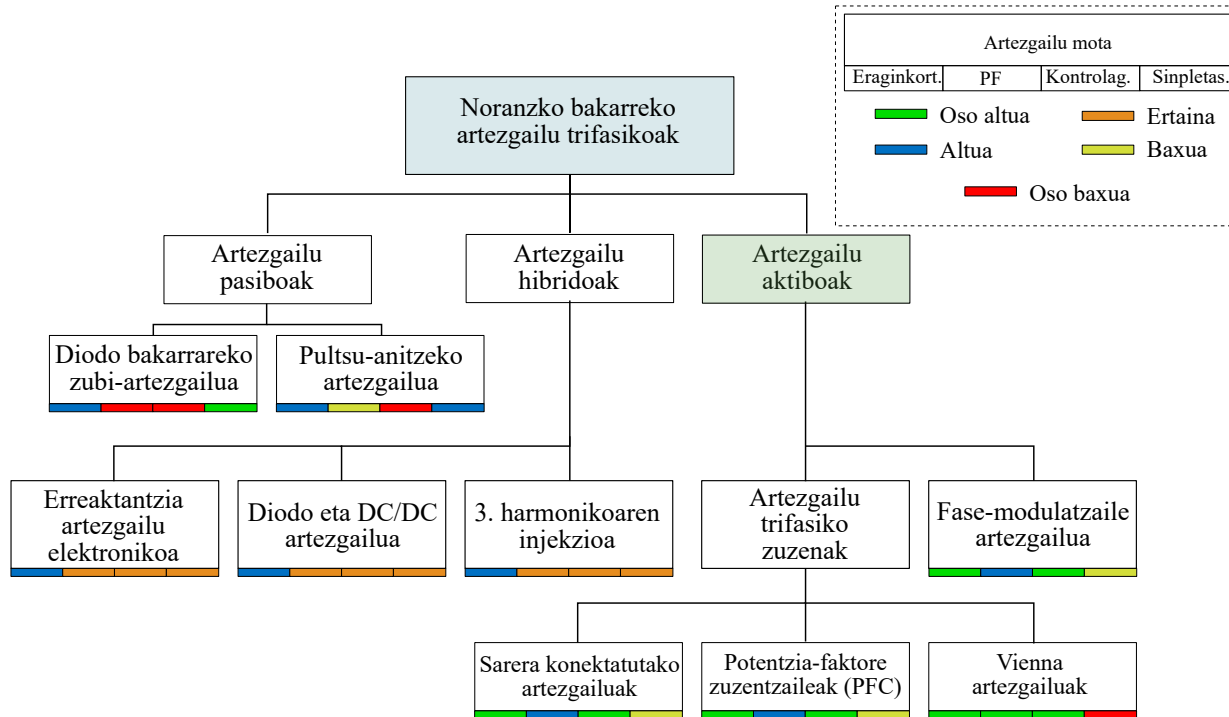
2.1. Noranzko bakarreko artezgailu trifasikoak ibilgailu elektrikoaren karga azkarrerako

Sailkapen orokorra egiteko abiapuntutzat 2013. urtean J. W. Kolarrek argitaratutako *The essence of three-phase PFC rectifier system* artikuluan azaltzen den sailkapena erabili da [56]. J. W. Kolar Zuricheko *ETH Zurich - Power Electronics Systems Laboratory* ikerketa-taldeko burua da. Gaur egun, potentzia-elektronikaren esparru honetan, talde aktiboen artean daude. Sailkapen horretan hainbat bihurgailu mota azaltzen dira, zuhaitz-motako 2.1. irudian ikusi daitekeen bezala.

Karga azkarreko estazioek, kasu gehienetan noranzko bakarreko artezgailuak behar dituzte larrialdi-karga azkarra behar duten erabiltzaileentzat, etxean kargagailu elektrikorik ez dutenentzat ¹ eta ibilbide luzeetan dauden bezeroentzat [57–59]².

¹Estatu Batuetako etxeen jabeen % 37k ez dute EVa kargatzeko gara jerik.

²Normalean karga azkarra behar duten ibilgailuek ez dute energia-hornitzaile gisa jarduten sarera, eta, beraz, kargagailuak ez du bi noranzkoko izan behar. Epe laburrean ez da aurreikusten beharizan hau.



2.1. Irudia: Noranzko bakarreko artezgailu trifasikoen sailkapena ([56, 60]-tik egokituta).

Testuinguru horretan, erabiltzaile-mota horren energia-eskariaren baldintzak betetzen dituzten artezgailuak hiru talde nagusitan bana daitezke (ikusi 2.1. irudia)[56, 60]: artezgailu (1) pasiboak, (2) hibridoak eta (3) aktiboak:

1. **Artezgailu pasiboak**, konplexutasun txikiko artezgailuak dira, eta bi multzotan banatu daitezke: diodo bakarreko zubiak eta pultsu anitzeko artezgailuak. Horrelako topologiek inplementazio erraza ahalbidetzen dute, baina, aldi berean, kontrolagarritasun ezagatik ez oso kalitate oneko sarrera- eta irteera-tentsioak lortzen dira [56, 61, 62], eta horrek baterien zahartzea okerrago egiten du [63–65].
2. **Artezgailu hibridoak** azpimultzoan daude literaturan agertzen diren noranzko bakarreko artezgailu trifasiko asko. Hiru multzotan banatzen dira: erreaktantzia oinarritutakoak, diodoak eta DC/DC bihurgailuak konbinatuz osatuak eta, azkenik, hirugarren harmonikoaren injekzioan oinarritutako topologiak [56]. Oro har, bihurgailu hibridoak gailu pasiboz (kondentsadoreak eta induktoreak) eta aktiboz osatuta daude; azken horiek kopuru txikitik daude, eta kontrolagarritasun-maila handitzea lortzen dute, artezgailu pasiboekin alderatuta. Hala ere, topologia hibridoek emandako irteera-tentsioen kalitatea oraindik ezegokia izan daiteke EVaren kargako aplikaziorako [56].
3. **Artezgailu aktiboak** oso kontrolagarriak dira, eta eraginkortasun bikainak lortzen dituzte (% 99raino)[66–72]. Hauen erabilerarekin, sarrerako korrante hobeak ($\text{THD}_i < \% 5$) eta irteerako tentsio zuzenagoak lortu ahal dira. Bihurgailu horiek osagai aktibo gehiago erabiltzen dituzte artezgailu pasiboekin eta hibridoekin alderatuta. Artezgailu aktiboak bi azpitaldetan bana daitezke: sistema modularrak eta zuzenak. Topologia horiek asko erabiltzen dira industrian; hala ere, gutxitan erabiltzen dira EVaren karga-aplikaziorako. Izan ere, gaur egun (aurreko ataleko 1.1. taulan ikus daitekeenez), EVek 300-400 V inguruko bateria-sistemak erabiltzen dituzte. Hala ere, lan batzuen arabera [23–27], joera aldatu egingo dela aurreikusi daiteke, 800 V-eko bateria-sistemetara joz. Testuinguru horretan, *boost* motako noranzko bakarreko artezgailu trifasiko aktiboen topologiak aztertzen ditu lan honek, potentzia eta tentsio altuko mailak behar baitira 800 V bateria-sistemetarako joera-aldaketari aurre egiteko [23–27]. Topologia hauek EVen karga-estazioetarako egokiak izan ahal dira, eta horregatik aukeratu dira lan honetan konparaketa gauzatzeko.

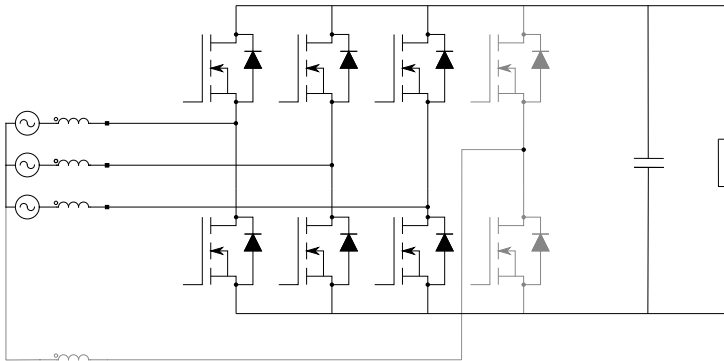
Literatura zientifikoak zenbait artezgailu trifasiko aktibo proposatzen ditu, honela sailka daitezkeenak (ikusi 2.1. irudia): sarera konektatutako artezgailuak

[73–87], potentzia-faktore zuzentzaileak (PFC) [88–98] eta *Vienna* artezgailuak [99–109].

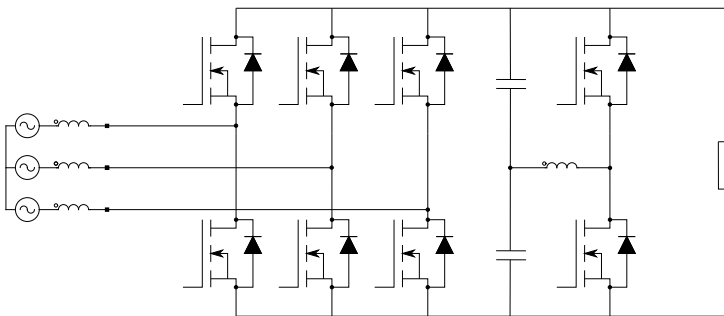
- Sarera konektatutako bihurtailuak (2.2. eta 2.3. irudiak): familia horren oinarritzeko bihurtailua bi mailako alderantzgailu trifasiko konbentzionala da, D eta Q osagaietako sare-korrontea erregulatzeko gai dena, maiztasun handiko modulazio-indizearekin (kommutazio-maiztasun handia) eta D ardatzeko korronte-osagaiaren kontsigna (korronte errektiboa) nulua egiten duena. Mota horretako topologiaren ezaugarri nagusia da potentzia osoa erdieroaleek kudeatzen dutela kommutazio-maiztasun altuan. Erdieroaleei modu erresonantean kommutatzeko aukera ematen dieten zenbait aldaketa daude, kommutazio-galerak minimizatzeko, baita *THD*a eta potentzia-faktorea hobetzeko kontrol- eta modulazio-metodo ugari ere. Halaber, hiru mailako alderantzgailuek diseinu trinkoagoak eta eraginkorragoak egiteko aukera ematen dute, modulazioaren konplexutasun handiagoaren kontura.

Simpleak izan arren, *Buck* eta *Boost* artezgailu trifasikoak (ikus 2.4. irudia) baztertu egin dira, bihurtailuaren sarreran sare-korronteen distortsioa dela eta.

- *Vienna* motako artezgailuak (figura 2.5.): *Vienna* artezgailutik eta antzekoetatik eratorritako artezgailuak diodozko artezgailu batean oinarritzen dira. Artezgailu hori goi-maiztasunean kommutatutako etengailuekin osatzen da, eta energia-frakzio bat kudeatzen dute fase-korronteen uhin-forma doitzeko, *THD* murriztua eta *PF* handia lortzeko. Familia horrek potentziaren zati bat maiztasun altuetan jarduten duten erdieroaleen bidez kudeatzen du, inbertsore trifasikoan oinarritutako bihurtailuek baino eraginkortasun-maila hobekia lortzeko. Era berean, erdieroaleak modu erresonantean kommutatzeko aukera ematen duten zenbait aldaketa daude, kommutazio-galerak txikiagotzeko, bai eta hainbat kontrol- eta modulazio-metodo ere, *THD* murrizteko eta potentzia-faktorea hobetzeko.
- Maiztasun handiko transformadorea eta irteera-tentsioaren erregulazioa etapa bakar batean duten bihurtailuak (2.8. irudia). Topologia horiek osagai erdieroaleen kopurua murriztu badezakete ere, kargaren ezaugarriak direla eta, zaila izan daiteke irteera-busaren tentsioa erregulatzeko eta egonkortzeko, behar den zehaztasunarekin. Beraz, azterketa bibliografikoan agertzen diren arren, oraingoz ez dira aplikazio honetarako aukera bideragarritzat hartzen.

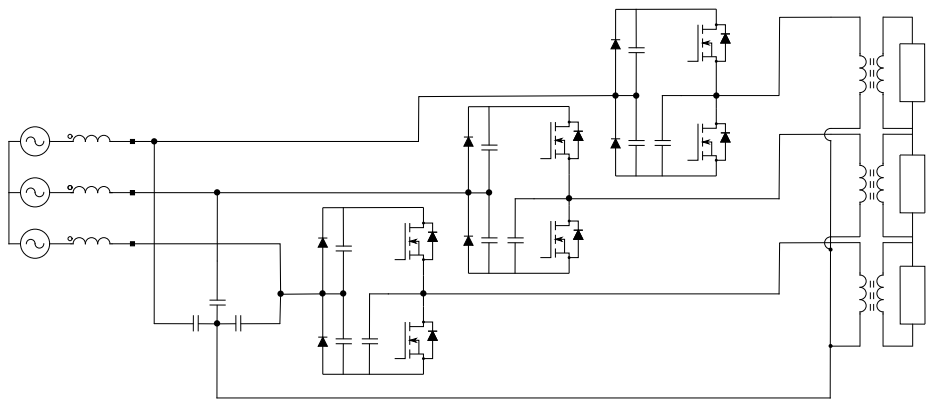


(a)

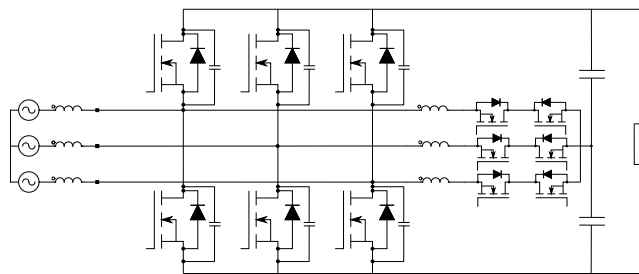


(b)

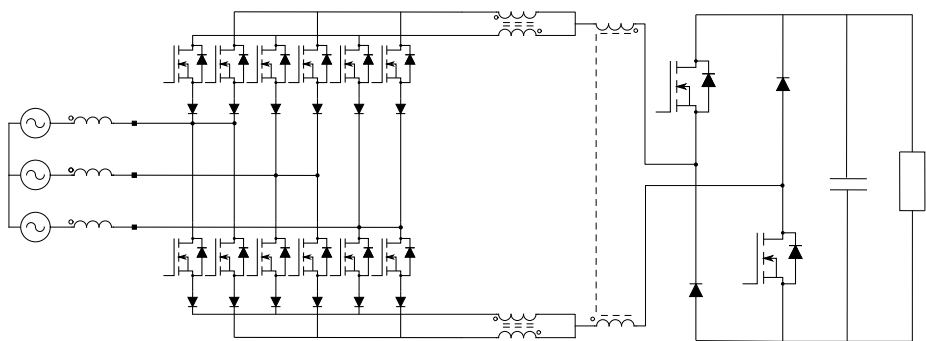
2.2. Irudia: Inbertsore motako topologiak (1).



(a)

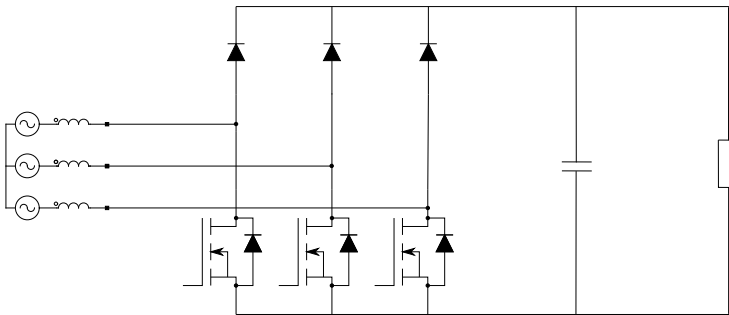


(b)

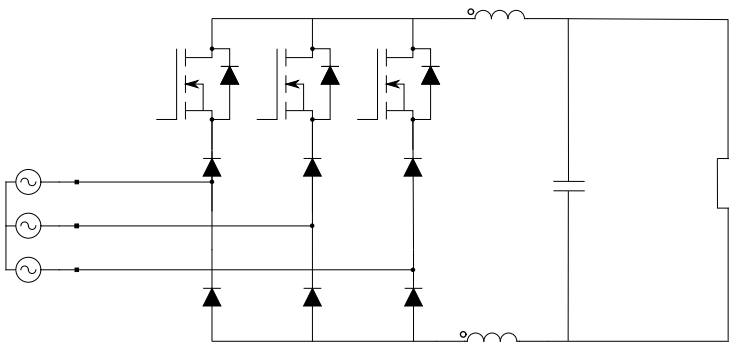


(c)

2.3. Irudia: Inbertsore motako topologiak (2).



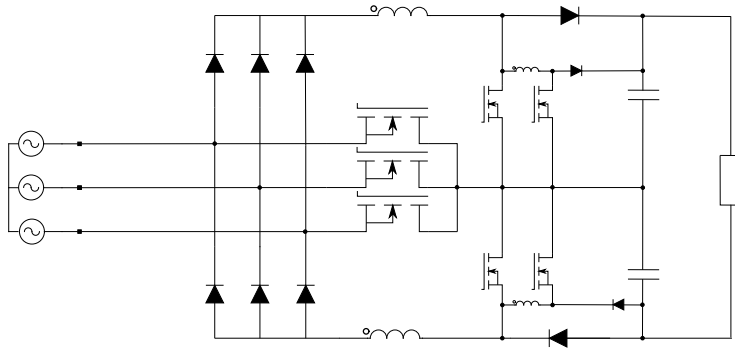
(a) Inversor Boost.



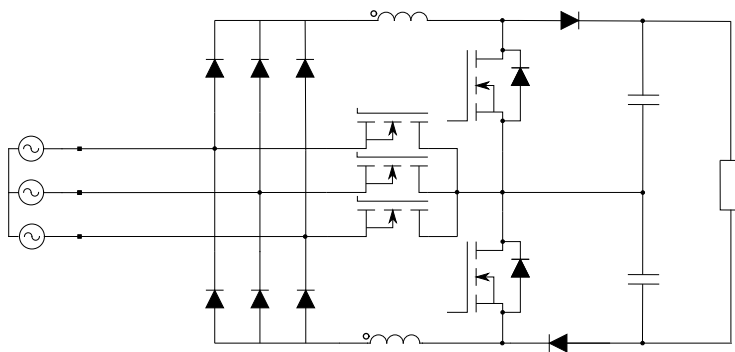
(b) Inversor Buck.

2.4. Irudia: *Boost* eta *Buck* motako inbertsore topologiak.

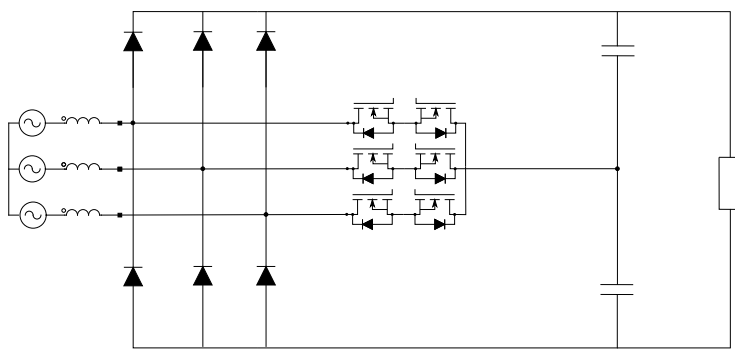
2.1. Noranzko bakarreko artezgailu trifasikoak ibilgailu elektrikoek
karga azkarrerako



(a)

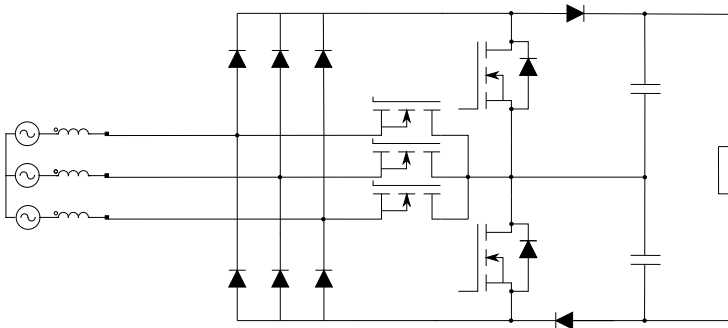


(b)

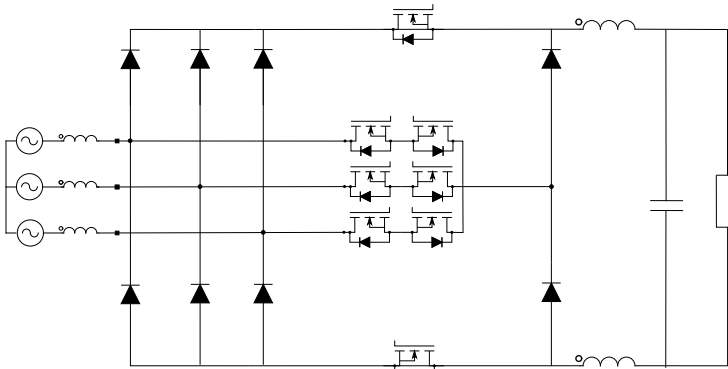


(c)

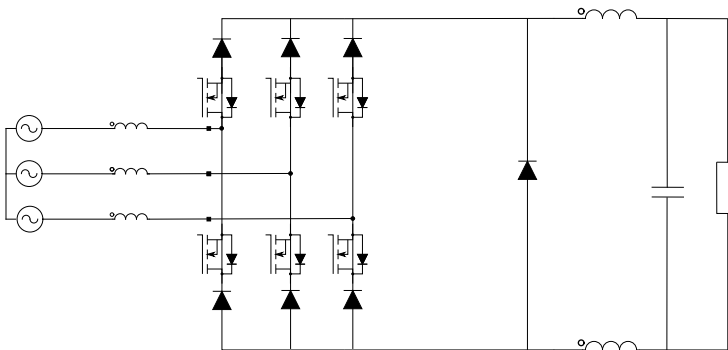
2.5. Irudia: *Vienna* motako bihurgailuak (1).



(a)

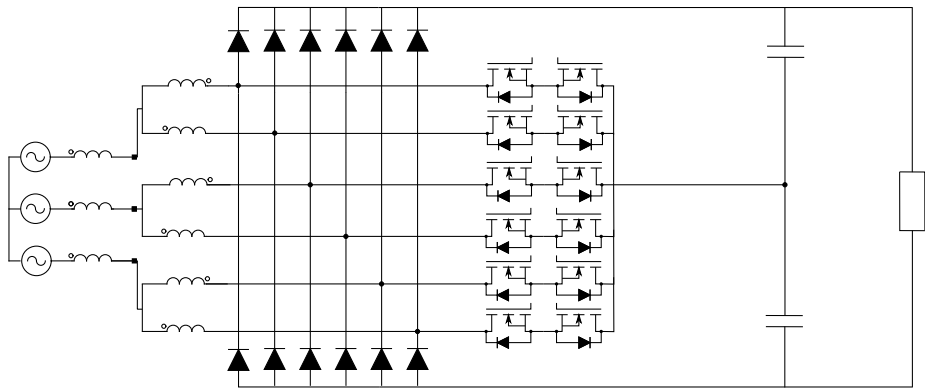


(b)

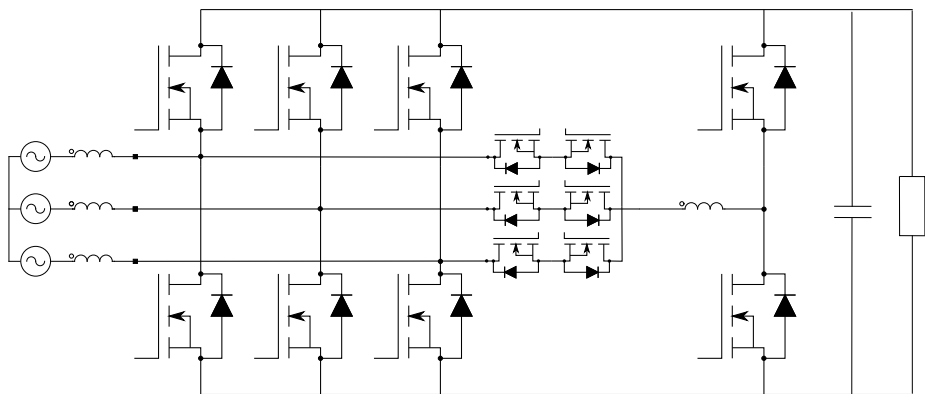


(c)

2.6. Irudia: Vienna motako bihurgailuak (2).

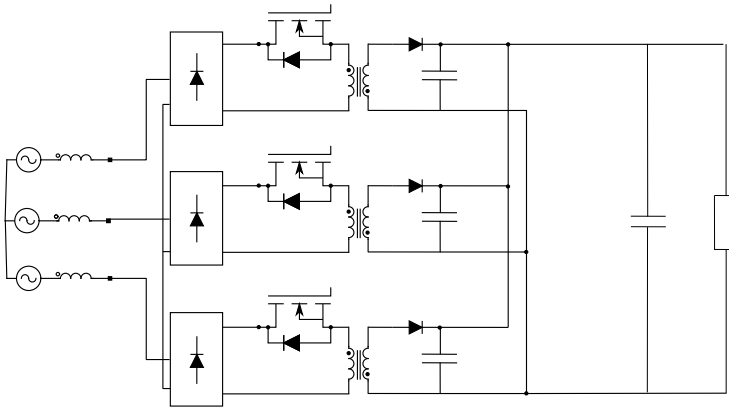


(a)

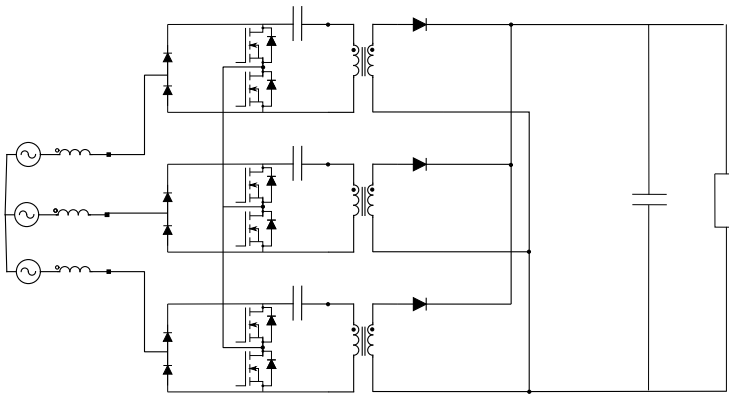


(b)

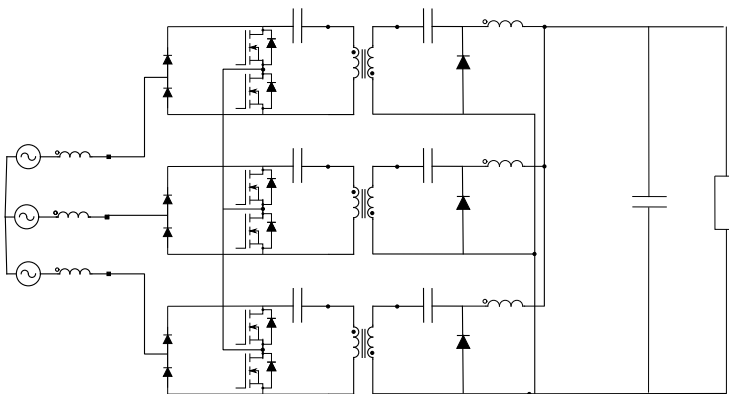
2.7. Irudia: *Vienna* motako bihurgailuak (3).



(a)

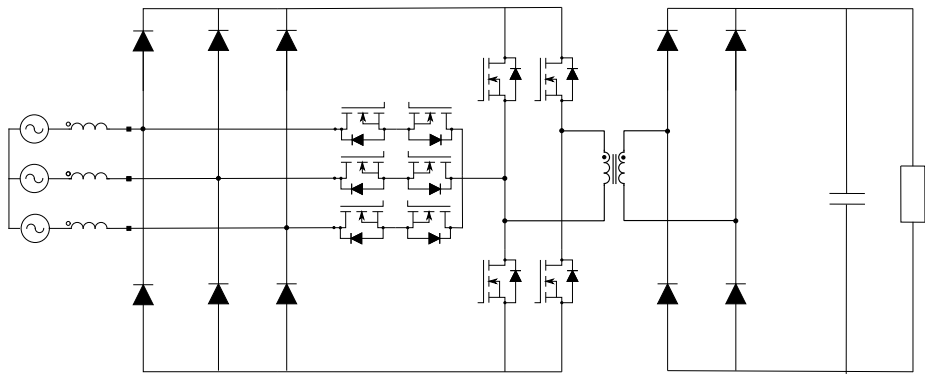


(b)

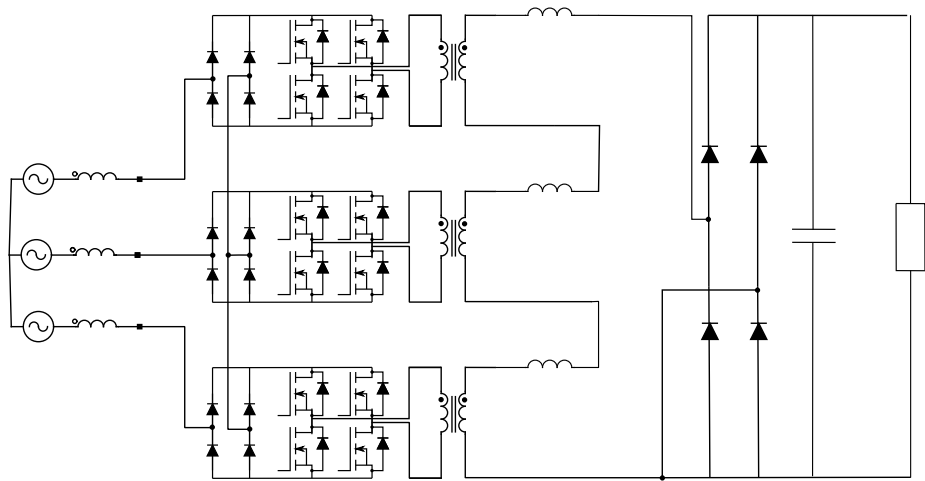


(c)

2.8. Irudia: Isolamendu transformadoredun PFC bihurigailuak (1).



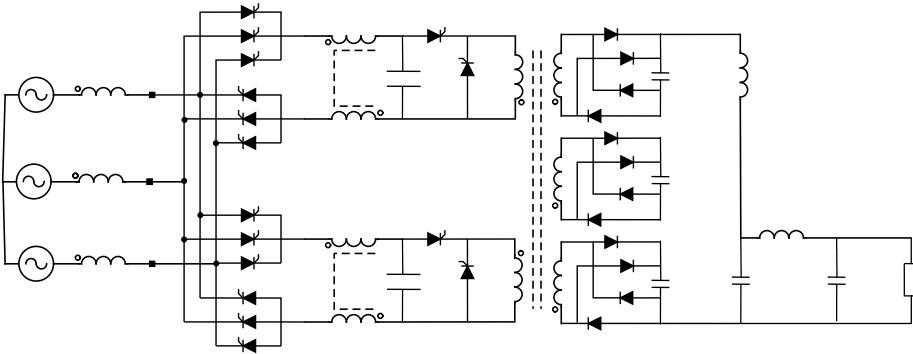
(a)



(b)

2.9. Irudia: Isolamendu transformadoredun PFC bihurtgailuak (2).

- Limpaecher bihurgailua (2.10.): CPES eta ETHko artikuluetan aztertu ez den, eta interesgarria izan daitekeen, topologia bat da Limpaecher bihurgailua [110–115]. Topologia honen alde txarra, merkatuan dagoen eskaintza urria dela eta, maiztasun handiko tiristoreekin lan egiten duela da. Bihurgailu honek sarera konektatutako maiztasun handiko transformadore batekin lan egitea ahalbidetzen du.



2.10. Irudia: PFC motako Limpaecher bihurgailua.

Aztertutako bihurgailu kopurua murrizteko, aplikazio honetarako baliagarriak diren fabrikatzaileek erabilitako topologiaren azterketa egin da paraleloan, merkatuaren tendentzia adierazle ona izaten baita.

Emaitzak 2.1. taulan erakusten dira. Ikusi daiteke fabrikatzaile gehienek topologia mota hauek erabiltzen dituztela: NPC bihurgailua, *Vienna 6-switch* artezgailua, *Vienna T-type* artezgailua eta bi tentsio-mailatako bihurgailu trifasikoak ($3\theta - 2L$).

2.1. Taula: Even karga azkarrerako balio duten fabrikatzaileen topologiak.

| Fabrikatzailea | Vienna | | Artezgailu konbentsionala | |
|--------------------------|--------------------|----------------------------------|---------------------------|-----------------------|
| | Mota | Erreferentzia | Mota | Erreferentzia |
| Fuji Electric | NPC | 4MBI600VC-120-50 | $3\theta - 2L$ | 7MBR75XWE120-50 |
| | T-type | 4MBI220VG-170R2-50 | $3\theta - 2L$ | 6MBI100XBA120-50 |
| | T-type | 12MBI100VN-120-50 | $3\theta - 2L$ | 6MBI550V-120-50 |
| Infineon | 6-switch | FS3L30R07W2H3FB11 | $3\theta - 2L$ | FS820R08A6P2B |
| | 6-switch | F3L11MR12W2M1B65 | $3\theta - 2L$ | FS45MR12W1M1B11 |
| | T-type | F3L400R12P T4B26 | $3\theta - 2L$ | DF80R07W1H5FPB11 |
| Microsemi | NPC | APTMC60TLM14CAG | $3\theta - 2L$ | MSCMC120AM02CT6LIAG |
| | NPC | APTMC60TLM55CT3AG | $3\theta - 2L$ | APTMC120TAM12CTPAG |
| | T-type | APTMC120HRM40CT3AG | | |
| Mitsubishi ^{a)} | AC-switch & Bridge | CM450C1Y-24T & CM300DY-34T | $3\theta - 2L$ | CT1000CJ1B060 |
| | | | $3\theta - 2L$ | MSCMC120AM02CT6LIAG |
| Semikron | NPC | SKiM201MLI12E4 | $3\theta - 2L$ | SK50MH65TE1 |
| | T-type | SKiM601TMLI12E4B | $3\theta - 2L$ | SKiM459GD12F4V4 |
| ST | | | $3\theta - 2L$ | A2P75S12M3 |
| | T-type | STDES-VIENNARECT | $3\theta - 2L$ | A2C50S65M2 |
| Vicontech | NPC | 30PT07NAA300S501LF64F58Y | $3\theta - 2L$ | 80M3126PA200M7K820F70 |
| | NPC | 30FT07NIA320RVLE06F68 | $3\theta - 2L$ | 30F2126PA150M7L280F79 |
| | 6-switch | 10FZ071SA100SM02L526L18 | | |
| | T-type | 70W612M3A1K8SC02L300FP70 | | |
| Vishay | | - | $3\theta - 2L$ | VS-ETY020P120F |
| Wolfspeed (Cree) | | - | $1\theta - 2L$ | CAB450M12XM3 |

Note: $3\theta - 2L$: bi-mailako artezgailu trifasikoa; $1\theta - 2L$: bi-mailako artezgailu monofasikoa.

^{a)} Mitsubishik bi modulu (AC-Switch eta Bridge) eskaintzen ditu Vienna artezgailu bat garatzea ahalbidetzen dutenak.

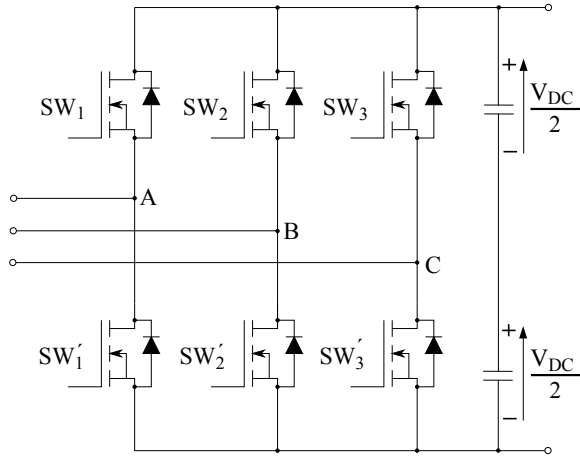
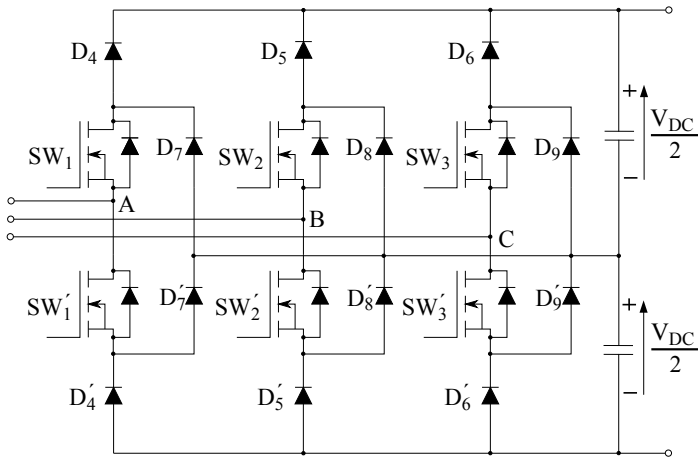
Egindako azterketa bibliografikoa, eta merkatuko fabrikatzaile ezagunek garatzen dituzten topologiak zeintzuk diren kontuan izanda, goi-tentsioko EVen baterien karga azkarrerako topologia egokienak identifikatu dira (ikusi 2.11., 2.12. eta 2.13. irudiak):

1. **Bi mailako artezgailu trifasiko konbentzionalak ($3\theta - 2L$)** [116] sinpletasuna eta kontrolagarritasuna ditu ezaugarri nagusitzat (ikusi 2.11.(a) irudia). Topologia hori ondo finkatuta dago merkatuan, horregatik erabili da erreferentzia gisa atal honetan. Gailu erdieroaleek DC bus osoaren tentsioa blokeatu behar dute, eta kommutazioa fase bakoitzeko bi gailuen artean gertatzen da. Modulazioaren eta kontrol-teknika egokien bidez, tentsioa eta korronea fasean mantentzen dira [74, 75]. Hala ere, bi tentsio-mailako bihurtugailuek ezin dute hiru tentsio-mailako topologiaren uhin-kalitate bera lortu [117, 118].
2. **Neutral Point Clamped converter (NPC)** [119] topologia hamabi etengailuk eta sei diodok osatzen dute eta hiru tentsio-maila eman ditzake (ikusi 2.11.(b) irudia). Gailu erdieroaleek DC bus osoaren tentsioaren erdia blokeatu behar dute [108]. Horrek behe-tentsioko erdieroaleak erabiltzea ahalbidetzen du. NPC topologiak irteeran bi maiztasun eraginkor aplikatzen ditu, irteerako kondentsadoreen tamainaren beharrezko murriztuz, eta gainera, eraginkortasun-maila handiak lortu ahal ditu (% 97 inguru) [120–127]. Topologia honek baditu eragozpenak, hala nola irteerako buseko tentsioaren fluktuazioak eta potentzia-gailuen arteko galeren banaketa desorekatua [128, 129]. Hala ere, modulazio-teknika egokiak edo kontrol-zirkuitu osagarriak erabiliz, problema horiek minimizatu egin daitezke [130].
3. **Vienna 6-switch** artezgailua [56], jatorrizko NPC topologiaren egokitzapena da, non korrone gabeko etengailuak desaktibatu egiten diren artezketa-operazioan. Topologia honek hiru tentsio-maila eman ahal ditu sarreran, eta, sei etengailu eta hamabi diodoz osatzen da (2.12.(a) irudia). Eraginkortasun oso handia lor dezake (% 98) [66, 67]. Gailu erdieroaleek DC busaren tentsioaren erdia blokeatu behar dute, eta goi-maiztasuneko kommutazioa diodo baten eta etengailu baten artean gertatzen da [108]. Topologia honek izugarri errazten du irteerako kondentsadoreen aurrekargaren prozesua, diodoen ibilbidea dela eta [56]. Topologia honen eragozpen nagusietako bat gailu-kopuru handia da.

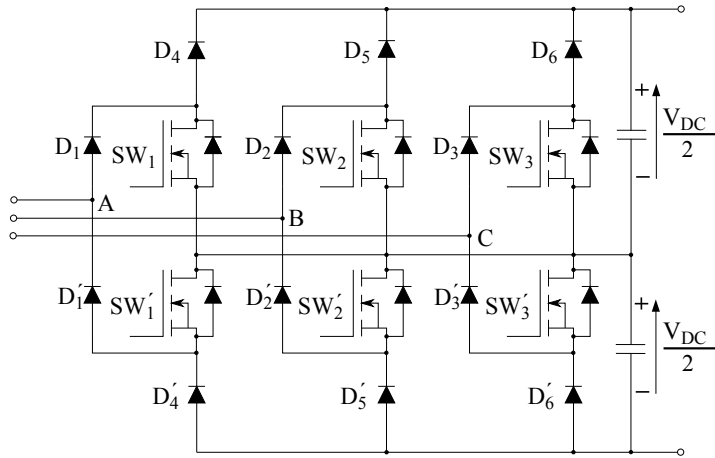
4. **Vienna 3-switch** artezgailua [131], aurreko topologia bezala, hiru tentsio-mailako artezgailuen artean sailkatzen da. Hiru etengailuk eta hemezortzi diodok osatzen dute (ikusi 2.12.(b) irudia). *Vienna 6-switch*-arekin konparatuta, kontrolatutako etengailuen kopurua murrizten du, baina gailu kopuru totala hiru unitatetan handitzen da. Gailuek DC busaren tentsioaren erdia blokeatu behar dute, eta gainera, eraginkortasun handia lor dezakete (% 97-98) [68, 69]. Beste artezgailu batzuekin alderatuta, erdieroaleen kopurua eta erdieroareen arteko galeren desoreka diraa desabantaila nagusiak.

5. **Vienna T-type** artezgailua [132], *Vienna 6-switch* artezgailuarekin batera, literatura zientifikoan hedatuen dagoen Vienna motako topologia da. Topologia hori ere hiru tentsio-mailako artezgailua da. Sei diodoz osatuta dago, eta diodo trifasikoan artezgailu bat eta sei etengailu egiten ditu bi noranzkoko hiru etengailu sortuz (2.13.(a) irudia). Diodoek DC busaren tentsio guztia blokeatu behar dute eta etengailuek erdia. Kommutazioa diodoaren eta seriean konektatutako bi etengailu kontrajarriren artean gertatzen da, bata diodo moduan eta bestea MOSFET moduan [108] funtzionaraziz. Topologia honek %94-98ko eraginkortasuna izan dezake [71, 133, 134]; hala ere, balio altuagoak (%99) lortzeko, modulazio aurreratuak erabil daitezke, adibidez *interleaving* teknika [70]. Topologia honen eragozpen nagusia kommutazio-zeldan hiru gailuk aldi berean kommutatu behar dutela da: diodo batek eta bi MOSFETek. Gainera, seriean konektatutako MOSFETek korrontea bi azpizikloetan eroan behar dute; beraz, galerak oso kontzentratuta daude gailu horietan.

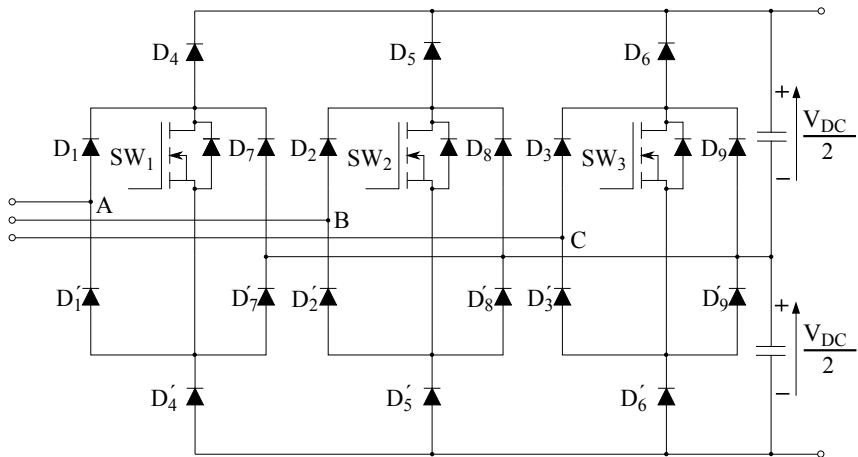
6. **Y-switch** (2.13.(b) irudia) eta **Δ -switch** (2.13.(c) irudia) artezgailuak, T motako topologiaren alternatibak dira, eta faseen arteko egituren osae-ran aldaketak dituzte. Bi mailako artezgailuak direnez (irteerako busa ez da bitan zatitzen eta ez dago erdiko puntuarekin konektatzerik), ezin dira hiru mailako artezgailuen onurak lortu. Horregatik, bi topologia hauek ez dira egokitzat hartzen analisi honetan.

(a) Bi mailako artezgailu trifasikoa ($3\theta - 2L$).(b) *Neutral Point Clamped converter (NPC)*.

2.11. Irudia: Konparatzeko EVen karga azkarrerako artezgailuen topologiak (1).

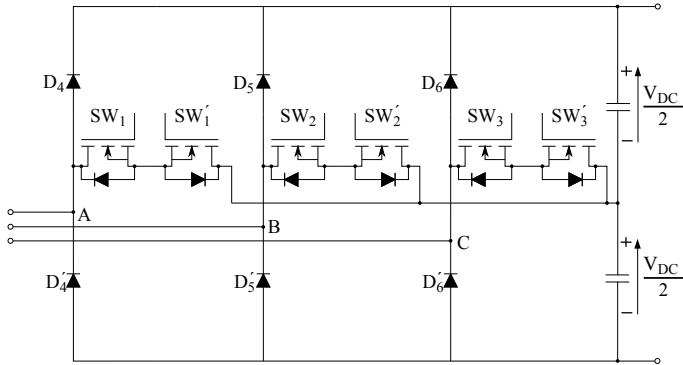


(a) Vienna 6-switch artezgailua.

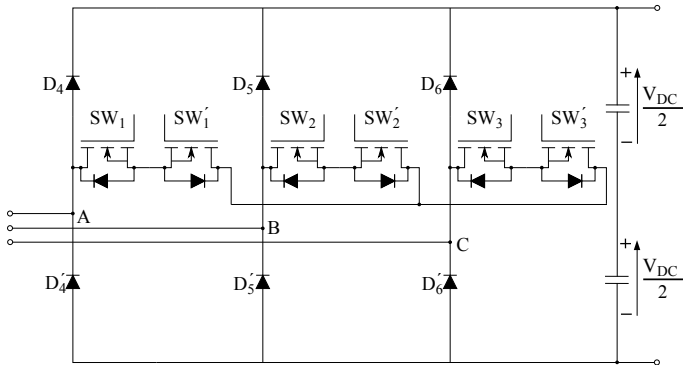


(b) Vienna 3-switch artezgailua.

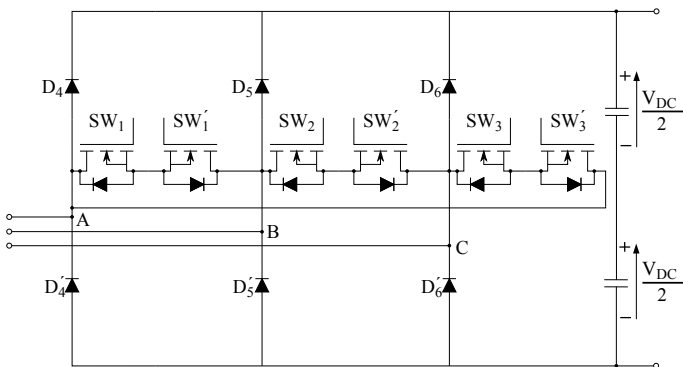
2.12. Irudia: Konparatzeko EVen karga azkarrerako artezgailuen topologiak (2).



(a) Vienna T-type artezgailua.



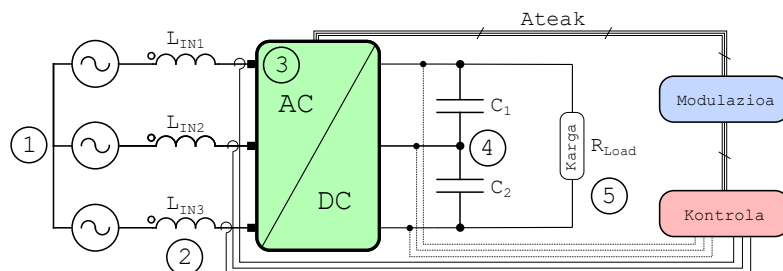
(b) Vienna Y-switch artezgailua.



(c) Vienna Δ-switch artezgailua.

2.13. Irudia: Konparatzeko EVen karga azkarrerako artezgailuen topologiak (3).

2.2. Aukeratutako topologien konparaketa



2.14. Irudia: EVen karga-aplikazioa simulatzeko konfigurazio-eskema.

Atal honetan, PSIM simulazio-tresnarekin egindako simulazioen bidez, aurreko atalean hautatutako EVen karga azkarrerako topologia interesgarrienak konparatzen dira. Horretarako, *Forward Oriented Control (FOC)* kontrol bat eta pultsu-zabalera bidezko modulazioa (PWM) erabili dira. Emaitzak aztertzean, zenbait merezimendu-irudi hartu dira kontuan, hala nola gailu kopurua eta gailuek blokeatu beharreko tentsioa, eraginkortasuna, sarrera-korronteen kalitatea ($PF \approx 1$, $THD_i < 5\%$, eta $\cos(\Phi) = 1$), irteera-tentsioaren kalitatea (tentsioko kizkurdura (ΔV_{out}) eta kondentsadore-korrante ($i_{C_{rms}}$) baxuak) eta, azkenik, erdieroaleen arteko galeren banaketa ona. Oso garrantzitsua da bihurgailuaren bizitza erabilgarriarekiko erdieroale guztiek galera antzekoak izatea [135], bestela hotz-sistema gaindimentsionatu egin behar da topologiako gailu gutxi batzuegatik.

Proposatutako simulazio-eskema 2.14. irudian ikusi daiteke, eta bere osagaiak hurrengoak dira: sarrera trifasikoko iturria (1), sarrerako inductorak (2), probatu nahi den artezgailu trifasikoko topologia (3) (*3 θ - 2L*, *NPC*, *Vienna 6-switch*, *Vienna 3-switch* and *Vienna T-type*), irteerako kondentsadoreak (4) eta bateriaren korrante-eskaria simulatzen duen karga erresistiboa (5) dira. Proben konfigurazioa 2.2. taulan deskribatzen da. Taula horretan, simulazio-modeloen parametro-balioak zehazten dira³.

³SKKD8112 diodoak *Vienna 6-switch* (2.12.(a) irudia) eta *Vienna 3-switch* (2.12.(b) irudia) topologietan bakarrik erabili ahal dira, topologia horietako sarrera-diodoek ($D_1, D_{1'}$, $D_2, D_{2'}$, $D_3, D_{3'}$) ez baitute konmutatzen goi-maiztasuneko korrontea. Sarreran diodo horiek jarrita, eroapen-galerak izugarri hobetzen dira, erresistentzia txikia dutelako beste diodo batzuekin alderatuz.

2.2. Taula: Simulazioaren konfigurazio-parametroak.

| Simulazioaren parametroak | | |
|------------------------------------|-----------------------------|---------------|
| <i>Sistemaren potentzia</i> | P | 50 kW |
| <i>Sarrerako tentsioa</i> ① | $V_{L-L_{rms}}$ | 400 V |
| <i>Sarrerako induktantziak</i> ② | $L_{IN1}, L_{IN2}, L_{IN3}$ | 500 μH |
| <i>Irteera – tentsioa</i> | V_{BUS} | 800 V |
| <i>Irteerako kondentsadoreak</i> ④ | C_1, C_2 | 3 mF |
| <i>Karga erresistiboa</i> ⑤ | R_{Load} | 12,8 Ω |
| <i>Kommutazio – maiztasuna</i> | f_{SW} | 100 kHz |
| <i>Simulazio – pausua</i> | t_{step} | 8,33s |

| Erdieroaleen simulazio-modeloen parametroak | | |
|---------------------------------------------|------------|---------------------------------------------|
| MOSFETa | | |
| <i>Erreferentzia</i> | Ref | C2M0025120D |
| <i>Drain-Source tentsioa</i> | V_{DS} | 1200 V |
| <i>Drain – eko korronea</i> | I_D | 60 A@ $T_c = 100\text{ }^\circ C$ |
| <i>Drain-Source ON erresistentzia</i> | R_{DSon} | 43 m Ω @ $T_j = 150\text{ }^\circ C$ |
| <i>Diodoaren tentsioa</i> | V_{SD} | 3,3 V |
| <i>Diodoaren korronea</i> | I_S | 90 A@ $T_c = 25\text{ }^\circ C$ |
| <i>Berreskuratze korronea</i> | I_{rrm} | 13,5 A |
| <i>Potentzia disipazioa</i> | P_D | 463 W@ $T_c = 25\text{ }^\circ C$ |

| Diodoak | | | |
|------------------------------------|------------|------------------------------------|------------------------------------|
| <i>Erreferentzia</i> | Ref | LSIC2SD120E40CC | SKKD8112 |
| <i>Anodo-Katodo tentsioa</i> | V_{AK} | 1200 V@ $T_j = 25\text{ }^\circ C$ | 1200 V@ $T_c = 87\text{ }^\circ C$ |
| <i>Diodoaren korronea</i> | I_F | 40 A@ $T_c = 150\text{ }^\circ C$ | 175 A@ $T_c = 35\text{ }^\circ C$ |
| <i>Diodoaren tentsioa</i> | V_{Fmax} | 2,2 V@ $T_j = 175\text{ }^\circ C$ | 1,55 V@ $T_j = 25\text{ }^\circ C$ |
| <i>Erresistentzia – baliokidea</i> | R_F^a | 32,5 m Ω | 1,875 m Ω |
| <i>Potentzia disipazioa</i> | P_D | 216 W@ $T_c = 110\text{ }^\circ C$ | 450 W |

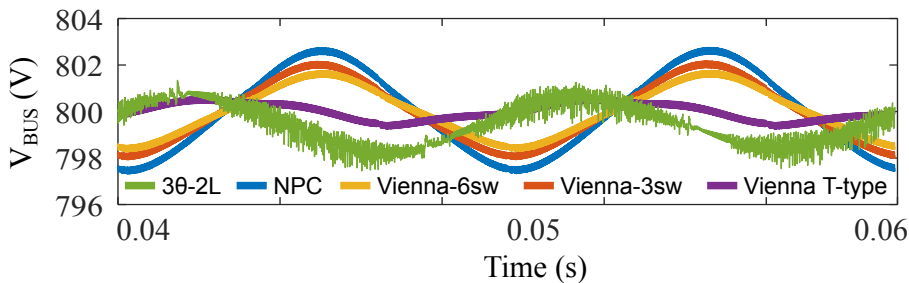
Oharra: Tesi dokumentuan aurrerako dagoen 4. atalean azalduko den modura, Silizio karburozko (SiC) MOSFET erdieroaleak simulazioak egiteko erabili dira, Siliziozko (Si) gailuekin alderatuta konmutazio-errendimendu hobea baitute [43].

^a Datu-orrietatik estrapolatutako datuak.

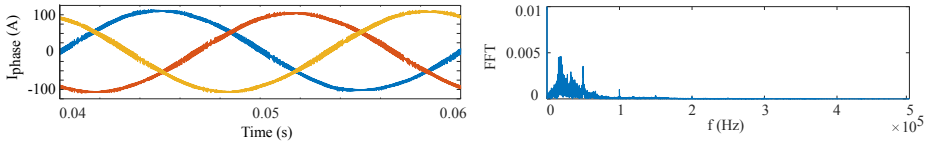
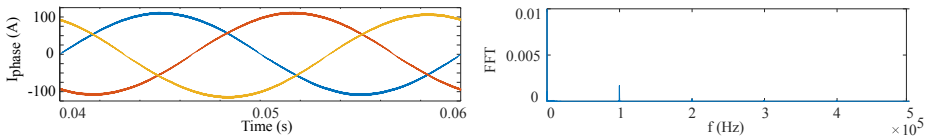
2.3. Taula: Konparaketa taula 50 kW-erako (kommutazio-maiztasuna 100 kHz).

| | | $3\theta - 2L$ | NPC | Vienna-6 sw. | Vienna-3 sw. | T-type |
|-----------------------------|---------------------------------------|----------------|-------------|--------------|--------------|-------------|
| Errendimendua eta kalitatea | | | | | | |
| Hardwarea | <i>Diodoak</i> | 0 | 6 | 12 | 18 | 6 |
| | <i>MOSFETak</i> | 6 | 12 | 6 | 3 | 6 |
| | V_{AK} (V) | V_{BUS} | $V_{BUS}/2$ | $V_{BUS}/2$ | $V_{BUS}/2$ | V_{BUS} |
| | V_{DS} (V) | V_{BUS} | $V_{BUS}/2$ | $V_{BUS}/2$ | $V_{BUS}/2$ | $V_{BUS}/2$ |
| Errendimendua | <i>Eraginkortasuna (%)</i> | 97.87 | 96.20 | 97.38 | 97.09 | 97.14 |
| | <i>Galerak (W_{avg})</i> | 1062 | 1896 | 1308 | 1455 | 1428 |
| Sarrera | <i>PF (%)</i> | 99.933 | 99.992 | 99.991 | 99.992 | 99.992 |
| | <i>THD (%)</i> | 4.04 | 1.27 | 1.26 | 1.26 | 1.25 |
| | <i>cos(Φ)</i> | 1 | 1 | 1 | 1 | 1 |
| Irteera | ΔV_{BUS} (V) | 3.40 | 4.81 | 3.26 | 4.02 | 1.99 |
| | i_{Crms} (A) | 43.6 | 47.1 | 46.7 | 46.9 | 42.7 |

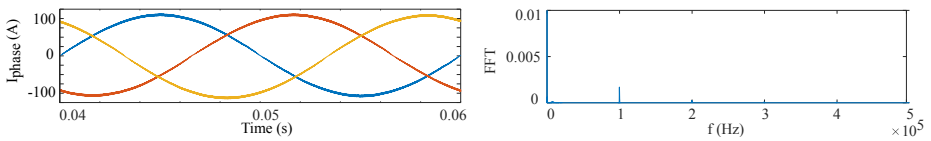
Simulazioen emaitzak 2.3. taulan laburtzen dira. Hardwareari dagokionez, $3\theta - 2L$ topologiak abantaila handiena du, sei erdieroalez baino ez baitago osatua. Desabantaila, horietako gailu bakoitzak blokeatu behar duen tentsioan ikus daiteke (kasu honetan, V_{BUS} osoa). *Vienna 3-switch* artezgailua da erdieroale gehien (21) dituen topologia. Eraginkortasunari dagokionez, $3\theta - 2L$, *Vienna 6-switch* eta *Vienna T-type* topologiek dute eraginkortasun handiena, % 96tik gorako balioekin. Bihurgailu guztien sarrera-korronteen eta irteerarentsioen uhin-formak kalitate onekoak dira ($THD_i < \% 5$, $\Delta V_{BUS} < 4.81 V$ eta $i_{Crms} \in (42.7 A, 47.1 A)$), eta, lehen begiratuan, topologia horietako edozeinek balio du konparazio honen hasieran ezarritako merezimendu-zifrak lortzeko. Hala ere, sarrera-korronteen emaitzak eta maiztasun erantzun normalizatuak (FFT) konparatuz (2.16. irudia), ikusi daiteke hiru tentsio-mailako topologiek in alderatuta, $3\theta - 2L$ -ak uhin-kalitate okerragoa duela, goi-maiztasuneko korrontearen kizkurdura (4 A) eta distortsio-maila ($THD_i = \% 4,04$) altuenak baititu. Azken emaitza horiek bi tentsio-mailako bihurgailuen alde negatiboa berresten dute [117, 118]. Emaitzen analisiari jarraituz, topologia bakoitzerako galeren banaketa oso desberdina dela erakusten du 2.17. (a) irudiak. Lehenik eta behin, nabarmendu behar da *Vienna 6-switch* ($101 W [P_{ref}]$) eta *Vienna T-type* ($159 W \equiv P_{ref} + 58 W$) topologiek galera-banaketa hobeak dutela, eta bi hauetako lehenak lortzen dituela emaitzarik onenak. Aldiz, energia-galeraren kontzentrazio handienak (gehienak MOSFETetan) $3\theta - 2L$ ($238 W \equiv P_{ref} + 137 W$), NPC ($194 W \equiv P_{ref} + 235 W$) eta *Vienna 3-switch* ($202 W \equiv P_{ref} + 101 W$) bihurgailuetan gertatzen dira.



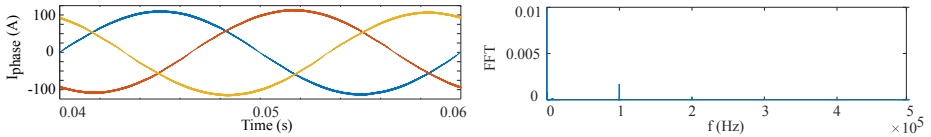
2.15. Irudia: Irteerako tentsioaren uhin-formak V_{BUS} (V).

(a) Bi tentsio-mailako artezgailu trifasikoa ($3\theta - 2L$).

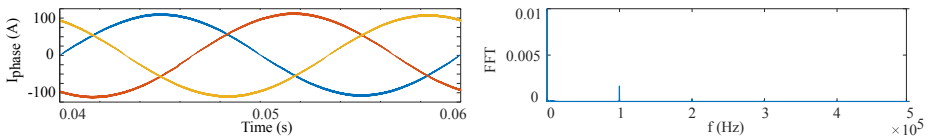
(b) Neutral Point Clamped bihurtgailua (NPC).



(c) Vienna 6-switch artezgailua.

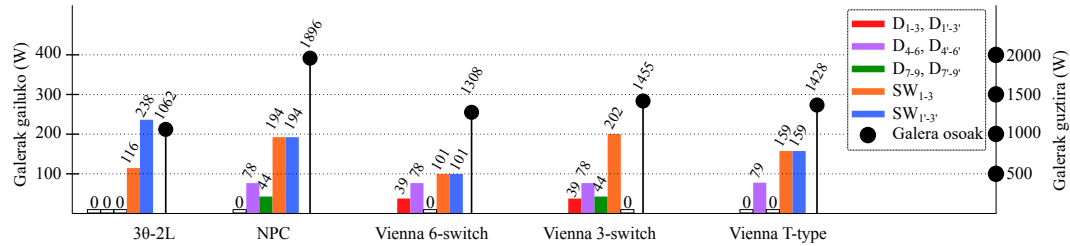


(d) Vienna 3-switch artezgailua.

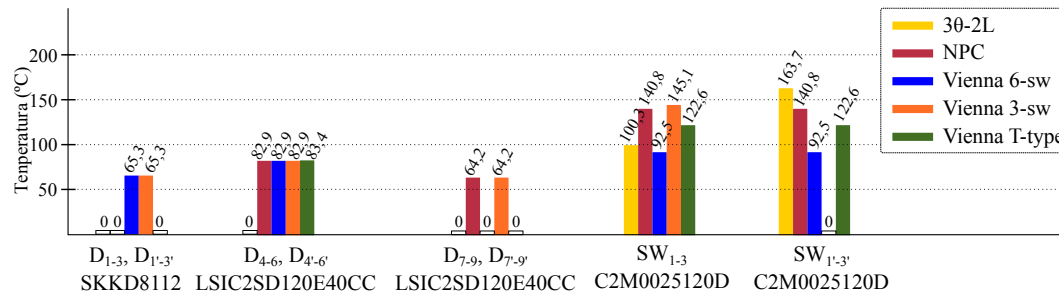


(e) Vienna T-type artezgailua.

2.16. Irudia: Sarrerako korronearen uhin-formak eta normalizatutako maiztasun erantzuna (FFT) konparatutako topologietarako.



(a) Potentzia galerak topologiaka sailkatuta.

(b) Junturako tenperaturak (T_j) gailu-mota bakoitzerako.

Oharrak:

- '0' balioa duten zutabeek esan nahi dute topologia horietan ez dagoela gailu zehatz hori.
- $R_{th_{hs-a}} = 0.2 \text{ } ^\circ\text{C/W}$, $R_{th_{c-hs}} = 0.05 \text{ } ^\circ\text{C/W}$, $R_{\theta_{JC}}$ gailu mota bakoitzerako (SKKD8112 - $R_{\theta_{JC}} = 0.40 \text{ } ^\circ\text{C/W}$, LSIC2SD120E40CC - $R_{\theta_{JC}} = 0.30 \text{ } ^\circ\text{C/W}$, C2M0025120D - $R_{\theta_{JC}} = 0.27 \text{ } ^\circ\text{C/W}$) eta giro-tenperatura (T_a) $40 \text{ } ^\circ\text{C}$.

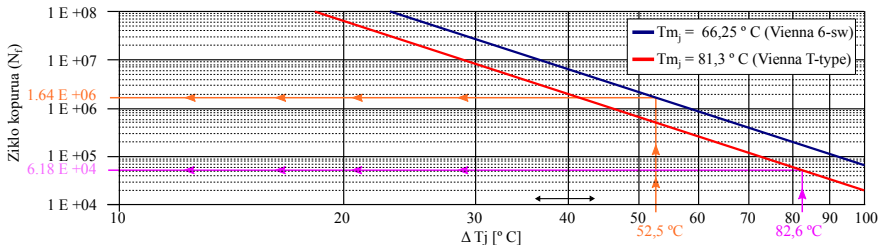
2.17. Irudia: Potentzia-galera banaketaren eta tenperatura-igoeren konparazioa.

Erdieroaleen fidagarritasuna potentzia-ziklo (*power cycling*, ingelesez) proben bidez kalkulatzen da. Eredu hedatuenetako bat Arrhenius eta Coffin-Manson [135] degradazio-legeen konbinazioa da (2.2),

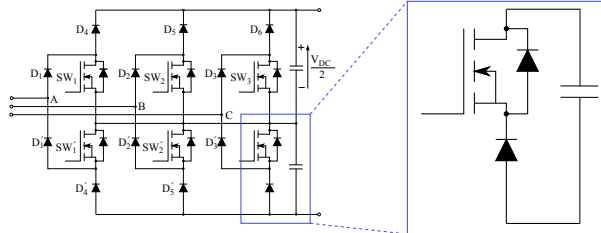
$$N_f = A \Delta T_j e^{(Q/R_{gas}T_m)} \quad (2.2)$$

non A eta α gailuaren menpeko konstanteak diren, R_{gas} gasaren konstantea den (8.314 J/mol.K), $T_{m_j} = T_{jmin} + (T_{jmax} - T_{jmin})/2$ junturako batzbesteko tenperatura Kelvin-etan, eta Q barne energia $7.8 \times 10^4 \text{ Jmol}^{-1}$ diren. ΔT_j lotura-tenperaturaren (*junction temperature*, ingelesez) aldaketa da. Konstanteak fabrikatzailearen datuetatik eta hauek emandako kurben doikuntzatik lortzen dira.

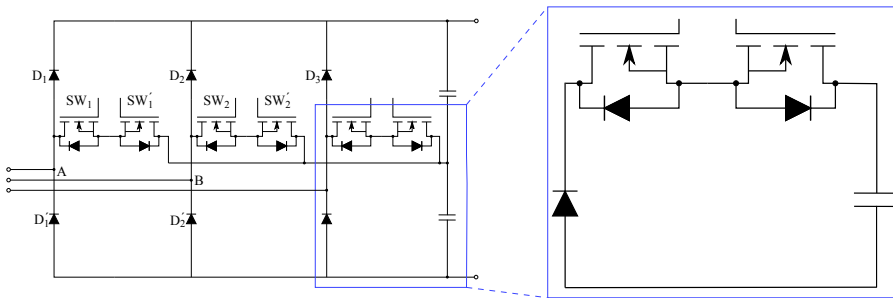
Temperaturaren igoera horrek bizitza iraupenean duen eragina aztertzeko, beharrezkoa izango litzateke LESIT azterketaren [135] moduko grafiko bat aztertzen den gailurako bakoitzerako, baina fabrikatzaileek normalean potentzia-ziklikoari buruzko daturik ez dute ematen. Kasu honetan *Vienna 6-switch* eta *Vienna T-type* topologiaren arteko konparaketa egiteko LESITeko azterketa hartu eta bertako formulak kontuan izanda kurba propioak sortu dira (ikusi 2.18. irudia), non $\alpha = -5$ eta $A = 640$ hartu diren. Azterketa hau 50 kW-eko karga-sistema bati dagokio, eta ikusten da *Vienna 6-switch* artezgailuko MOSFETek $1.64 \text{ E} + 06$ ziklo iraun ditzaketela. Aldiz, *Vienna T-type* artezgailuaren, zenbaki hori $6.18 \text{ E} + 04$ -ra murrizten da. Hortaz, bizitza-erabilgarriari dagokionez *Vienna 6-switch* artezgailuak errendimendu hobea lortzen duela ondorioztatzen da. Kasu honetan, argi ikusi daiteke tenperatura-gradu gutxi batzuek gailu baten bizitza erabilgarria zenbateraino alda dezaketean.



2.18. Irudia: LESIT azterketan oinarritutako bizitza-erabilgarriaren estimazioa [135].



(a) Vienna 6-switch konmutazio-zelda.



(b) Vienna T-switch konmutazio-zelda.

2.19. Irudia: Konmutazio-zelden konparaketa: topologia osoa eta zeldaren zoom-a.

Konparazio-irizpideen gaira itzuliz, topologia batzuek arazo gutxirekin betetzen dituzte hasieran ezarritako zehaztapenak, batez ere *Vienna 6-switch* eta *Vienna T-type* artezgailuek. Hauek eraginkortasun handia, sarrera-korronteen eta irteera-tentsioen kalitate ona eta erdieroaleen arteko galera-banaketa onena dituzte. Bi topologia hauen antzeko errendimendua dela eta, konparazio zehatza goa egiteko asmoz, artezgailuen konmutazio-maiztasunaren eskalagarritasuna konparatu da. Alderdi hori garrantzitsua da, potentzia-dentsitate handiagoko potentzia-bihurgailuetarako joera baitago. Hori lortzeko moduetako bat, konmutazio-maiztasuna handituz, induktantzien eta kondentsadoreen tamaina murriztea da. Testuinguru horretan, topologia bakoitzaren konmutazio-galeren garrantzia handitu egiten da; izan ere, zenbat eta handiagoa izan konmutazio-maiztasuna, orduan eta konmutazio-galera gehiago egongo baitira gailuetan. *Vienna 6-switch* topologiaren goi-maiztasuneko konmutazio-zeldak MOSFET bakarra eta diodo bat ditu (2.19.(a) irudia). Bestalde, *Vienna T-type* to-

pologiak (2.19.(b) irudia) bi MOSFET kommutatu behar ditu seriean, diodo bakarraren aurka. Alde horretatik, *Vienna T-type* topologiaren MOSFET-en serieko konexioak osagai parasitoak gehitzen dizkio zirkuituari, hala nola erresistentzia- eta induktantzia-parasitoak. Kommutazio-zelda horrek, *Vienna 6-switch*-arenarekin alderatuta, potentzia-galera gehigarriak eta gainkarga handiagoak eragingo ditu tentsioan eta korrontean. Gainera, efektu hori handitu egin daiteke gailu diskretuak erabiltzen badira, gailu horiek osagai parasitoen balio handiagoak baitituzte [136–138]. Gainera, *Vienna 6-switch*-aren egitura hobe delako eta, kommutazio-zeldaren azalera murriztu egin daiteke kommutazio-zelulatik oso gertu *snubber* kondentsadore bat erabiliz. Zelda horien erabileraren emaitzak zenbait lanetan [139–141] frogatu dira, non 6 nH inguruko kommutazio-zeldak diseinatzea lortzen duten. Gainera, *snubber* kondentsadoreen erabileraren eraginkortasuna beste lan batzuetan [142, 143] ere frogatu izan da, tentsioan dauden gainkargak eragindako kommutazio-galerak murriztuz.

2.3. Ondorioak

Ibilgailu elektrikoaren kargarako topologiaren azterketa orokorra eta ondorengo konparazioaren ondorio gisa, bost topologia baliagarri aurkeztu dira. Egindako analisia kontuan hartuta, ibilgailu elektrikoaren kargarako artezgailu egokienak *Vienna 6-switch* eta *Vienna T-type* dira, batez ere horien eraginkortasunagatik, sarrerako potentziaren kalitateagatik eta irteerako tentsioaren egonkortasunagatik, biak gailuen arteko galeren banaketa egokiarekin. Bi topologia hauen artean, *Vienna 6-switch* artezgailuak errendimendu hobe erakusten du bizitza-erabilgarriari eta kommutazio-maiztasunaren eskalagarritasunari dagonionez, hortaz, puntu honetatik aurrera *Vienna 6-switch* artezgailuaz arituko dira tesi-dokumentu honetako gainontzeko kapituluak.

3. Kapituluia

Vienna 6-switch artezgailua

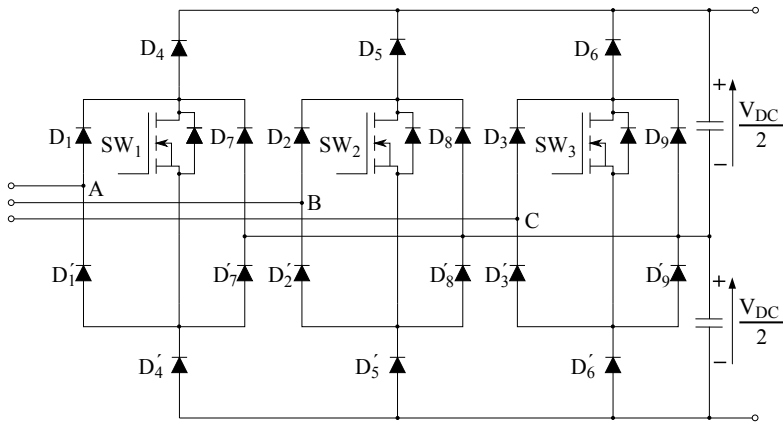
Kapitulu honetan 6 etengailuko Vienna artezgailuaren (*Vienna 6-switch rectifier*) deskripzioa egingo da, ezaugarri nagusiak, kontrola eta modulazioa azalduz.

3.1. *Vienna 6-switch*: ezaugarri nagusiak

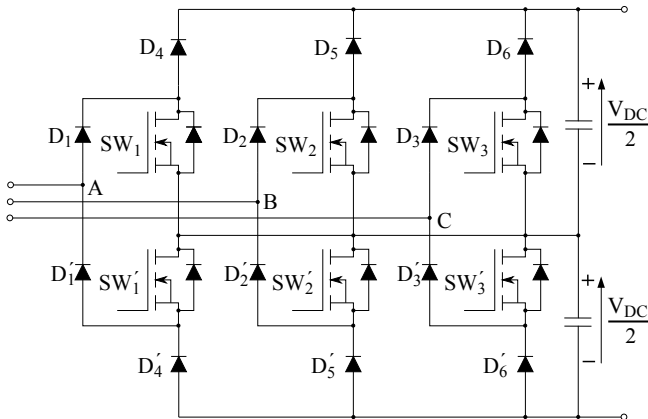
Vienna artezgailuaren bertsio originala [131] 3.1.(a) irudian ikusi daiteke. Topologia horretatik abiatuta eta eroate-galerak murrizteko asmoz 3.1.(b) irudian ikusi daitekeen *Vienna 6-switch* topologia [56] garatu zen. Topologia hau noranzko biko hiru etengailuz osatuta dago. Topologia hau sei etengailu ($SW_{1,2,3}$ eta $SW'_{1,2,3}$), beste hainbeste diodo azkar ($D_{4,5,6}$ eta $D'_{4,5,6}$) eta diodo zubi bat ($D_{1,2,3}$ eta $D'_{1,2,3}$) konbinatuta inplementatzen da. Irteerako kondentsadoreak bitan zatituta daude, eta bi noranzkoko etengailuak irteerako tentsioaren erdiko puntuari konektatuta daude. Artezketa-sistemaren sarrera *boost*-induktoreetara konektatuta dago. Hauek erdiko puntura ($0 V$) konmutatu daitezke etengailua itxiz, edo, uneko norabidearen arabera, tentsio positibora ($+V_{DC}/2$) edo tentsio negatibora ($-V_{DC}/2$), hau guztia $D_{4,5,6}$ eta $D'_{4,5,6}$ *free-wheeling* diodoez lagunduta. Modu horretan hiru tentsio-mailatako artezgailu bat inplementatzea lortzen da.

Sareko diodoek ($D_{1,2,3}$ eta $D'_{1,2,3}$) sare-maiztasunarekin baino ez dute konmutatzen; $D_{1,2,3}$ diodoek uhin-erdi positiboan eroaten dute, eta $D'_{1,2,3}$ diodoek uhin-erdi negatiboan. Sarrera-korronteek etengailuen eta *free-wheeling* diodoen ar-

teko konmutazio-maiztasunarekin konmutatzen dute. Konmutazio-maiztasun altuen kasuan, berreskuratze azkarreko diodoak erabili behar dira $D_{4,5,6}$ eta $D'_{4,5,6}$ diodoetan, konmutazio-galerak mugatzeko; beste diodo guztietan, berriaz, diodo estandarrek erabil daitezke.



(a) Vienna 3-switch artezgailua.

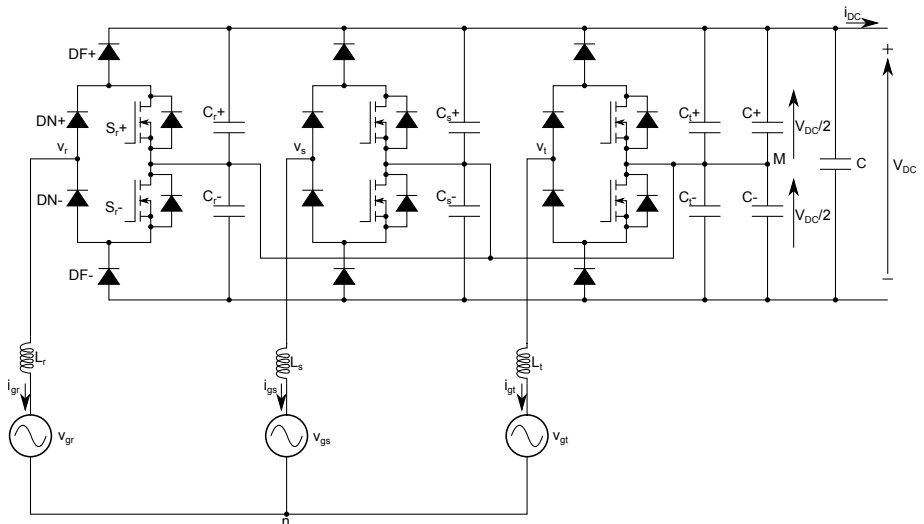


(b) Vienna 6-switch artezgailua.

3.1. Irudia: Vienna artezgailuen topologiak.

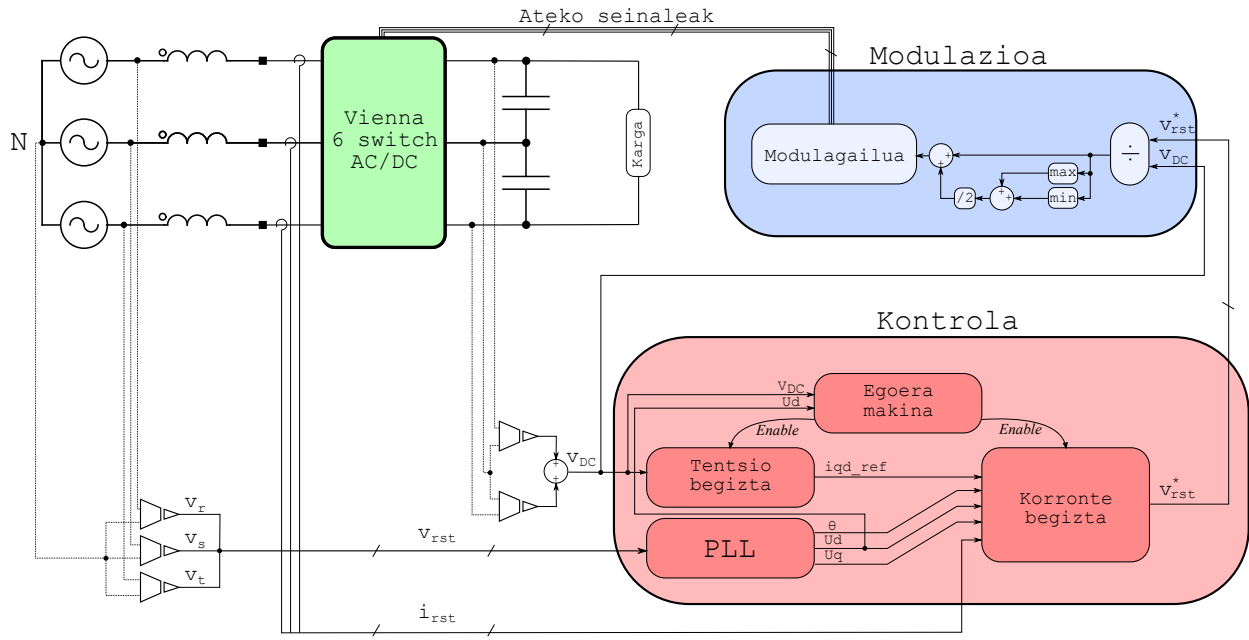
3.2. Vienna 6-switch: kontrola

Vienna 6-switch (figura 3.2.) artezgailua erabiltzen da sare elektrikoarekin interfaze gisa, beraz, artezgailuaren kontrola arduratuko da saretik kontsumitutako potentzia-kalitateari eta aplikazioak eskatzen dituen zehaztapenak betetzen direla bermatzeaz. Azken horiek artezgailuaren dinamika ezartzen dute. Kasu horretan, EV kargagailuaren funtzionamendua kontuan hartuta, artezgailuaren dinamikak ez du azkarregia izan behar irteerako DC busaren tentsioa konstante mantentzeko. Kontrola diseinatzeko (planta zehazteko) beharrezkoa da osagaien balioak ezagutzea.



3.2. Irudia: Vienna 6-switch artezgailua.

Implementatutako kontrol-blokeen diagrama 3.3. irudian ageri da. Irudi honetan gorrix markatu dira neurtutako seinaleak eta urdinez irteerak.



3.3. Irudia: Implementatutako bloke-diagrama.

3.2.1. Phase Locked Loop

Lehenago esan bezala, sarera konektatutako artezgailuak sareko konexioari buruzko zehaztapen batzuk betetzen direla bermatu behar du, hala nola: korrontearen distortsio harmoniko osoa (THD, *Total Harmonic Distorsion*), potentzia-faktorea, etab. Zehaztapen horiek bete ahal izateko, artezgailuaren kontrolak sareko tentsioen espazio-fasorearen funtsezko osagaiaren (\bar{v}_{grst}) fasea (φ), maiztasuna (ω) eta anplitudea ($A = \sqrt{v_{gd}^2 + v_{gq}^2}$) zehaztasun osoz detektatzeko gai izan behar du.

Gaur egun, \bar{v}_{grst} -ren sinkronizaziorako eta monitorizaziorako metodarik erabiliena faseen lotura-begiztan oinarritzen da (*Phase Locked Loop* (PLL), ingelesez). Implementatutako PLLaren bloke-diagrama 3.4. irudian ageri da, non hiru bloke nagusiak ageri diren:

1. Fase-detektagailua (PD, *Phase Detector*). Bloke horrek bi sarrerareinaren arteko fase-diferentziarekiko proportzionala den irteera-seinale bat sortzen du.
2. Begiztaren iragazkia (LF, *Loop Filter*). Bloke horrek behe-paseko iragazketa egiten du, eta PDaren irteera-seinaleko AC osagaia iragazteaz arduratzen da. Izan ere, lehen mailako iragazkia edo PI erreguladore bat izan ohi da.
3. Tentsioan kontrolatutako osziladorea (VCO, *Voltage Controlled Oscillator*). Bloke horrek AC seinale bat sortzen du. Haren maiztasuna sarrerareinaren arabera aldatzen da, maiztasun zentralarekiko.

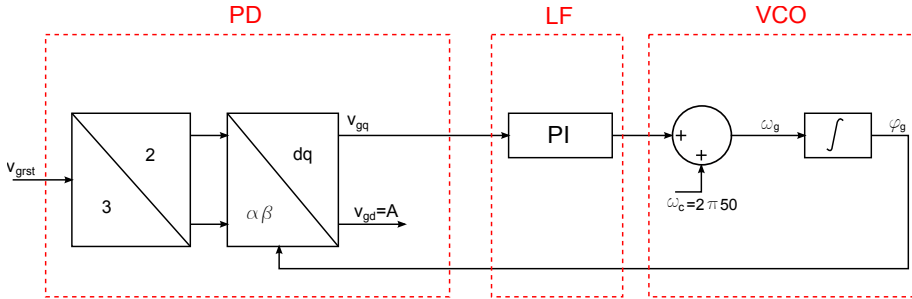
PI-a doitzeko, ekuazio hauek hartu behar dira kontuan: [144]:

$$K_{pPLL} = \frac{16}{A_{in}t_{est}} \quad \text{eta} \quad K_{iPLL} = \frac{2}{\zeta^2 t_{est}}, \quad (3.1)$$

non A_{in} sarrerako fase-neutro tentsioen anplitudea, t_{est} ezartze-denbora eta ζ indargetze-faktorea diren.

3.2.2. Korrante-begizta

Topologia honetan ezarritako korrantearen kontrola kontrol bektorial klasikoa da (*Field Oriented Control* (FOC), ingelesez). Erregulatuzaileen irabaziei balio zuzenak esleitzeko, beharrezkoa da plantaren eredu lortzea, kasu honetan sarrerako L iragazkia. Eredu hori dq erreferentzia-esparru sinkronoan irudikatzen



3.4. Irudia: Implementatutako PLLaren bloke-diagrama.

da, non d ardatza v_g ($v_{gd} = v_g$, $v_{gq} = 0$) sarearen tentsioarekin sinkronizatuta dagoen. abc sistema geldikorraren magnitudeak dq sistema sinkrono bihurtzeko, Clarke eta Park-en transformatuak erabiltzen dira. Honela adierazten dira artezgailuak sintetizatutako tentsioen funtsezko osagaiak, dq sistemara transformatuak:

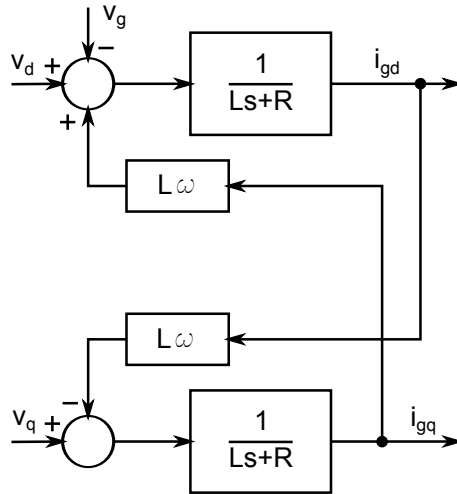
$$v_d = Ri_{gd} + L \frac{di_{gd}}{dt} - L\omega i_{gq} + v_g \quad (3.2)$$

eta

$$v_q = Ri_{gq} + L \frac{di_{gq}}{dt} + L\omega i_{gd}, \quad (3.3)$$

non ω sare-maiztasuna, i_{gd} eta i_{gq} sareko korroneak dq sisteman, L iragazte-induktantzien balioa eta R induktantzien barne-erresistentziaren balioa diren.

Artezgailuaren eta sarearen arteko konexioaren portaera elektrikoa deskribatzen dute (3.2) eta (3.3) ekuazioek. Ekuazio horiei Laplace-ren transformatua aplikatuz, plantaren ereduia lortzen da dq erreferentzia-sisteman (3.5. irudia). Eredu horri esker, ikus daiteke i_{gd} eta i_{gq} ($L\omega$) korroneen artean akoplamendu bat dagoela, hau da, korrone horietako batean gertatutako aldaketa batek besteari eragiten diola, eta alderantziz. FOCak efektu horiek guztiak konpentsatu behar ditu bi korroneak modu independentean eta sareko tentsioen aldaketekiko sentikortasunik gabe kontrolatzeko. Horretarako, metodorik erabiliena efektu hauen estimazioa kontrol-begizte kontrako zeinuaz gehitzea da. Ideia hori 3.6. irudian ageri da, FOCaren kontrol-eskeman. Eskema horretan, desakoplamenduaren ($\hat{L}\omega$) eta sareko tentsioen konpentsazioaren (\hat{v}_g) terminoak

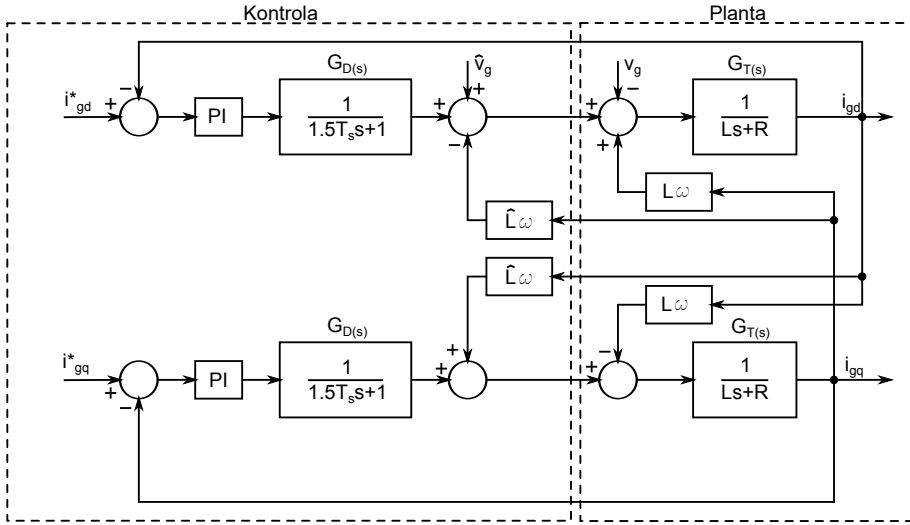


3.5. Irudia: L iragazki baten bidez sarera konektatzeko eredua.

ikusten dira. Kasu horretan, \hat{L} , balioetsitako inductantziaren eta, \hat{v}_g , neurtutako sarearen tentsioaren balioak dira. Zenbatetsitako eta neurtutako balioak benetakoekin bat datozenean (kasu gehienetan), FOCaren kontrol-eskema sinplifikatu egiten da, 3.7. irudian ageri den moduan gelditzeko. Kontrol-eskema horrek bi kontrol-lotura guztiz independente erakusten ditu. Gainera, bi begiztak identikoak dira; beraz, PI bakarra sintonizatu behar da. Nabarmendu behar da, korrante-begiztaren erudian $G_d(s)$ sartzearen helburua atzerapen-denborak kontuan izatea dela, bai konputazio-denbora, bai modulazioak behar duen denbora kontuan hartuz [145].

Korrante-begiztaren (3.7. irudiko) bertsio diskretua erakusten da 3.8. irudian, non ZOH metodoaren bidez gauzatu baita $G_T(s)$ -ren diskretizazioa. Kontuan izanik $G_T(z)$ -k modulazioaren ondoriozko atzerapena aurreikusten duela, beharrezkoa da z^{-1} terminoa gehitzea prozesamenduaren ondoriozko atzerapena kontuan hartzeko. Bi efektuak $G_d(s)$ -en bidez adierazten dira eredu jarraian. T_s terminoa 3.8. irudiko kontrolaren laginketa-aldiari dagokio.

Modelo diskretuan (3.8. irudian) arreta jarriz, posible da begizta-itxiaren



3.6. Irudia: Korronteen kontrol-begitzak desakoplamendu-termioekin.

transferentzia-funtzioa honela definitzea:

$$G_{cl}(z) = \frac{G_{TL}(z)}{1 + G_{TL}(z)}, \quad (3.4)$$

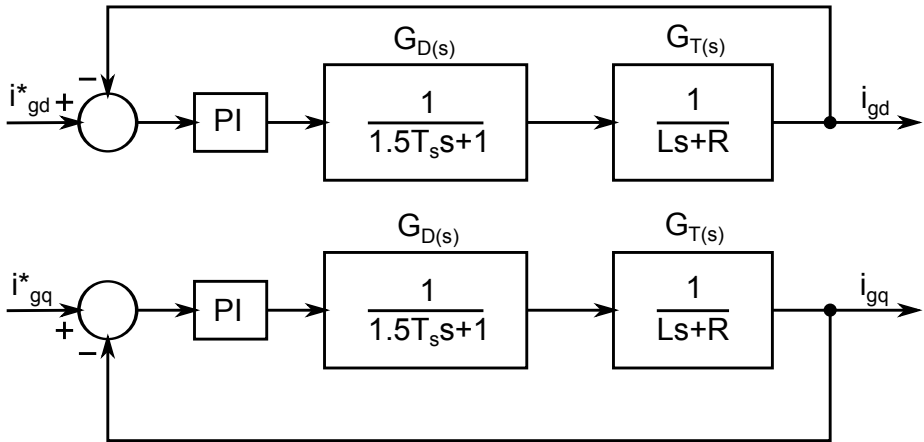
non $G_{TL}(z)$ hurrengo transferentzia-funtzioa duen korrante-begitzaren irabazia den:

$$G_{TL}(z) = z^{-1} G_{PI}(z) G_T(z). \quad (3.5)$$

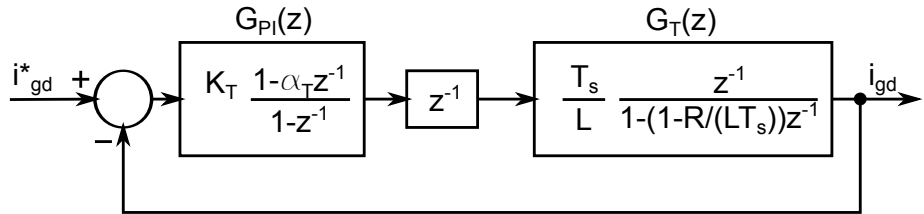
Korrontearen kontrol-begitzaren eredua (3.4) eta (3.5) transferentzia-funtzioek definitzen dute.

Zero-pole cancellation

PIa dohitzeko behar diren Kp eta Ki parametroak zehazteko, badago beste teknika bat inplementatzeko sinpleagoa dena. PI kontroladorearen zeroa sistemaren poloan ezatzean datza eta *zero-pole cancellation* izenaz ezagutzen da [146]. Tesi honen helburuetan kontrolaren atalak ez duenez garrantzia handiegirik, ahal izanez gero metodo hau erabiliz egingo da inplementazioa. Sistemaren portaera txarra dela ikusiz gero, metodo tradizionalera bueltatuko da.



3.7. Irudia: Korronteen kontrol-begiztak, ezagunak diren terminoen konpentsazioarekin.



3.8. Irudia: Korronte-begiztaren modelo diskretua.

3.2.3. Tentsio-begizta

Vienna artezgailuak korrante konstantea eskatzen du etengabe. Artezgailuaren irteerako DC tentsioak (v_{DC}) kizkurdura pixka bat badu, kontrol-eskemari erreparatuta (3.3. irudia), ikusi daiteke kizkurdura hori i_{dq}^* korrante-erreferentzietara eta, ondorioz, i_{dq} korranteetara heda daitekeela, eta, hala, kizkurdura horien eduki harmonikoari buruzko zehaztapena betetzea eragotz daiteke.

Hainbat soluzio daude v_{DC} -ren kizkurduraren efektua kentzeko:

- Tentsio-begiztaren banda-zabalera murriztea, maiztasun horretako ate-

nuazioa handia izan dadin [147].

- Korrante-begitzaren maiztasun-erantzuna aldatzea, i_{dq}^* korrontearen harmonikoekiko sentikortasun txikiagoa izan dezan.
- v_{DC} iragaztea behe-paseko iragazki baten bidez.

Konponbide horiek guztiek sareko korrontearen (i_{grst}) eduki harmonikoa murriztea lortzen dute sistemaren dinamika murriztuz. Horrek agerian uzten du korrontearen eduki harmonikoaren eta sistemaren dinamikaren arteko akoplamendua. Azken hori zenbat eta handiagoa izan, orduan eta txikiagoa izango da kontrolak harmonikoei eskaintzen dien indargetzea, i_{grst} -ren kalitatea jaitsiz.

Hortaz, orain arte planteatutako irtenbideen ordez, frekuentziako iragazki selektibo bat erabili behar da, v_{DC} -ren kizkurdura kentzeko gai dena, gainerako maiztasunei eragin gabe. Horrela, kontrol sendoa lortzen da, eta horren dinamika i_{grst} -ren eduki harmonikotik bereizten da. Horretarako, *notch* iragazki bat erabiltzea erabaki da. Horren transferentzia-funtzioa honela deskribatzen da:

$$H(z) = \frac{1 - 2 \cos(\omega_o)z^{-1} + z^{-2}}{1 - 2(1 - \mu/2) \cos(\omega_o)z^{-1} + (1 - \mu)z^{-2}}, \quad (3.6)$$

non ω_o ezabatu nahi den maiztasuna den (f_k).

Filtro honek zeroak $z_o = e^{\pm j\omega_o}$ -n ditu eta, μ -ren balio txikietarako, poloak $z_p \approx (1 - \mu/2)e^{\pm j\omega_o}$ -n. Beraz, μ -k iragazkiaren banda-zabalera (F_{BW}) irudikatzen du, honela deskribatzen dena:

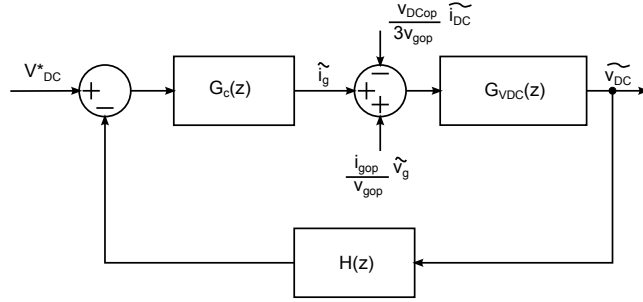
$$F_{BW} = \frac{\mu}{2\pi T_s}, \quad (3.7)$$

non T_s laginketa-periodoa den.

Idealki, *notch* iragazkiak ahalik eta banda-zabalera txikiena izan behar du. Horrela, nahi ez den osagaia kentzea bermatzen da, gainerako maiztasunak ahalik eta gutxien aldatuz. Praktikan, frekuentzia-aukeraketaren eta sendotasunaren arteko konpromisoa dago *notch* iragazkiaren maiztasun-aldaketen aurrean.

3.2.3.1. Tentsio-begitzaren diseinua

Korrante-begitzaren diseinu-prozesu berari jarraituz, lehen urrats gisa tentsio-begitzaren modeloa ezarri behar da.



3.9. Irudia: Tentsio-begitzaren bloke-diagrama diskretua.

Lehenik eta behin, plantaren eredua lortu behar da. Horretarako, kontuan izan behar da v_{DC} -ren kontrola DC buseko korranteen balantzeen bidez egiten dela. Eraginkortasuna %100ekoa dela onartuta, balantze hau honela adierazten da:

$$Cv_{DC} \frac{dv_{DC}}{dt} = 3v_g i_g - v_{DC} i_{DC}. \quad (3.8)$$

Ekuazio hori ez da lineala. Beraz, linealizatu egin behar da Taylorren serieetako garapena erabiliz eragiketa-puntu baten inguruan[148].

Linealizazio-prozedura hori, seinale txikiko eredua sortuz, onargarria da operazio-puntuaren inguruko aldaketak txikiak direnean. Laplace-ren transformata lehen deskribatutako operazio-puntuaren inguruan linealizatutako plantaren ereduari aplikatuz, hau lortzen da:

$$\tilde{v}_{DC}(s) = \frac{3v_{gop}}{\frac{3v_{gop}i_{gop}}{v_{DCop}} + Cv_{DCop}s} \left(\tilde{i}_g(s) + \frac{i_{gop}}{v_{gop}} \tilde{v}_r(s) - \frac{v_{DCop}}{3v_{gop}} \tilde{i}_{DC}(s) \right), \quad (3.9)$$

non \tilde{v}_{DC} , \tilde{i}_g , \tilde{v}_g eta \tilde{i}_{DC} , DC busaren tentsioaren seinale txikiko aldaketak, sarearen fase-korrantea, sarearen fase-neutro tentsioa eta DC bus-aren korrantea diren, hurrenez hurren.

Tentsio-begizta diskretuaren seinale txikiko ereduaren bloke-egitura ageri da 3.9. irudian, non

$$G_{VDC}(z) = \frac{\frac{3v_{gop}T_s}{Cv_{DCop}}z^{-1}}{1 + \left(\frac{3v_{gop}i_{gop}T_s}{CV_{DC}^2} - 1\right)z^{-1}} \quad (3.10)$$

ZOH metodoaren bidezko (3.9)-en diskretizazioa den,

$$G_c(z) = K_v \frac{1 - \alpha_v z^{-1}}{1 - z^{-1}} \quad (3.11)$$

PI erreguladorearen transferentzia-funtzioa den, eta $H(z)$ *notch* iragazkiaren transferentzia-funtzioa den.

Begizta itxiko tentsioaren eredu dinamikoa (3.9. irudia) honela defini daiteke, oro har:

$$\tilde{v}_{DC}(z) = G_3(z)v_{DC}^*(z) + G_4(z)\tilde{v}_r(z) + G_5(z)\tilde{i}_{DC}(z), \quad (3.12)$$

non $G_3(z)$, $G_4(z)$ eta $G_5(z)$ erreferentziako seinalearen transferentzia-funtzioak, sarearen fase-neutro tentsioa, DC buseko korronea eta DC busaren tentsioa diren. Funtzio horiek honela definitzen dira:

$$G_3(z) = \frac{G_{VDC}(z)G_c(z)}{1 + G_{VL}(z)}, \quad (3.13)$$

$$G_4(z) = \frac{i_{gop}}{v_{gop}} \frac{G_{VDC}(z)}{1 + G_{VL}(z)}, \quad (3.14)$$

$$G_5(z) = \frac{-v_{DCop}}{3v_{gop}} \frac{G_{VDC}(z)}{1 + G_{VL}(z)}, \quad (3.15)$$

$$G_{VL}(z) = G_{VDC}(z)G_c(z)H(z), \quad (3.16)$$

non $G_{VL}(z)$ tentsio-begiztaren irabazia den.

Transferentzia-funtzioen (3.12)-(3.16) bidez tentsio-begiztaren eredu definitu ondoren, tentsio-erreguladorea sintonizatu behar da. Horretarako, polo nagusien kokapena zehaztu da, erroen lekuaren teoriaren bidez.

Orain arte, tentsio-begizta linealizatuaren eredu bakarrik hartu da kontuan diseinu-prozesuan (3.9. irudia). Ez da kontuan hartu erreguladorearen asetasuna. Arestian aipatu bezala, erreguladorearen irteerak sareko korroneen erreferentzia ematen du (i_{dq}^*). Artezgailua osotasunean babesteko, i_{dq}^* balio seguru batera asetzea beharrezkoa da. Baina i_{dq}^* asetzearen ondorioz, erreguladoreak

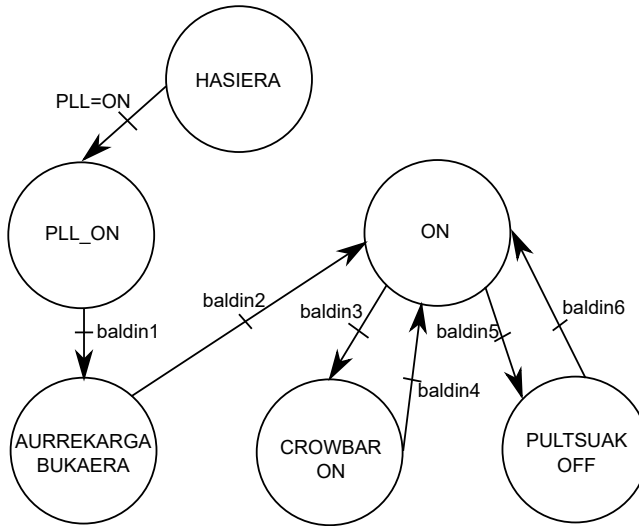
errore bat metatzen du, eta DC bus-aren tentsioan gainbultzada handi bat eragiten du. Fenomeno horri *Windup* deritzo. Arazo hori saihesteko, *antiwindup* batekin osatu behar da tentsio-begitzaren PI-a.

Notch iragazkiari dagokionez, F_{BW} banda-zabalera hautatu behar da. Iragazkiaren eragina nabarmenagoa da $f_k - F_{BW}/2$ eta $f_k + F_{BW}/2$ Hz arteko maiztasun-tartean. Are gehiago, begitzaren irabazia f_k -n -150 dB-koa da. Gainerako maiztasunetan *notch* iragazkiaren eragina baztergarria da.

3.2.4. Egoera-makina

Egoera-makina (3.10. irudia) arduratzen da kontrola gainbegiratzeaz eta artez-gailuaren abiatze- eta gelditze-sekuentziak ezartzeaz. Ondoren, estatu bakoi-tzean hartu beharreko ekintzak aztertzen dira.

- **HASIERA:** Hasierako egoera da. Egoera hau lehenengo milisegundu batzuetan dago aktibo, denbora hori baita PLLa behar bezala ezartzeko (PLL=ON, 3.10. irudia). Kontrolaren irteerako seinale guztiak desaktibatuta daude.
- **PLL_ON:** Kontrola egoera horretan egongo da busaren tentsioak (v_{DC}) maila jakin bat gainditu arte (baldin1, 3.10. irudia). Egoera horretan, irteera guztiak desaktibatuta daude.
- **AURREKARGA BUKAERA:** Egoera honek aurrekargaren fasearen amaiera finkatzen du. Kontrola egoera horretan egongo da v_{DC} tentsioak sarearen tentsio konposatuaren gailur-balioa hartu arte (baldin2, 3.10. irudia). Egoera horretan, aurrekargaren amaierako seinalea aktibo egongo da. Seinale horrek aktibatzen ditu aurrekargako erresistentzietan zirkuitulaburra eragiten duten erreleak.



3.10. Irudia: Vienna artezgailuaren egoera-makina.

- **ON:** Kontrola egoera honetan dagoen bitartean, artezgailua osatzen duten etengailuen kontrola eta aktibazio-pultsuak aktibo daude. Kontrolak denbora gehiena egoera honetan iraungo du eta arrazoi hauetako batengatik bakarrik utziko dio egoera honetan egoteari:
 - Irteerako tentsioa (v_{DC}) gehienezko maila onargarriaren gainetik dago (baldin3, 3.10. irudia) kondentsadore edo artezgailuaren gailuetarako. Kasu horretan, crowbarra aktibatzeo seinalea aktibatzen da, eta egoera-makina CROWBAR ON egoerara aldatzen da.
 - Korrontea ezeztatu egin behar da. Vienna artezgailua noranzko bakarrekoa da, eta ez du inoiz lortzen batez besteko balioa nulua duen korronte bat. Korronte-erreferentzia nulua denean ere, korronteak *offset* txiki bat du. *Offset* horrek kondentsadorea pixkanaka kargatu egiten du. Hori dela eta, korronte-erreferentzia nulua denean eta korrontea maila jakin batetik beherakoa denean (baldin5, 3.10. irudia), pultsuak desgaitu egiten dira kontrol-begiztekin operatibo jarraitzen duten arren, eta egoera-makina PULTSUAK OFF egoerara aldatzen da.

Benetako implementazio batean, egoera horrek beste seinale batzuk (temperaturak, korronteak, etab.) begiratu behar ditu bihurgailuaren funtzionamendu zuzena bermatzeko. Seinale horietakoren bat bere maila egokitik ateratzen bada seinaleak gelditu beharko lituzte segurtasuna bermatzeko.

- **CROWBAR ON.** Kontrola egoera honetan egongo da v_{DC} tentsioa maila jakin batetik behera jaitsi arte (baldin4, 3.10. irudia). Egoera horretan dagoen bitartean, crowbarra aktibatzeke seinaleak aktibo segitzen du.
- **PULTSUAK OFF.** Kontrola egoera honetara aldatzen da korrontea ezeztatu behar denean (baldin5, 3.10. irudia). Kontrola egoera horretan dagoen bitartean, artezgailua osatzen duten gailuen aktibazio-seinaleak desgaituta daude. Korronteen erreferentziak nuluak izateari uzten diotenean bakarrik (baldin6, 3.10. irudia), kontrolak egoera hori uzten du ON egoerara itzultzeko.

3.2.5. Modulagailua

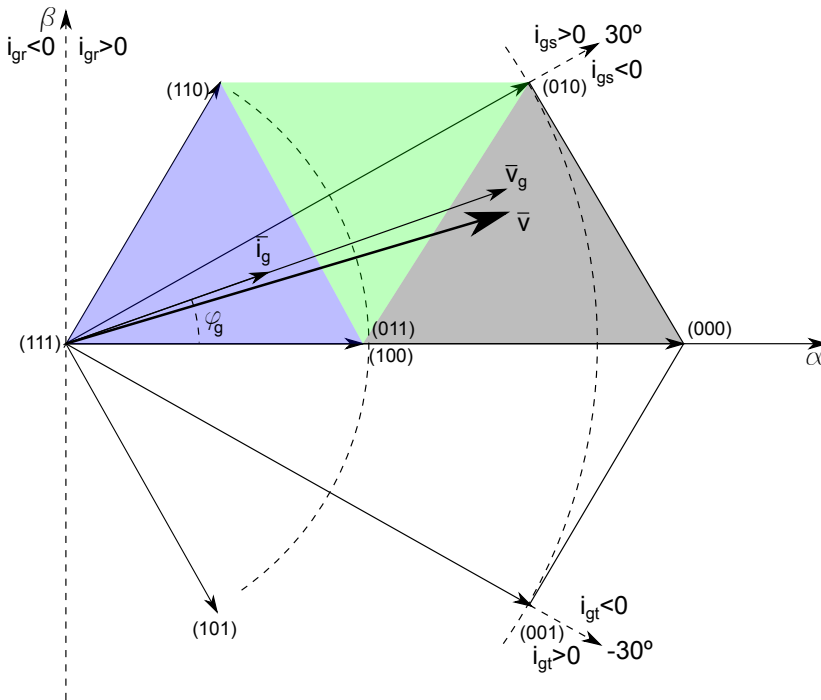
Vienna artezgailua osatzen duten etengailuen sekuentzia eta aktibatze-denborak ezartzeaz arduratzen da modulagailua. Teknika posible bat modulazio bektoriala izan daiteke. 3.11. irudian $\varphi_g \in [-30, 30](i_{gr} > 0, i_{gs} < 0, i_{gt} < 0)$ espazio bektoriala ikusi daiteke. Halaber, Vienna artezgailuak konmutazio-egoeren (S_r, S_s, S_t) arabera sor ditzakeen zortzi bektore diskretuak ageri dira irudian. Adibidez (010) egoerak adierazten du S_s aktibo dagoela eta, S_r eta S_t desaktibatuta.

Espazio bektoriala eskualde trianguluarretan banatzen da, koloreen bidez 3.11. irudian ikus daitekeen bezala. Artezgailuak sortutako tentsioen bektoreak (\vec{v}) eskualde horietako batean erortzen bada, bektorea eskualde trianguluarra mugatzen duten bektore diskretuen konbinazio gisa eratu da. 3.11. irudiko adibidean, \vec{v} (000), (010), (011) eta (100) konmutazio-egoerak konbinatuz sortzen da.

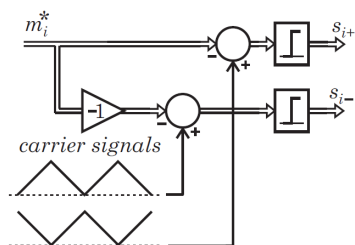
Modulazio bektorialaren eragozpen nagusia konputazio-karga handia da. Beste aukera posible bat modulazio eskalarra da. Modulazio horrek, eramailearen hautaketa egokiaren bidez, modulazio bektorialaren konmutazio-egoeren sekuentzia bera sor dezake. 3.12.(a) irudiak modulazio hori erakusten du. 3.12.(b) irudian ikus daitekeenez, teknika honek sekuentzia zuzena sortzen du, eta uneoro konmutazio-egoeren arteko gutxieneko konmutazio-kopurua bermatzen du. Nabarmentzekoa da 3.12.(a) irudiko m_i^* -k fase bakoitzerako seinale modulatzailerak aipatzen dituela. Seinale horiek kalkulatzeko, korronte-kontrolak sortutako

v_{rst}^* erreferentziak $v_{DC}/2$ balioarekin zatitzen dira, eta hirugarren harmonikoa gehitzen da. Modulagailua μ_s gutxi batzuetako laginketa-periodo batekin (T_{m2}) ezartzen bada, argi dago *hardware*-an inplementatu beharko dela.

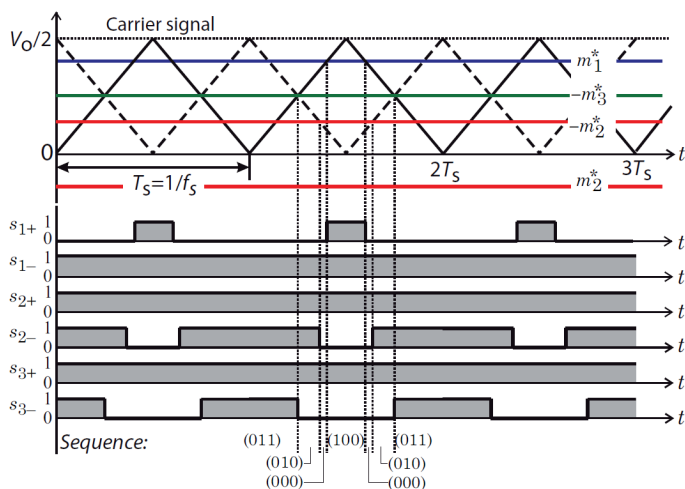
Azkenik, azpimarratu behar da ez dela aurreikusi irteerako kondentsadoreen erdiko puntuaren tentsioa orekatzeko kontrolik. Modulazioa bera arduratzen da honetaz konmutazio-egoera erredundanteak ((011) eta (100) egoerak) erabiliz. Egoera horiek espazio bektorial bera sortzen dute, baina kasu batean goiko kondentsadorea kargatzen du, eta bestean beheko kondentsadorea.



3.11. Irudia: Vienna artezgailuaren diagrama bektoriala $\varphi_g \in [-30, 30]$ ($i_{gr} > 0, i_{gs}, i_{gt} < 0$) sektorerako.



(a) Vienna artezgailurako pulsu-zabaleraren araberako moduladorearen arkitektura.



(b) Pulsu-zabaleraren bidezko modulazioa $\varphi_g = 10$ -rako, 180° desfasatutako bi eramaille triangeluar erabiliz. Konmutazio-sekuentzia optimoa ikus daiteke (011)-(010)-(000)-(100)-(000)-(010)-(011).

3.12. Irudia: Vienna artezgailurako modulazioa.

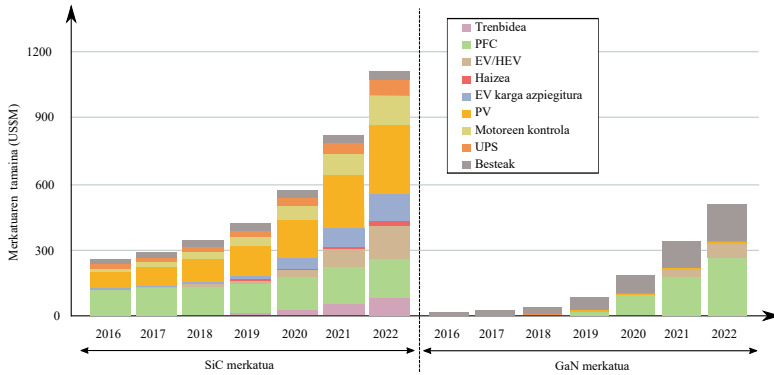
4. Kapituluia

Silizio karburozko (SiC) gailuak potentzia-elektronikan

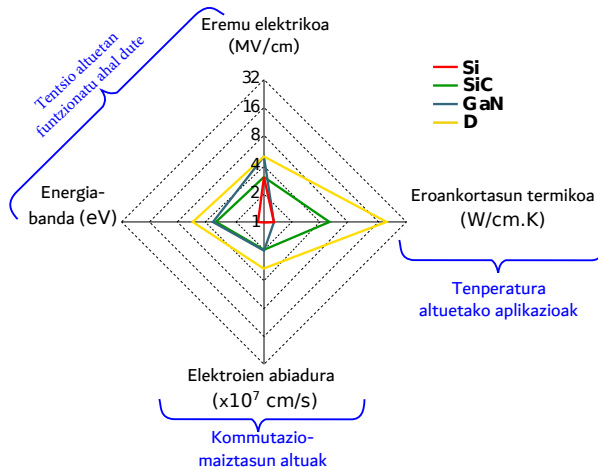
4.1. Sarrera

Silizioan oinarritutako IGBTak eta diodoak dira gaur egun propulzio-sistemetako potentzia-bihurgailu elektrikoetan gehien erabiltzen diren gailuak [149]. Azken bi hamarkadetan ikerketa ugari egin dira beraien ezaugarriak hobetzeko, eta gaur egun heldutasunera iritsi dira. Hobekuntza horiek, adibidez, potentzia-galerak murriztea (estatikoak zein dinamikoak) eta alderantzizko berreskuratze-korronteak eta ihes-korronteak minimizatzea izan dute ardatz [150–153]. Hala ere, silizioak materialaren berezko propietate fisikoekin lotutako mugak ditu, eta muga horiek gainditzea oso zaila da. Gaur egun, adibidez, *Super Junction MOS-FET* izeneko gailuekin ari dira ikertzen. Hala ere, oro har, ez da espero siliziozko erdieroaleei buruzko ikerketek funtsezko hobekuntza garrantzitsuak ekarriko dituztenik, ez behintzat belaunaldi berriko erdieroaleek (*Wide Band-Gap (WBG)*, ingelesez) ekar ditzaketen onura potentzialak zalantzan jartzeraino.

Azken hori kontuan hartuta, banda zabaleko erdieroaleak gero eta ezaguna-goak dira potentzia-elektronikaren hainbat eremutan eta, bereziki, automozioaren sektorean (4.1. irudia). *WBG* materialen artean, GaN eta SiC gailuak dira heldutasun handiena dutenak, baina badira potentzial handia duten beste material erdieroale batzuk ere, hala nola diamantea eta galio oxidoa (Ga_2O_3)



4.1. Irudia: SiC eta GaN erdieroaleen teknologien bilakaera eta merkatu-aurreikuspenak, aplikazioen arabera [154].



4.2. Irudia: WBG material garrantzitsuenen ezaugarri fisikoak.

[155, 156].

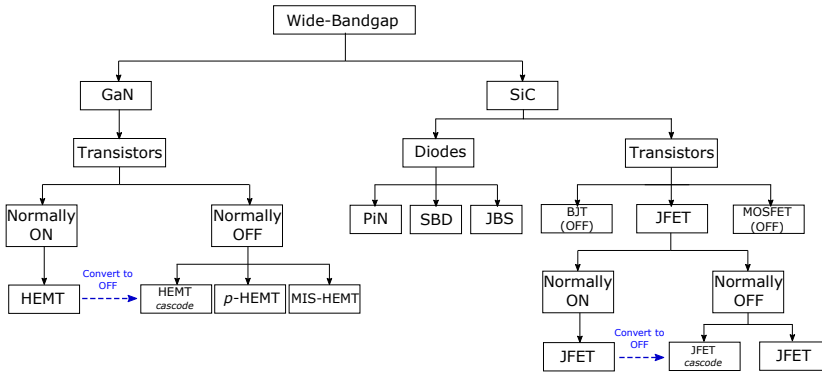
WBG erdieroaleek silizioaren zenbait muga gainditzen dituzte, hala nola, tentsio-muga, operazio-tenperatura eta kommutazio-maiztasuna. Banda-zabalera handia izatea bereziki garrantzitsua da gailuak askoz tenperatura altuagoetan (teorikoki, 300 °C) inguru funtziona dezaten. Tenperaturarekiko to-

lerantzia handiak ere gailu horiek baldintza zorrotzagoetan lan egin dezaketela esan nahi du, adibidez potentzia gehiago xahutzen denean. Gainera, WBG material gehienek askoz eremu elektriko kritiko handiagoa dute, ohiko erdie-roaleen dentsitatea baino hamar aldiz handiagoa, gutxi gorabehera. Propietate horiei guztiei esker, teorikoki, askoz tentsio eta korronte altuagoekin eta, aldi berean, potentzia-dentsitate handiagoarekin lan egin dezakete. Muga horiek potentzia-gailuen parametro fisiko nagusiekin lotuta daude (eremu elektrikoak, energia-banda debekatua, karga-eramaileen asetasun-abiadura eta eroankortasun termikoa)[157–165]. Parametro horiei dagokienez, 4.2. irudiak, silizioa erreferentziatzat hartuta, grafikoki konparatzen ditu, SiC eta GaN gailuen potentziala, tentsio-muga, konmutazio-abiadura eta tenperatura altuko funtzionamendua. Irudi horretan diamantea bera ere sartzen da, propietate onenak dituen material erdie-roalea dena. Era berean, ikuspuntu teknikitik, WBG erdie-roale horiek kapsulatze ezarritako mugek mugatu egin ditzake gailu horien merezimendu-figurak. Adibidez, gaur egun badira kapsulatze-soluzio espezifikoak, SiC gailuek $-150\text{ }^{\circ}\text{C}$ -tik $+300\text{ }^{\circ}\text{C}$ -ra bitarteko tartean lan egiteko aukera ematen dutenak [166].

Gainera, kontuan hartu behar da, WBG teknologia sartzeak potentzia-bihurgailuaren diseinuaren konplexutasuna areagotzen duela, silizioan oinarritutako teknologian garrantzi gutxiago zuten erronka tekniko berriak sartzen baititu. Alde horretatik, konmutazio-zirkuituaren kapazitateak eta inductantzia parasitoak kritikoagoak bilakatzen dira [167, 168]; izan ere, WBG erdie-roaleekin, konmutazio-abiadurak (pizte- eta itzaltze-abiadurak (d/dt)) azkarragoak dira. Dinamika azkar horiek interferentziak [169], gaintentsioak eta oszilazioak [170, 171] errazago sortzen dituzte, eduki harmoniko handiagoa [172], eta *cross-talk* efektuak [173] sortzen dituelarik. Azken batean, potentzia-bihurgailuaren fidagarritasun-arazoak areagotzen dira.

Zenbait GaN eta SiC teknologia-gailu mota daude (4.3. irudia). Gailu horien ezaugarriak aplikazio bakoitzeko potentzia-bihurgailuetan erabili aurretik aztertu behar dira. Etorkizunean, silizioan oinarritutako teknologia erabat baztertuta ez badago ere, belaunaldi berriko erdie-roale horiek potentzia-elektronikaren aplikazio askori erantzungo diete. Alde horretatik, 4.4. irudiak merkatuaren ikuspuntu desberdinak erakusten ditu¹, etorkizunean gailu-motak bateratuko dituztenak. Halaber, 4.5. irudian ageri da nola erabiltzen diren SiC eta GaN teknologiatik erdie-roaleak erdie-roale tradizionalen aurrean, aplikazioaren poten-

¹Yole aholkularitza-enpresa, SiC erdie-roaleen fabrikatzaile bat eta beste GaN fabrikatzaile baten arabera



4.3. Irudia: GaN eta SiC teknologiako gailuen sailkapena.

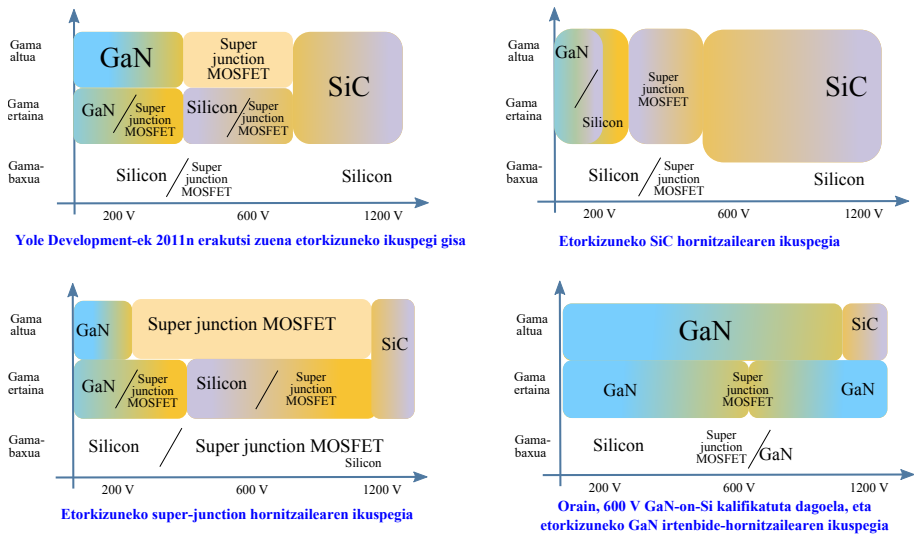
tziaren eta maiztasunaren arabera. Ibilgailu elektrikoaren karga-sistema potentzia altuetan kokatzen da eta ez konmutazio-maiztasun oso altuetan. Hortaz, SiC teknologia izango da aplikazio honetarako baliagarriena. SiC teknologien garrantzia dela eta, hurrengo atalean erdieroale horien deskribapen orokorra egiten da, azterketa hori Even karga-sistema testuingurura bideratuta.

4.2. SiC erdieroaleen teknologia

Azken urteotan, SiC teknologian oinarritutako gailuek hobetu egin dute errendimendua; izan ere, eroapen-tentsio gutxiago, operazio-tenperatura handiago, parametro egonkorrago, kapazitate-parasito txikiago eta konmutazio-abiadura handiagoak [174] dituzte. Hau guztia, materialaren konformazioa, gailuen diseinua eta fabrikazio-teknologiak [158, 160] hobetu egin direlako. Abantaila horiek automobilgintzaren sektorea erakarri dute, eta teknologia hori Even trakzio-trean erabiltzen hasi da, eta Even karga-sistemetan ere sartzea espero da.

Silizioaren teknologiarekin gertatzen den bezala, SiC teknologian² hainbat diodo eta transistore mota daude (ikusi 4.3. irudia). SiC diodoei dagokienez, haien abantaila nagusiak, siliziozkoekin alderatuta, alderantzizko berreskuratze-karga (Q_{rr}) txikia eta berreskuratze-korrente (I_{rr}) txikia dira, ondorioz, konmutazio-galerak txikiagoak dira [174]. Gainera, SiC diodoek koefiziente termiko (CT)

²SiC erdieroaleak egitura politipikoetan oinarrituta konformatu daitezke, adibidez, 3C-SiC, 4H-SiC eta 6H-SiC.



4.4. Irudia: Erdieroaleen merkatuaren etorkizuneko ikuspegia (Si/SiC/GaN fabrikatzaileen ikuspegiaren arabera), tentsioaren eta aplikazioaren prestazioen arabera sailkatuta (iturria: Yole).

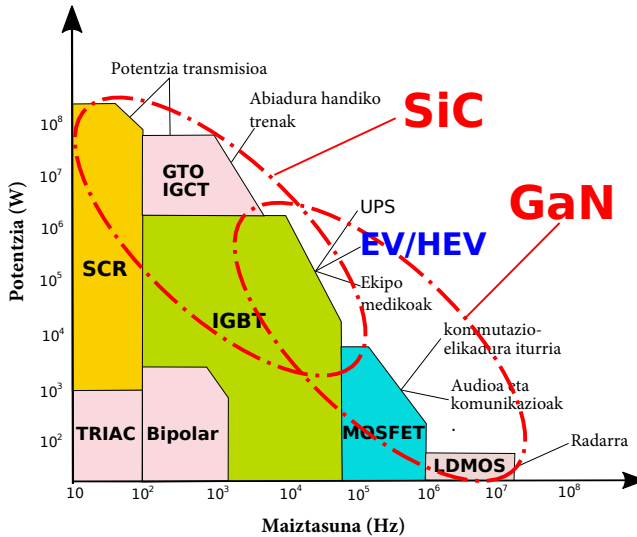
positiboa dute, eta hau funtsezkoa da gailuak paralelizatzeko (EV aplikatzeko baldintza) [160, 175]. Era berean, tamaina eta lodiera bereko siliziozko eta SiC-ko diodoak alderatuz gero, tentsio maximoak hamar aldiz handiagoak dira, gutxi gorabehera, SiC diodoentzat. Egungo SiC diodoak hiru multzotan sailka daitezke [160, 174, 176, 177]:

- PiN diodoak.

Gailu bipolar hauek tentsio altuko funtzionamendurako disenatuta daude (normalean 3,3 kV-etik gora). Tentsio bereko siliziozko diodoekin alderatuta, eroapen-egoeran dauden PiN diodoek tentsio txikiago dute erorketan. Hala ere, polo bakarrek diodoek baino Q_{rr} altuagoa dute, eta horrek, EVren aplikazioetan erabiliz gero, eraginkortasun-galera dakar.

- *Schottky* (SBD) diodoak.

Gailu polobakar hauek tentsioaren erorketa txikia izateaz gain alderantzizko indarberritze-karga nulua dutenez, alderantzizko berreskuratze-korrontea (I_{rr}) ia nulua edukitzera iristen dira. Horrek, aldi berean,



4.5. Irudia: SiC eta GaN erdieroaleak erabiltzea erdieroale tradizionalekin alderatuta, aplikazioaren potentziaren eta maiztasunaren arabera.

kommutazio-abiadura azkarra dakar. Hala ere, ihes-korronteak PiN diodoenak baino handiagoak dira, eta azkar handitzen dira tenperaturarekin. Azkenik, kontuan hartu behar da Schottky diodoek PiN diodoek baino askoz gainkorronte txikiagoak jasaten dituztela.

- Schottky (JBS) edo Schottky (MPS) diodoak.

Diodo hauek egitura hibridoa dute, eta eroapenean dagoen tentsio-erorketa baxuaren onurak eta SBD diodoen I_{rr} baxua konbinatzen dituzte, gainkorronte-ahalmen handiarekin eta PiN diodoen ihes-korronte baxuekin [178]. Hori dela eta, JBS diodoak, gaur egungo soluzioen artean, automotzioko potentzia-bihurgailu bihurtzeko aukerarik onena direla esan daiteke.

SiC teknologian oinarritutako transistoreei dagokienez, merkatuan hainbat gailu daude, besteak beste:

- Juntura bipolarreko SiC transistoreak (BJT). Normalean itzalita (*normally-off*, ingelesez) jarduten dute. Merkatuan tentsio-maila altuak (1200 V-

1700 V) eta korrante-maila altuak (3 A-160 A) dituzten gailuak daude. Gailu horiek eroapen-tentsio baxuak dituzte, eroapen-egoeran daudeneko erresistentzia baliokide baxu ($10\text{ m}\Omega$ - $470\text{ m}\Omega$) bati eta konmutazio-abiadura handiei esker [179, 180]. Korrante bidez kontrolatutako gailuak dira, eta korrante-irabaziaren tenperatura-koefiziente negatiboa dute. Gainera, kitzikapen-zirkuituaren diseinua tentsioaren bidez kontrolatutako gailuena baino konplexuagoa bihurtzen da.

- Juntura eremu-efektuko SiC transistoreak (JFET).

Oinarri gisa, SiC teknologiako JFETak³ aukera bikaina dira EVerantzat, barne-arkitekturari esker tenperatura altuetan lan egin baitaiteke egonkortasun-arazorik gabe (arazo horiek MOSFETetan gertatzen badira)[179, 181]. Gainera, atalase-tentsioak ez du loturarik tenperaturarekin, eta eroate-erresistentzia oso baxuak dituzte [182, 183].

Hala ere, SiC-en JFETak normalean piztuta (*normally-on*, ingelesez) dauden gailuak dira⁴, eta blokeatu egiten dira atearen (G) eta hornigailuaren (S) arteko p-n loturak alderantzizko polarizazioa duenean. Horregatik, eta atalase-tentsio txikia dutenez, JFETek berariazko kitzikapen-zirkuituak behar dituzte, siliziozko IGBTekin erabiltzen ez direnak. Azken ezaugarri horrek eta *normally-on* den erdieroalea izateak, gailu hau baztertu egiten du SiC MOSFETen aurrean.

- Eremu-efektuko SiC transistoreak (MOSFET).

Gailu hauek siliziozko MOSFETen egitura bertikal bera dute; normalean, itzalita egoten dira, eta oreka ona ematen dute eroapen- eta konmutazio-galeren artean [174], eroapen- eta kargatze-erresistentzia (Q_g) txikia baitute.

Beste ezaugarri garrantzitsu bat dute, siliziozko IGBTen kitzikapen-zirkuitu “bera” erabiliz egin daitekeela erdieroalearen aktibazioa, eta horrek bi teknologien arteko trantsizioa errazten du. Gainera, kanpoko diodo antiparalelorik gabe funtziona dezakete, transistorearen egituran dagoen

³Diseinurako eta fabrikaziorako erabilitako barne-egitura kontuan hartuta, SiCko JFETak bi familiatan bana daitezke: LCJFET (alboko kanala) eta VTJFET (kanal bertikala).

⁴GaN-en HEMTen antzera, normalean itzalita dauden gailuak lor daitezke, SiC JFETekin kaskodoa konfiguratzeko siliziozko MOSFET bat (R_{DSon} erresistentzia txikikoa) konektatuz. Era berean, efektu bera lor daiteke JFET atakaren egitura aldatuz, kanalaren eremua eten (edo agortzen) dadin atea polarizatu gabe. Azken soluzio horrekin, atalase-tentsioa nahiko txikia da. Bi irtenbideetan, normalean piztuta (*normally-on*) izateagatik ordaindu beharreko prezioa R_{DSon} igotzea da.

diodo intrintsekoa erabiliz [174, 184, 185]. Hala ere, diodo horren erabilera aplikazio bakoitzerako aztertu behar da, kanpoko JBS diodoekin prestazio hobeak lor daitezkeelako.

Oro har, gaur egun, SiC-en MOSFETak dira potentzia-aplikazioetarako gehien ikertzen ari diren gailuak, eta, beraz, etengabe hobekuntza nabarmenak egiten dira [177, 180, 181]. Horren ondorioz, fabrikatzaile bat baino gehiago ari dira SiC MOSFETen moduluak osorik merkaturatzen. Adibidez, horiek dira ibilgailu elektrikoaren trakzio-sistemarako irtenbide hedatuak.

Modulu horiek transistoreekiko antiparaleloan dauden SiC JBS diodoak dituzte, moduluaren propietateak hobetzeko; izan ere, SiC MOSFET baten diodo intrintsekoaren errendimendua JBS sistemaren errendimendua baino txikiagoa da.

Laburpen gisa, 4.1. taulak merkaturatzea aurki daitezkeen SiC erdiekoaleen ezaugarri nagusiak erakusten ditu. Ez dira kontuan hartu SiC-ean oinarritutako IGBTak, lehen ikerketa-etapetan baitaude eta, ez baitira merkaturatzen [186]. Arestian esan bezala, SiC JBS diodoak eta SiC MOSFETak dira siliziozko IGBT eta diodo tradizionalak ordezkatzeko gailurik egokienak. Hala ere, erdiekoale diskretuen gaur egungo mailak ez dira behar bezain altuak ibilgailu elektrikoaren karga-baldintza errealei aurre egiteko. Beraz, elementu diskretuen edo *bare die*-en bidezko paralelizazio zuzena nahitaezkoa da korrante-maila handiagoak lortzeko. Testuinguru horretan, ad-hoc potentzia-moduluak ezartzeak (*bare die* -ak erabiliz) prestazio hobeak eman ditzake; izan ere, diseinu aurretatu baten bidez, inдукtancia parasito baxuak, ezaugarri termiko hobetuak eta potentzia-dentsitate altuagoak dituzten potentzia-bihurgailuak lor daitezke. Horiek guztiak ezaugarri egokiak dira hurrengo belaunaldiko ibilgailu elektrikoetan eta hauen karga-sistemetan aplikatzeko.

4.3. Ondorioak

Ibilgailu elektrikoaren karga-sistemen ezaugarriak hobetu daitezke SiC gailuak erabiliz. Kommutazio-galera txikiagoak izateak, kommutazio-maiztasuna handitzea ahalbidetzen du, eta honek hainbat abantaila ditu, hala nola, potentzia-dentsitate handiagoa, osagai inдукtibo eta kapazitibo txikiagoak erabili ahal baitira. Gainera, tenperatura-koefiziente positiboa izateak erraztu egiten du gailuen arteko paralelizazioa, hau oso erabilgarria izanik potentzia-maila altuak

4.1. Taula: SiC gailu garrantzitsuenen abantaila eta desabantailen laburpena [160, 175, 176, 180, 182, 187–189].

| Gailua | Abantailak | Desabantailak |
|-----------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|
| <i>SiC</i> diodiak | Q_{rr} txikiagoa. Kommutazio-galera txikiagoak. Tenperatura-koefiziente positiboa ⁽¹⁾ . | |
| | PiN Tentsio altua (>3,3 kV). Ihes-korronte baxuak eta T^a rekiko indep. R_{on} baxua. | I_{rr} altua. Q_{rr} altua. |
| | SBD Tentsio tipikoak ~ 600 V. I_{rr} baxua. Q_{rr} baxua. | Ihes-korronte handiagoak. T^a rekiko mendekotasun handia. |
| | JBS Gailu hibridoa (SBD-PiN) 600 V-3,3 kV. | |
| <i>SiC</i> BJT | Normalean itzalita. Eroate-tentsio baxua. Tentsio-erorketa baxua V_{CE} . Kommutazio-abiadura altua. | Korronte bidezko kontrola. <i>Driverren</i> konplexutasuna ⁽²⁾ . |
| <i>SiC</i> JFET (albokoa, bertikala) | T^a altuetan lan egin dezake. V_{TH} T^a rekiko indep. JFET bertikala diodo parasito gabea ⁽⁴⁾ . R_{DSon} baxua. | JFET-Lateral normalean piztuta ⁽³⁾ . V_{TJFET} normalean piztuta. |
| <i>SiC</i> MOSFET | Normalean itzalita. Ateko-karga \simeq Si IGBTena. Si IGBTentzako driver berak ⁽⁵⁾ . Siliziozko IGBTen antzeko <i>rating</i> -ak. Kommutazio-maiztasun handiagoak. Tenperatura-koefiziente positiboa ⁽¹⁾ . Eroankortasun termiko handia. | Sendotasun baxua (atearen fidagarritasuna). |

Oharrak:

- (1) Beharrezkoa gailuaren paralelizazioa errazteko.
- (2) Tentsio bidez kontrolatutako gailuekin alderatuta.
- (3) Bihurgailuaren segurtasuna arriskuan jartzen du.
- (4) Diodo-parasito horiek prestazio okerragoak dituzte, besteak beste, eroapen-galera handiagoak.
- (5) Siliziotik WBG teknologiarako migrazioa sinplifikatzea.

behar dituzten sistemetan. Azkenik, funtzionamendu-tenperatura handiagoa izateak, abantaila ematen die gailu hauei, aspektu honetan sistemaren sendotasuna bermatuz.

5. Kapituluia

Vienna artezgailua hobetzeko proposamenak

5.1. Sarrera

Vienna 6-switch artezgailuaren implementazioa egiterakoan, tesi honen ekarpen nagusiak diren hainbat hobekuntza proposatu dira. Izan ere, SiC gailuak erabiltzeak, aurreko kapituluan azaldu bezala, hainbat onura ekar dakizkio topologiari. Gailu erdieroale hauen ezaugarrietako bat kommutazio-abiadura altua da. Horrek alde positiboak ditu, adibidez kommutazio-maiztasuna igotzea ahalbidetzen baitu, baina, bestalde, kommutazio-abiadura horrek gaitzesgarriak eta oszilazioak sortu ditzazke zirkuituaren funtzionamenduan. Hortaz, kommutazioa gauzatzen den begizta ondo diseinatuta egon behar da. Hurrengo “Zelda kontzeptua” eta “RLC iragazkia” ataletan, arazo hauen irtenbide posibleak azaltzen dira.

Ibilgailu elektrikoaren karga-sistemek potentzia handietan egiten dute lan. Tesituinguru horretan, osagaien paralelizazioa beharrezkoa izango dela aurreikusi daiteke. Paralelizazioa modu egokian gauzatzeko, potentzia-begizten diseinuaren simetria eta gailuen aktibazio sinkronizatua behar-beharrezkoak dira. Aspektu bi hauek betetzen dituen topologiaren diseinua ez da simplea izaten. Tesi honetan, irtenbide posible modura “*Push-pull* anizkoitza” erabiltzea proposatzen da. Bestalde, osagaiak paralelizatzerakoan, paralelizazio normala edo *interlea-*

ving teknika erabiltzeak dituen eraginak aztertu dira, izan ditzaketen eragin positiboak analizatuz. Azken proposamen hau, “Paralelizazio eta *Interleaving* tekniken erabilera *Vienna 6-switch* topologian” izeneko atalean jorratzen da.

5.2. Zelda kontzeptua

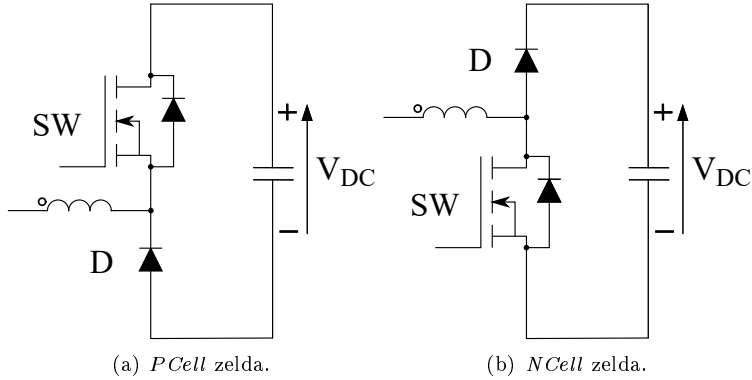
Tesi honetan zehar askotan aipatzen da **zelda** hitza. Atal honetan, konmutazio-zeldaren esanahia eta honek daukan garrantzia zenbaterainokoa den azalduko da.

Gaur egungo bihurgailuak geroz eta optimizatuago daude eraginkortasunaren ikuspuntutik eta, baita potentzia-dentsitatearen ikuspuntutik ere [66, 67, 70]. Potentzia-dentsitate handiagoak lortzeko, WBG gailuek garrantzia handia izan dezakete. Aurreko atalean aipatu bezala, gailu hauek tenperatura altuagoetan funtzionatzeko gaitasuna dute, eta horrek aproposak egiten ditu hainbat potentziako aplikaziotan erabiltzeko. Bestalde, potentzia-dentsitatearen ikuspuntutik, oso interesgarriak dira gailu hauek dituzten konmutazio-galera baxuak, horrela konmutazio-maiztasuna igotzeko gaitasuna hobetzen baita. Konmutazio-maiztasun altuagoetan lan egiterakoan, bihurgailuetako osagai pasiboak (kondentsadoreak eta induktantziak) txikiagoak izan daitezke, eta honek eragin zuzena du potentzia-dentsitatean.

Goi-maiztasuneko testuinguru honetan, are garrantzia handiagoa hartzen du diseinuak. Ondo diseinatutako zirkuitu batek oso induktantzia txikiak izan ditzake potentzia-begiztan, nH gutxi batzuk [139–141]. Potentzia-atalak hainbat konmutazio-zelda izan ditzake, eta guztiak egon behar dira optimizatuta, hau da, zeldak konmutazioa ondo mugatu behar du, korronteak ahalik eta bide-induktibo txikiena hartzeko. Zelda optimoak lortzeko, beharrezkoa da *snubber* kondentsadoreen erabilera, asko laguntzen baitute konmutazio-eremua mugatzen. Hauen eraginkortasuna hainbat lanetan berretsi da [142, 143].

5.2.1. *PCell* eta *NCell* zeldak

Zeldak, egiten duten funtzioaren arabera, *PCell* edo *NCell* modura izendatzen dira. MOSFETa irteerako kondentsadorearen alde positibora konektatuta dagoenean *PCell* deritzo, eta MOSFETa irteerako kondentsadorearen alde negatibora konektatuta dagoenean *NCell*. 5.1. irudian ikusi daitekeen modura, zelden egiturek bihurgailu sinpleenen egiturak dituzte, non *PCell* eta *NCell* zeldak, alderantziz dagoen *Buck* eta *Boost* bihurgailu bat diren, hurrenez hurren.

5.1. Irudia: *PCell* eta *NCell* zeldak.

Egitura hauek ezin daitezke gehiago optimizatu, esan daiteke konmutazio-ahalmena duten bihurtailuen artean hobe ezinak direla. Zelda hauen bidez sortu daitezkeen bihurtailuek, beste topologia batzuekin alderatuz, oso konmutazio-galera txikiak bermatzen dituzte eta horrek goi-maiztasuneko testuingururako aproposak egiten ditu. Aipagarria da ere, lortzen diren begizta optimizatuen kapazitate (C_{paras}) eta induktantzia (L_{paras}) parasito txikiek oszilazio-arazoak murrizten dituztela, SiC MOSFETek sortutako di/dt eta dv/dt azkarrek eragin gutxiago baitute osagai parasitoak txikiak direnean. Korrante eta tentsio-gainkargak, $i(t)$ eta $v(t)$ hurrenez hurren, hurrengo ekuazioen arabera dira:

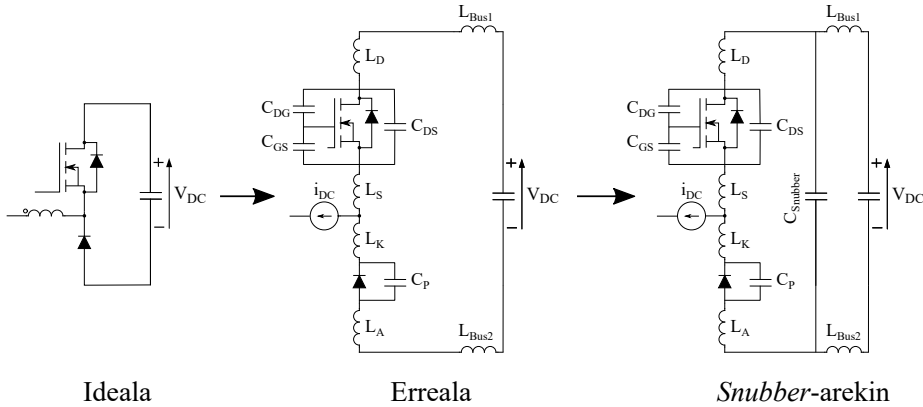
$$i(t) = C_{paras} dv/dt \quad (5.1)$$

$$v(t) = L_{paras} di/dt \quad (5.2)$$

5.2.2. Osagai parasitoen eraginaren azterketa

P-Cell diseinuaren eskematikoa abiapuntutzat hartuz, 5.2. irudian osagai parasito garrantzitsuenak erakusten dira, non $C_{snubber}$ kondentsadorearen kokalekua ere azaltzen den.

Osagai diskretuak erabiltzen direnean, L_D , L_S , L_K eta L_A induktantzia parasitoek osagai diskretuaren hanken induktantziak eta PCBak sartutako induktantziak batzen dituzte, hortaz, ondorioztatu daiteke PCB diseinu on baten beharrezana aspektu kritiko bat bilakatzen dela.



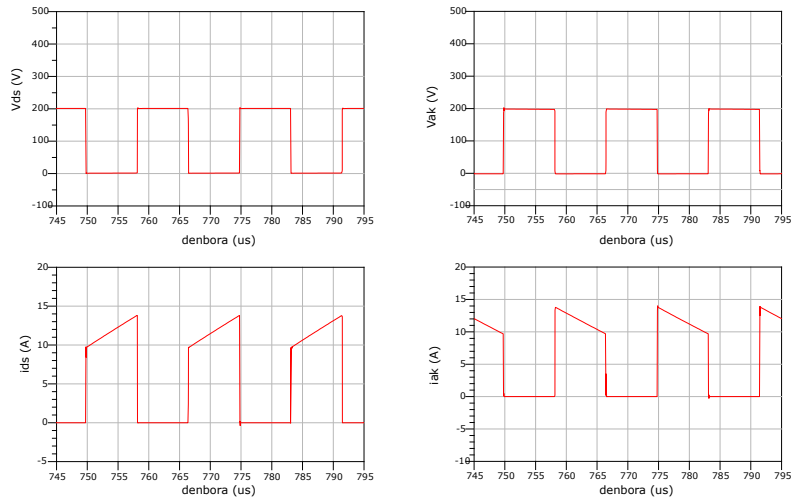
5.2. Irudia: *PCell* zelda baten adierazpen eskematikoa - Kasu ideala eta errealak.

Kontzeptu hau simulazio bidez baieztatzeko aldera, 200 V-ko busa, 10 A-ko irteerako korronea eta 200 μH -ko harila duen *PCell* bat simulatu da¹. Erabilitako MOSFETa eta diodoa, SCT20N120H eta CPW31700S025B erreferentziadunak dira, hurrenez hurren. Egindako simulazioak, lortu daitezkeen kasu hobereana probatzeko egin dira, hau da, oso zaila izango litzateke emaitza hobekia lortzea errealitatean. Horretarako L_D , L_S , L_K eta L_A inдукtantzia parasitoei 10 nH-ko balioa esleitu zaie, eta MOSFETaren zein diodoaren osagai parasitoak simulazio-modeloek barnean dituztenak dira.

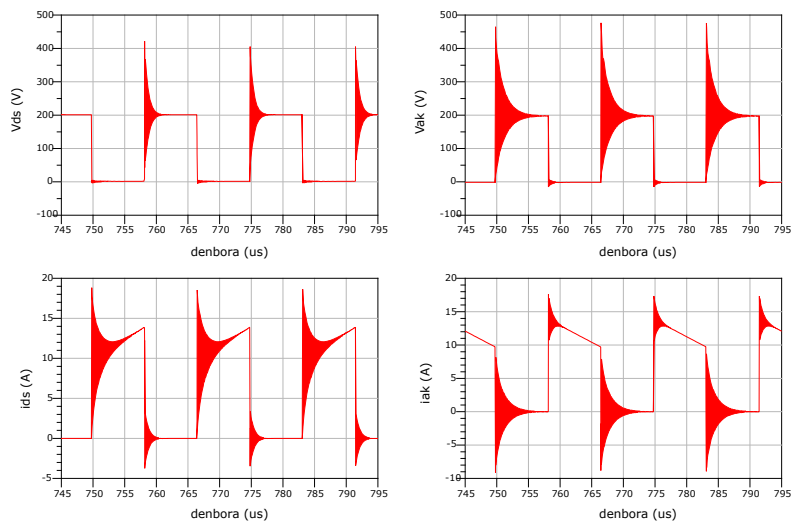
Lortutako simulazio-emaitzak 5.3., 5.4. eta 5.5. irudietan erakusten dira. Oso argi ikusi daitezke osagai parasitoek eragiten dituzten gainkargak eta oszilazioak (ikusi 5.4. irudia), eta *snubber* kondentsadorea zirkuituan sartzeak duen eragin positiboa (ikusi 5.5. irudia).

Aurretik esan bezala, kasu hau lortu daitezkeen kasurik hobereana izateko simulatu da, eta hortaz bai kasu errealeko eta baita *snubber* kondentsadorea duen kasuko aplikazio errealean, gainkarga eta oszilazio handiagoak izango direla aurreikusi daiteke. Horrek, eragin zuzena du eraginkortasunean, konmutazio-galerak asko igo baitaitezke gaizki diseinatutako *PCell* zein *NCell* konmutazio-zelden kasuan.

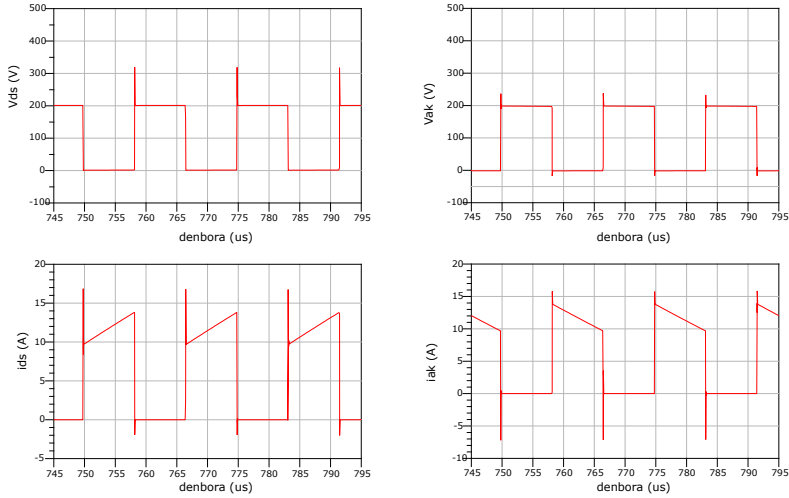
¹Konmutazio-maiztasunak handiak direnean, konmutazioaldi bakoitzean hariletik sartzen den korronea konstantea dela onartu daiteke, ez baita aldatuko PWMaren modulagailua bezain bizkor.



5.3. Irudia: *PCell* zeldaren konmutazio idealak, osagai parasito gabeak.



5.4. Irudia: *PCell* zeldaren konmutazio errealak osagai parasitoak kontuan izanda.



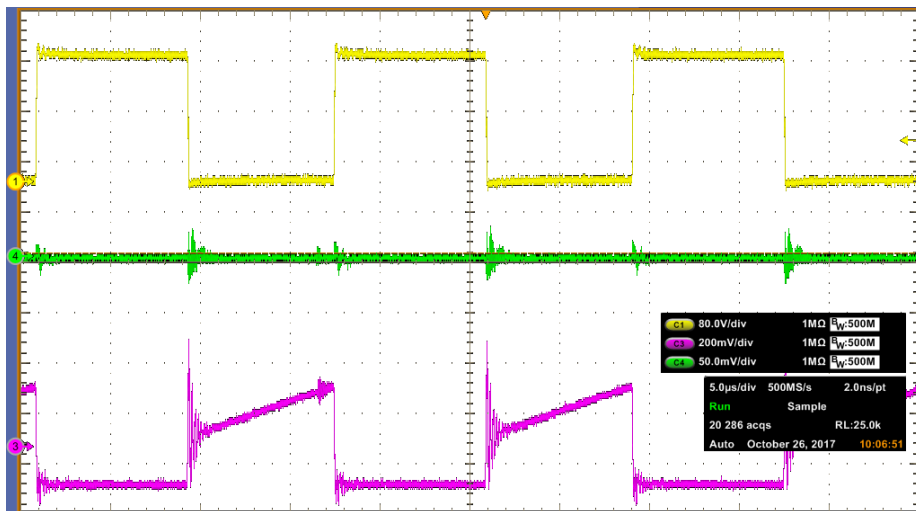
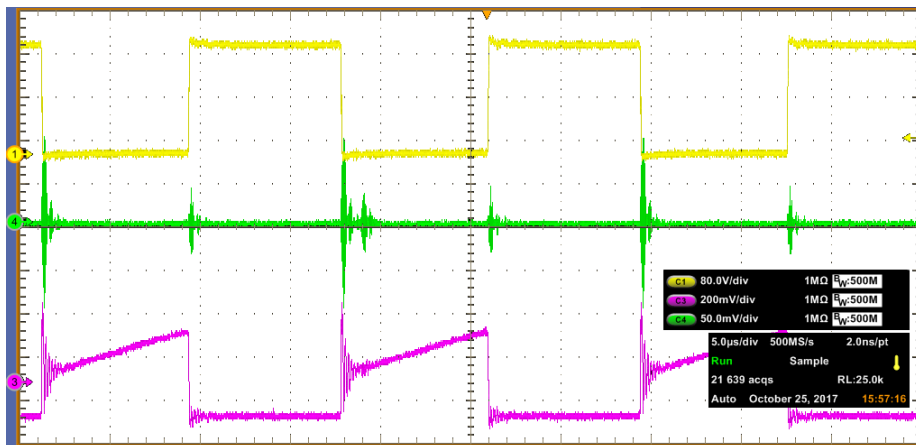
5.5. Irudia: *PCell* zeldaren konmutazioak osagai parasitoak kontuan izanda eta *Snubber* kondentsadorearekin.

5.2.3. *PCell* baten uhin-forma errealak

Azpiatal honetan, konmutazio-zelden eragina zenbaterainokoa den zehazteko, kasu erreal bi probatu dira simulazioak egin diren tentsio eta korrante maila berdinetan, non aldaketa bakarra *Snubber* kondentsadorearen balioak diren. Lortutako emaitzak 5.6. irudian ikusi daitezke $C_{Snubber} = 1 \mu F$ kasurako, eta 5.7. irudian $C_{Snubber} = 150nF$ kasurako.

Proba hauek ondorioztatzen dute *snubber* kondentsadoreek eragin positiboa dutela kasu bietan. Lehen kasuan, *snubber* kondentsadoreak lan gehiago egiten duela adierazi daiteke, *snubber* kondentsadorearen korronteak (uhinforma berdea) maila altuagoak baititu. Horrek, eragin zuzen bi ditu. Alde batetik, MOSFETaren v_{DS} tentsioan ez da ia gainkargarik azaltzen, eta bestetik, i_{DS} korrontean gainkarga txikiagoa azaltzen da bigarren kasuarekin alderatuta.

Azkenik, ondorioztatu daiteke, MOSFETaren korrontean eragina izango luketen kondentsadore parasitoen balioak murriztu egiten direla *snubber* kondentsadore handiagoak erabiltzen ditugunean. Beste modu batera esanda, korrontearen konmutazioa hobeto mugatzen da.



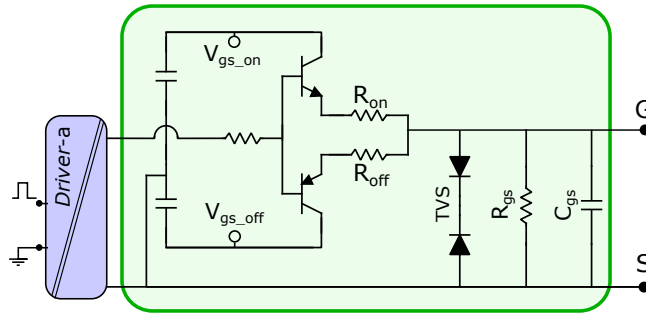
5.3. Push-pull anizkoitza

Silizio Karburuzko (SiC) MOSFETen konmutazio-denbora oso laburrei esker, energia-bihurgailuek askoz konmutazio-maiztasun altuagoetan lan egin ahal dute Silizozko transistoreetan oinarritatukoekin alderatuta. Hala ere, SiC MOSFET txipen tamainak nahiko txikiak direnez, korrante-maila altuak lortzeko txipak paraleloan konektatuta egon behar dira, bai osagai bereizi gisa, baita txip anitzeko modulu batean ere. Korrante totala MOSFETen artean berdin bana dadin, modulu horiek simetria-baldintza zorrotzak bete behar dituzte *driver*-zirkuituan eta potentzia-zirkuituan. Alde honetatik, SiC MOSFET-ek tenperatura-koefiziente positiboa dute baina ez da nahikoa korrontearen banaketa egokia bermatzeko. Gainera zaila da simetria biak aldi berean lortzea, harreman estua dutelako. Atal honek SiC MOSFETak paraleloan konektatzeko irtenbide bat proposatzen du, bi diseinu horien (*driver*-aren atala eta potentzia atala) simetria-baldintzak betetzen laguntzeko.

Irtenbidea, MOSFET guztiak elikatzeko *push-pull* bakar bat jarri beharrean, MOSFET bakoitzari *push-pull* zirkuitu bat jartzean datza. Modu horretan, lortutako ateko seinaleak askoz garbiagoak dira, eta, garrantzitsuagoa dena, ez dira hain sentikorrak paraleloan kokatutako MOSFETen bide elektrikoen simetria ezarekiko. Horri esker, simetria-baldintzak arindu daitezke *driver* atalean, eta, beraz, potentzia atalaren diseinuan simetria-maila hobea lortzen laguntzen du.

Alde horretatik, potentzia-elektronikan ohikoa da gailuak paraleloan konektatzea, goi-korronteko moduluak eta bihurgailuak lortzeko [190–195]. Hori bereziki egia da SiC MOSFETetan, SiC gailuak bere silizozko homologoak baino tamaina txikiagoetan fabrikatzen baitira. Izan ere, SiC potentzia-modulu komertzial gehienek paraleloan konektatutako zenbait (N) gailu dituzte, normalean $N = 4$ edo $N = 6$. Hala ere, paralelizazioa arrakastatsua izan dadin, gailu bakoitzetik igarotzen diren korronteak ahalik eta berdinenak izan behar dira, eta horrek simetria funtsezko diseinu-printzipio bihurtzen du. Gainera, ia ezinezkoa denez ekoiztutako gailu guztiak berdin-berdinak izatea, ingeniari-tza-lan nagusia potentzia- eta driver-zirkuituen diseinuak ahalik eta simetrikoenak egitean datza.

Beste alde batetik, SiC MOSFETen ateko zirkuitua inplementatzeko modu asko daude [196–209]. Modu horien artean, gehien erabiltzen den tekniketako bat *push-pull* bultzada-buffer bat sartzea da, lotura bipolarreko transistoreetan (*bipolar junction transistor* (BJT), ingelesez) oinarritua. Horrek korrante



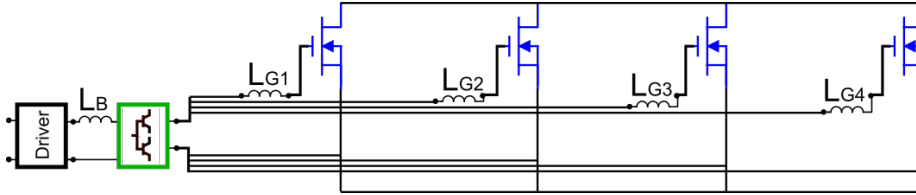
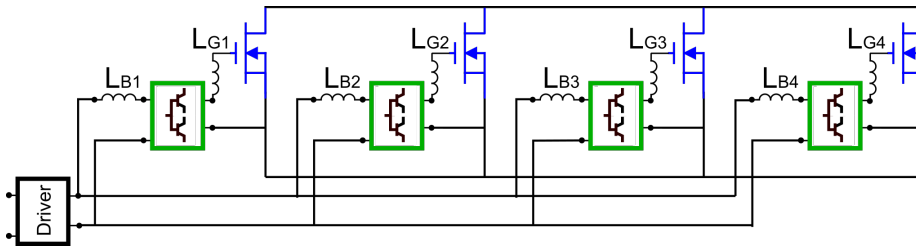
5.8. Irudia: Push-pull-aren eskematikoa.

azkarreko amplifikadore gisa jarduten du kontrolatzailearen eta MOSFETen artean (5.8. irudia). Ikuspegi sinplea eta eraginkorra da, baina arazo batzuk ditu, eta horietako bi oso kezagarriak dira. Alde batetik, paraleloan dauden N gailuren arteko sinkronizazioa asko hondatzen da, N ateko-zirkuituen begiztak elektrikoki antzekoak ez direnean. Ateko zirkuituaren sinkronizazio-falta horrek desoreka nabarmenak eragin ditzake potentzia-atalaren korrontean. Gainera, SiC MOSFETak oso pizte abiadura azkarra dute (8 ns ingurukoa) eta, beraz, sinkronizazio-faltagatik goizago pizten den gailu batek korronte gehiegi eraman lezake, honen desintegrazio termikoa eraginez [210–217].

Bestalde, pushpull bakar batekin (eta paraleloan kokatutako N MOSFETekin) diseinatutako bihurtailuen ateetako banakako ibilbideek inductantzia-bide antzekoak badituzte ere, haien balioak behar bezain txikiak ez badira, gaintentsio handiak garatuko dira. Izan ere, (i) MOSFET bat baino gehiagoko ateen korronteak atearen eraso-bide berean batzen dira di/dt -a handituz, eta (ii) atekorronte horiek aurrez amplifikatu dira. Horren ondorioz, gailuaren *self turn-on* ez-desiratuak sor daitezke [218–221].

Eragozpen horiek gainditzeko, gailu bakoitzerako *push-pull* bat erabiltzea proposatzen da, gailu guztietarako *push-pull* bakarra erabili beharrean (5.9. (a) eta 5.9. (b) irudiak). *Push-pull* bakoitza bere MOSFETarengatik ahalik eta hurbilen jarri behar da. Horren ondorioz, atearen eraso-bideek MOSFET bakar baten korronte eraman behar dute, eta gainera, irteerako inductantziak asko murrizten dira. Modu honetan *self turn-on* arriskua asko murrizten da.

Proposamen honek ez ditu inductantziak ezabatzen, zatitu egiten ditu, korronte gehien dagoen bideetako (*push-pull*-aren irteeratik MOSFETera) inductantzia

(a) Push-pull bakarra: $L_{G1} \neq L_{G2} \neq L_{G3} \neq L_{G4}$ (eta induktantzia handiak).(b) Push-pull anizkoitza: $L_{G1} \cong L_{G2} \cong L_{G3} \cong L_{G4}$ (eta induktantzia txikiak).**5.9. Irudia: Push-pull-a: (a) ohiko topologia eta (b) proposatutako topologia.**

txikiagoa egitea lortuz, eta bide induktibo luzeenak (*driver*-etik *push-pull*-era) korrante txikiko aldean utziz. Aldaketa honekin *driver*-aren eta *push-pull*-aren arteko bidearen simetria-baldintzak lasaitzea espero daiteke, korrante oso txikiak eroan behar direlako bide horietatik, eta hortaz di/dt -aren ikuspuntutik ez dagoelako alde handiegirik. Horrela, potentziaren eta driverraren diseinua-aren arteko independentzia lortu daiteke. Era berean, independentzia honek, errazagoa egingo luke potentziaren aldeko diseinu simetrikoaren optimizazioan zentratzea, diseinu guztiz simetriko bat egitea lortuz.

5.3.1. Push-pull etapa ezberdinen konparaketa

Proposatutako topologia bideragarria izateaz gain eraginkorra dela ziurtatzeko, hiru diseinu ezberdin egin dira (5.10. irudia). Azterketa sinpleagoa izateko, $N = 4$ SiC MOSFET jarriko direla paraleloan onartu da. Kasu guztietan, *push-pull* zirkuitu inplementatu da (5.8. irudia) ezaugarri berdinekin (PBSS4041NX eta PBSS4041PX BJTak erabiliz osatua; $V_{ON} = 19\text{ V}$ eta $V_{OFF} = -5\text{ V}$).

Era berean, hauetan azaltzen diren L_{Bk} eta L_{Gk} datuak, non $k = 1 \dots 4$ Fasthenry softwarea [222] erabiliz lortu dira, bide inдукtibo ezberdinen geometriak kontuan hartuz. SiC MOSFETen konmutazio-maiztasuna ere kontuan hartu da *skin effect*-aren eragin posibleak kontuan hartzeko.

Hiru diseinuak honela deskriba daitezke:

Push-pull bakarra, bide simetrikoak (*Single push-pull, Symmetric paths*) — SS (5.10.(a) irudia)

Ohiko inplementazioa da, non *push-pull* bakar batek ate guztiei emango dien anplifikatutako korronea. Ikusi daiteke L_{Gk} balioak antzekoak dira, baina ez dira txikiak: 62 ± 1 nH.

Push-pull anizkoitza, bide simetrikoak (*Multiple push-pull, Symmetric paths*) — MS (5.10.(b) irudia)

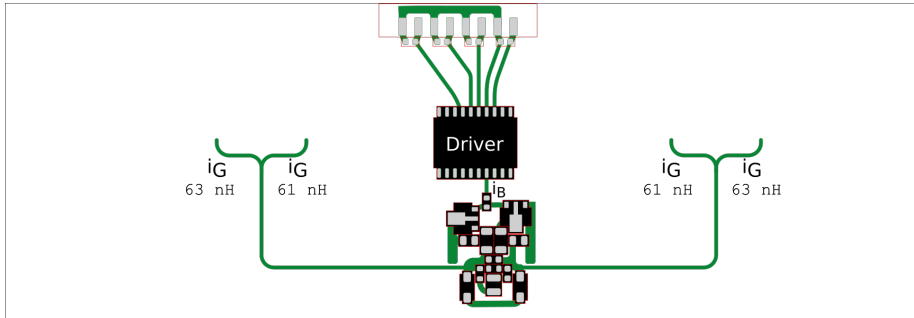
Aurkezten den proposamenari dagokion diseinua, non MOSFET adina *push-pull* dauden, elkarrengandik ahalik eta hurbilen jarrita. Beraz, L_{Gk} balioa ezerezean gelditzen da (horregatik ez dira irudikatzen), baina L_{Bk} -rentzat 60 ± 1 nH-ko balioak lortzen dira, espero zen bezala, ia SS kasuko L_{Gk} balioen berdina.

Push-pull anizkoitza, bide asimetrikoak (*Multiple push-pull, Asymmetric paths*) — MA (5.10.(c) irudia)

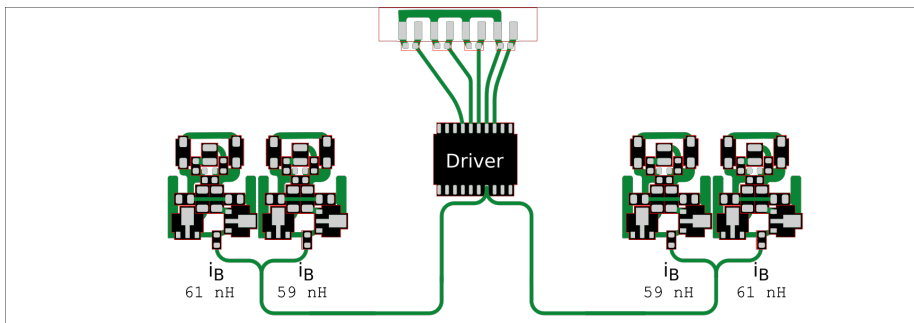
Azterketarako kasu gehigarri gisa diseinatu da kasu hau. Proposatutako ikuspegi berria kontuan hartuz gero, L_{Bk} -ren sakabanaketarekiko zenbaterainoko sentikortasuna duen ebaluatzeko. Hau aztertzeko, *driver*-etik *push-pull*-era doazen pistak nahita gaizki bideratu dira, horrela L_{Bk} ezberdinetarako 34 nH-tik 110 nH-ra doazen balio ezberdinak lortuz.

Moldaketa berriaren gaitasun tekniko eta errendimendua ebaluatzeko, bihurgailu-topologia sinpleenetako bat aukeratu da: *Buck* motako DC-DC bihurgailu estandarra (5.11.(a) irudia). Aukeratutako ezaugarriak 250 V_{DC} -eko elikadura, 200 μ H eta 100 μ F-ko LC irteera-iragazkia, eta 20 A_{DC} -ko karga dira. *Buck* bihurgailuaren potentzia atalean (5.11. irudia), “Ph” puntura MOSFETen hornitzailea (S) eta diodoen katodoa konektatzen dira. Bihurgailuak $N = 4$ SiC MOSFET (Cree C3M0075120J) eta beste hainbeste SiC Schottky diodo (STMicroelectronics STPSC20H12G) ditu paraleloan, guztiak $f = 125$ kHz konmutazio maiztasunarekin eta %50-eko lan-zikloarekin lanean².

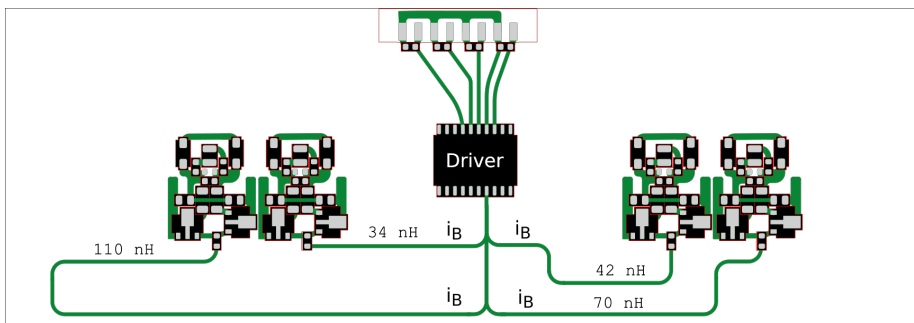
²Diseinua egiterako orduan, aurreko ataleko zelda-kontzeptua kontuan eduki da. Lau zelda



(a) SS konfigurazioa: push-pull bakarra.

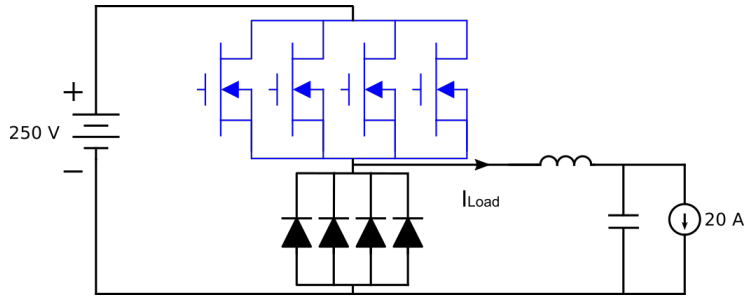


(b) MS konfigurazioa: lau push-pull.

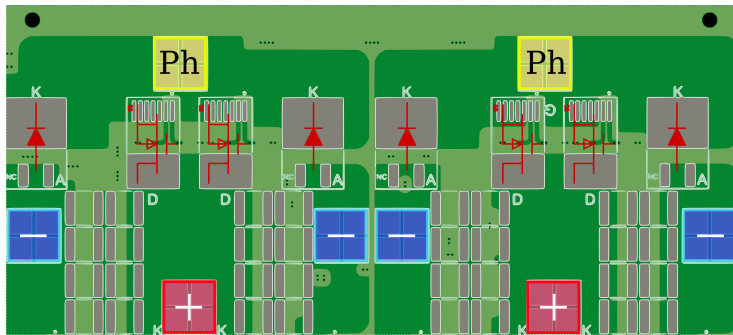


(c) MA konfigurazioa: lau push-pull.

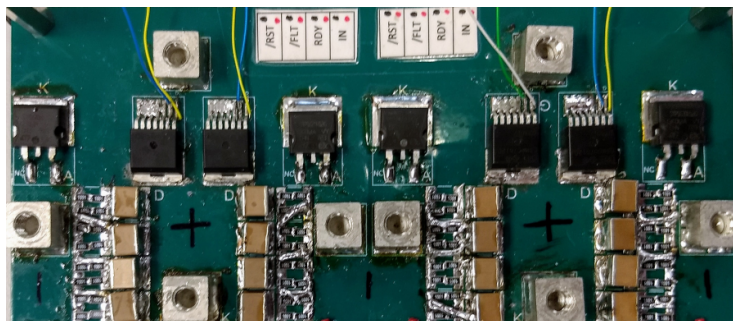
5.10. Irudia: PCBaren beheko aldearen bista, aztertutako hiru konfigurazioetarako.



(a) Buck bihurgailuaren eskema, potentzia-partea nabarmenduz.



(b) PCBaren diseinua.

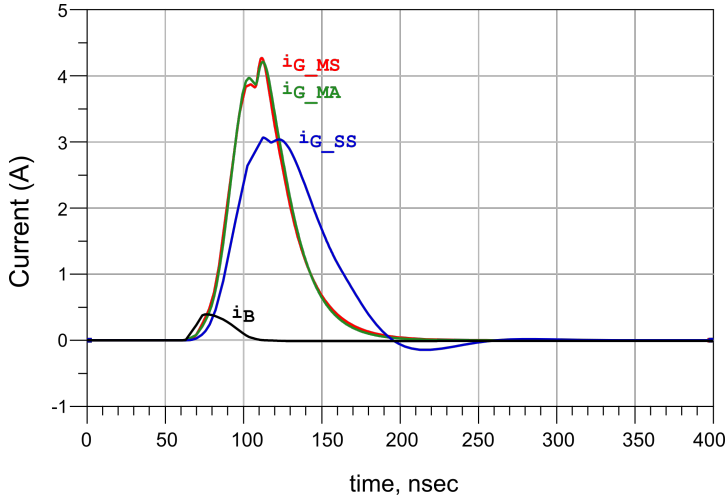


(c) PCBa muntatuta.

5.11. Irudia: PCBaren goiko aldea, potentzia atala.

osatu dira, bakoitza SiC MOSFET eta SiC diodo batekin.

5.3.2. Software bidezko simulazioak



5.12. Irudia: MOSFETen atetako korronteak. MS (gorria), MA (berdea) eta SS (urdina); *Push-pull*-eko BJTen sarrerako korrontea (beltza).

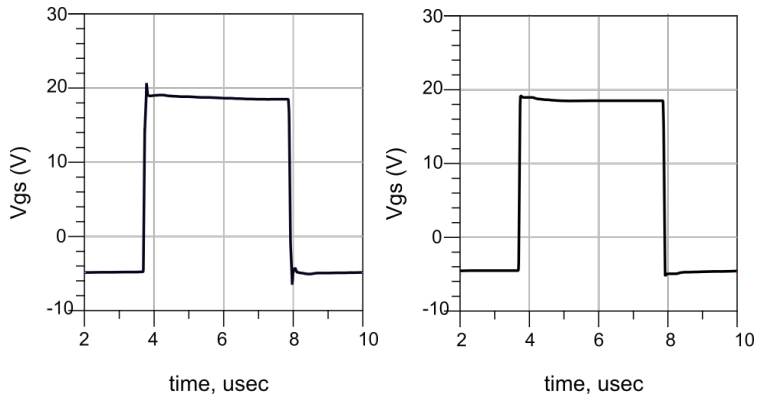
Hainbat simulazio egin dira Keysight-en ADS softwarea erabiliz. Guztiak MOSFETaren ateko tentsioen ($v_{GS}(t)$) uhin-formak sakonago aztertzeko helburuarekin egin dira, ateko tentsioaren gainkargak, pizte-denborak eta sinkronizazioa aztertuz. Hori baino lehen, ordea, garrantzitsua da *push-pull*-aren korrontearen amplifikazio-errendimendua laburki aztertzea.

MS, *MA* eta *SS* kasuetako ateko korronteak ($i_{G1} + \dots + i_{G4}$) konparatzen dira (5.12. irudia); *push-pull*-aren sarrera-korrontea (i_B) ere erreferentziarako erakusten da (berdina da *MS*, *MA* eta *SS* kasuetarako). *MS* kasuan korrontea bide induktibotik igaro **ondoren** amplifikatzen denez, *SS* kasuan baino pulsu askoz garbiagoak heltzen zaizkie MOSFETaren ateei³.

Hori ikusita, ez da harritzekoa, v_{GS} -k 2 V-eko gaintentsioa erakustea *SS* kasuan, goranzko zein beheranzko ertzetan (5.13. irudia). Horrek *MS* kasuko seinaleekin alderatuta ezberdintasun nabarmenak erakusten ditu. Bestalde, *MA* kasurako, *driver*-etik *push-pull*-era doan bide luzeena (induktantzia handiena) aztertuz,

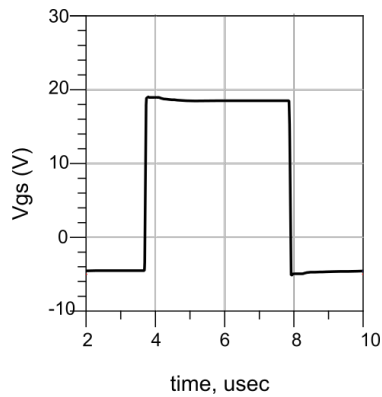
³Honek adieraztera ematen du, zenbat eta N handiagoa izan, are gehiago igarriko dela *push-pull* anitz erabiltzearen eragin positiboa.

ikusten da induktantzia horrek ez duela seinalearen kalitatea txarragoa egiten. Konparaziorako, erakusten da induktantzia handi horrek eragingo lukeen muturreko gaintentsioa *SA* kasuan⁴ (5.14. irudia).



(a) SS kasua.

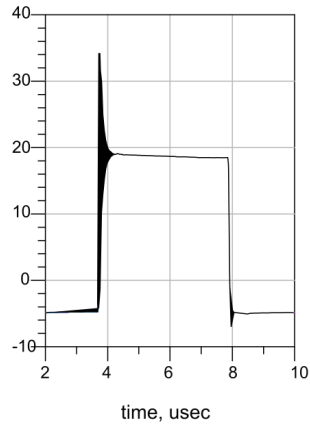
(b) MS kasua.



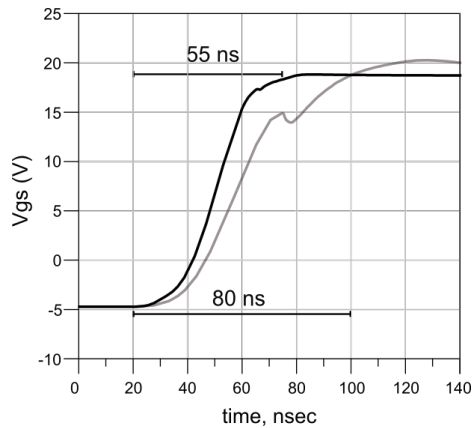
(c) MA kasua: induktantzia handiena duen kasua.

5.13. Irudia: Simulatutako ateko tentsioak.

⁴Kasu hau ez da aztertu diseinuetan. *Push-pull* bakarria erabiltzen duen eta bide asimetrikoak dituen kasua izango litzateke.



5.14. Irudia: Gaintentsioa SA kasurako.



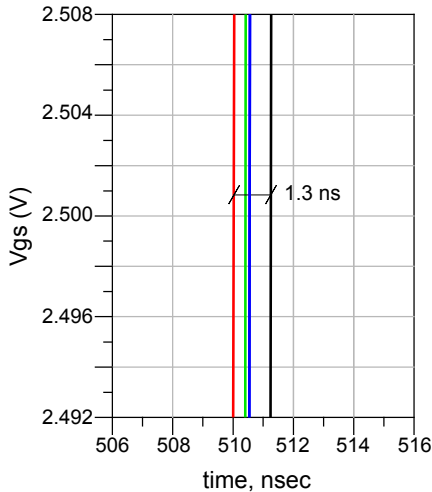
5.15. Irudia: Simulatutako ateko tensioaren pizte-ertzak: SS (grisa) vs. MS (beltza).

SS eta *MS* kasuetako v_{GS} -ren goranzko ertzen zooma aztertuta (5.15. irudiak). Aurreko behaketen ildotik, *SS* seinalearen igoera *MS*-arena baino motelagoa da, 80 vs. 55 ns; beraz, *MS* seinaleak %30 denbora gutxiago behar du igotzeko. Ezberdintasun hau kritikoa da konmutazio-maiztasuna igotzea helburu duen

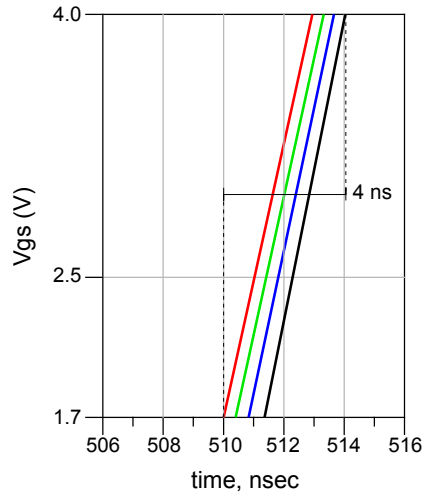
bihurgailu baten kasuan.

MA kasuari dagokien ateko lau seinaleen goranzko ertzak alderatu dira (5.16. irudia). Cree-ren C3M0075120J SiC MOSFET-aren 2,54 V-eko atekotentsioaren ohiko atalasearen inguruan zoom bat eginez gero, ikusten da induktantzia bideen simetria-ezak 1,3s-ko arraila eragingo lukeela induktantziarik txikiena eta handiena duten adarren artean (5.16.(a) irudia).

Bestalde, MOSFETaren atalase-tentsio posibleen sorta osoa (1.7V-etik 4.0V-ra) kontuan hartuz, arraila 4ns-ra handituko litzateke (ikusi 5.16.(b) irudia). Nolanahi ere, MOSFET horien aktibazio-denbora 8ns ingurukoa denez, aurkezten den proposamenak sortutako desbideraketa onargarritzat hartu daiteke, beraz, ez luke sinkronizazio-arazo kritikorik eragingo.



(a) Atalase tipikoaren inguruan.

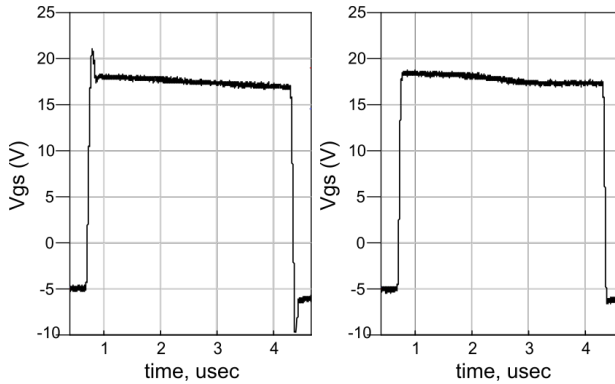


(b) Atalase posibleen sorta osoan.

5.16. Irudia: Simulatutako igoera-ertzen sakabanaketa - Proposatutako MA kasurako.

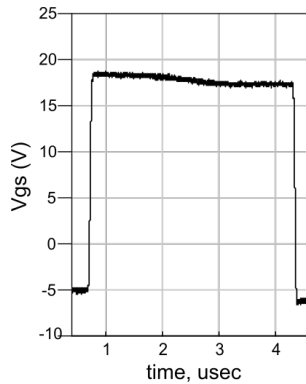
5.3.3. Baliozkotze esperimentalak

Proba esperimentalek simulazioek aurreikusitako onurak berresten dituzte. v_{GS} seinaleei eta haien gaintentsioei dagokienez, proba esperimentalek (5.17. irudia) ezaugarri parekoak dituzte simulazioko balioekin alderatuta (5.13. irudia): *SS* kasuko seinaleetan gaintentsioak (3 V ingurukoak) ikusten dira goranzko eta beheranzko ertzetan; *MS* eta *MA* kasuetako seinaleek, aldiz, kasurik okerreanean, garbiak eta ondo eratuak izaten jarraitzen dute.



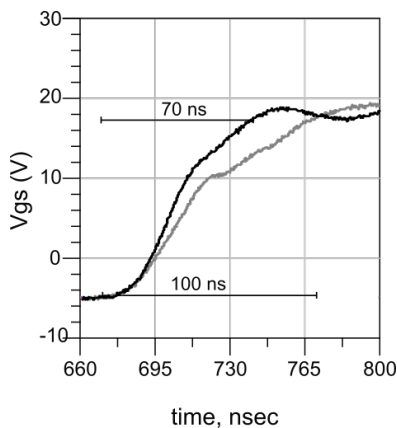
(a) SS kasua.

(b) MS kasua.



(c) MA kasua.

5.17. Irudia: Neurtutako ateko tentsioak.



5.18. Irudia: Neurtutako ateko tentsioaren pizte-ertzak: SS (grisa) vs. MS (beltza).

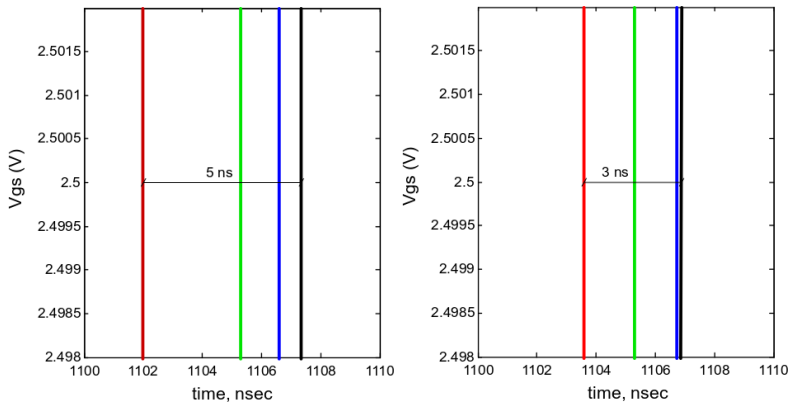
SS eta *MS* kasuetan neurtutako igoera-denborak ageri dira (5.18. irudia). Biak simulazioetan lortutakoak (5.15. irudia) baino luzeagoak diren arren, erlazio bera dute funtsean: *push-pull*-ak denbora gutxiago (%30) behar du MS kasuko ateko seinalea igotzeko.

Azkenik, sinkronizazioari dagokionez, paraleloan dauden lau MOSFETen ateen seinaleak neurtu dira, bihurgailuaren parametroen sakabanaketa ezagutzeko. Alde horretatik, 2,5 V-eko tentsio-atalasearen inguruan jarri da arreta (5.19. irudia), non jezartzen da ate indibidualen tentsio-seinaleen arteko sinkronizazioa oso ona dela kasu guztietan; ikusi daiteke ate indibidualen tentsio-seinaleen arteko sinkronizazioa oso ona dela kasu guztietan. *MS* kasuak du portaera hoberena, 3s-ko desbideratze maximoa baitu.

Hala ere, 5.20. irudian adierazten den bezala, analisis fabrikatzaileak emandako atalase-tentsioaren sorta osora (1,7 V-tik 4,0 V-ra) hedatzen bada, erakusten den emaitza aldatu egiten da. Ateko seinaleen sakabanaketa handitu egiten da simulazioekin konparatuz gero, oro har: *SS* kasuan 10 ns, *MS* kasuan 7 ns eta *MA* kasuan 8 ns.

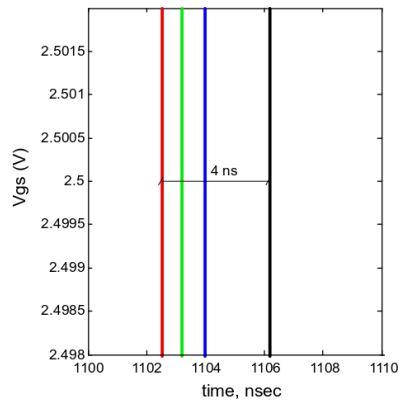
Beraz, fabrikatzaileen datu-orriek emandako MOSFET horien aktibazio-denbora 8s ingurukoa izanik, *push-pull* bakar bat erabiltzeak (*SS* kasua) sinkronizazio-arazoak sor ditzake, MOSFETetako bat erabat piztuta egon ahal baita eta beste bat oraindik guztiz itzalita. Horrek itzalita dagoen MOSFETaren korronea bes-

te gailuek hartu behar dutela adieraziko luke, kasuren batean atzera-bueltarik gabeko egoera baten aurrean aurkitu ahal garelarik. Arrisku hori neurri handi batean murriztuko litzateke diseinatzaileek *push-pull* anizkoitza (*MS* edo *MA* aukerak) inplementatuz gero. Gainera, hemen aztertutako kasuetan $N = 4$ erabili da, baina zenbaki hau handiagoa izan daiteke. Kasu horietan, oraindik hobekuntza handiagoak izango lituzke *push-pull* anizkoitzaren inplementazioak.



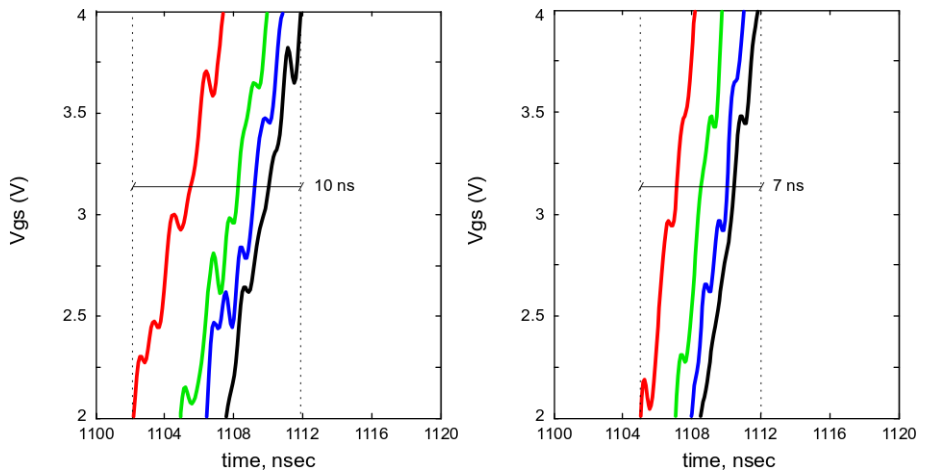
(a) SS kasua, lau atepak.

(b) MS kasua, lau atepak.



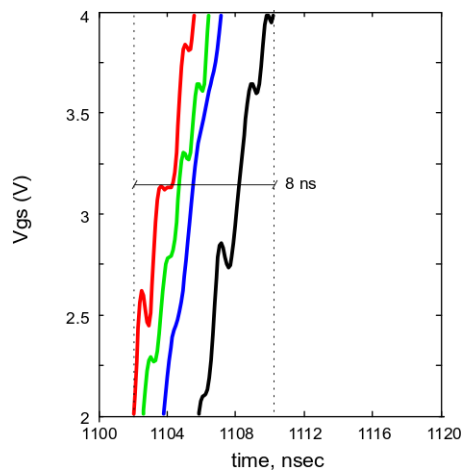
(c) MA kasuak, lau atepak.

5.19. Irudia: Neurtutako igoera-ertzen sakabanaketa: atalase tipikoaren inguruan.



(a) SS kasua, lau atepak.

(b) MS kasua, lau atepak.



(c) MA kasua, lau atepak.

5.20. Irudia: Neuritutako igoera-ertzen sakabanaketa: atalase sorta osoan.

5.4. RLC iragazki sintonizatua

Wide Bandgap (WBG) transistoreek konmutazio-errendimendu hobea eta funtzionamendu-tenperatura altuagoak dituzte ohiko siliziozko gailuekin alderatuta, eta dituzten konmutazio-denbora laburrengatik, egokiak dira maiztasun handiko aplikazioetan erabiltzeko. WBG transistoreak potentzial osoan erabiltzeko oztopo nagusia, tentsio eta korronteen konmutazio-ertzetan azaldu ohi den goi-maiztasuneko oszilazioa da. Oszilazioak inдукtancia-parasitoen, eta gailuaren kapazitantzien ondoriozko erresonantziatik sortzen dira. Diseinu egokiak egitea nahitaezkoa da, baina muga fisikoak daude diseinu bidez inдукtancia-parasito horiek murrizteko, eta, askotan, beste irtenbiderik ez dagoenean, erdieroaleen konmutazio-denborak moteldu behar izaten dira. Proposamen honek metodologia erraz bat aurkezten du WBG transistorearen ondorio negatiboak arintzeko, hots, maiztasun handiko oszilazioak, igoera- eta erorketa-denbora luzatu gabe. Proposatutako metodologiaren oinarria gailuen ate-begizten eta potentzia-begizten arteko berrelikaduraren iturria zehaztean eta ahultzean datza. Horretarako PCBko portu zehatz batzuetan sare-analizatzailea erabili da, eta honekin erresonantzia-maiztasuna bilatu ondoren, sintonizatutako RLC iragazki bat diseinatu da. Metodologiaren aplikazio esperimentalak zuzeneko erlazioa erakusten du begizten erresonantzia-maiztasunaren eta tentsio- eta korronte-oszilazioen artean. Proposatutako metodoak potentzialerak, goi-maiztasuneko oszilazioak eta EMiA murrizten ditu.

Wide Bandgap (WBG) transistoreak potentzia-bihurgailuen zenbait ezaugarri hobetzeko inplementatzen dira, hala nola konmutazio-maiztasuna, konmutazio-galerak, eroapen-galerak, funtzionamendu-tenperatura eta potentzia-dentsitatea [223–225]. WBG gailuen eraginkortasunari eta konmutazio-maiztasunari buruzko gailuen arteko konparatibek, siliziozko gailuekin alderatuta, potentzial-galerak %30 eta %70 bitartean murrizten direla adierazten dute [226–244].

Abantailak dituzten arren, WBG gailuak erabiltzeak maiztasun handiko oszilazioak sartzen ditu ateko-begiztan eta potentzia-begiztan efektu parasituengatik, eta ikerketa ahalegin handia egin da efektu parasitario eta oszilazio horiek murrizteko zirkuituetan [245–259].

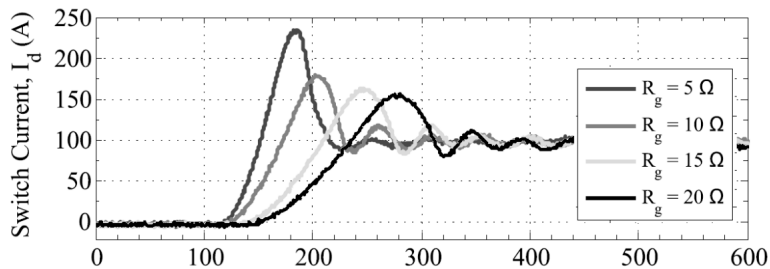
Oszilazioak kentzeko edo murrizteko hainbat irtenbide ageri dira literatura zientifikoan, konplexutasun-maila desberdinekin:

1. Ate-eragingailuaren erresistentzia (R_{Gate}) handitzea [260–262]. Ateko erresistentzia handitzeak moteldu egiten du MOSFETaren korrontearen igoera- eta erorketa-denbora, oszilazioak murriztuz (5.21. irudia), baina

kommutazio-denbora handitu egiten da.

2. Parasito-efektu orokorrak murrizteko diseinua optimizatzea eta barne inдукtantzia txikiko gailuak erabiltzea [263]. Kanpo-kondensadorea C_{GDext} (5.22.(b) irudia) kritikoa da, eta murriztu egin behar da diseinu on baten bidez. $R_{DS(on)}$ eta inдукtantzia baxuak dituzten kapsulatuak erabili behar dira kapsulatutako erdieroaleak erabiltzen direnean.
3. *Snubber* zirkuituak sartzea. Soluzio horrek, *snubber* kondensadore baten laguntzaz, MOSFETaren V_{DS} -ko oszilazioa murrizten du (MOSFETaren eta *DC-bus*-aren artekoa, baina ez ateko begizta eta MOSFETaren artean sortutakoa) [142, 143].
4. Ate-begiztako inдукtantzia-ibilbidean (L_{Gate}) ferritak erabiltzea ateko begiztaren oszilazioa arintzeko [264, 265]. Kasu horretan, ate-begiztako inдукtantzia areagotu egiten da, ateko erresistentzia handitzearen antzeko emaitzak lortuz.
5. *Active Gate Driver (AGD)* soluzioak erabiltzea [266–269]. Konponbide honek ateko-kontrolagailu konplexu baten diseinua eskatzen du.

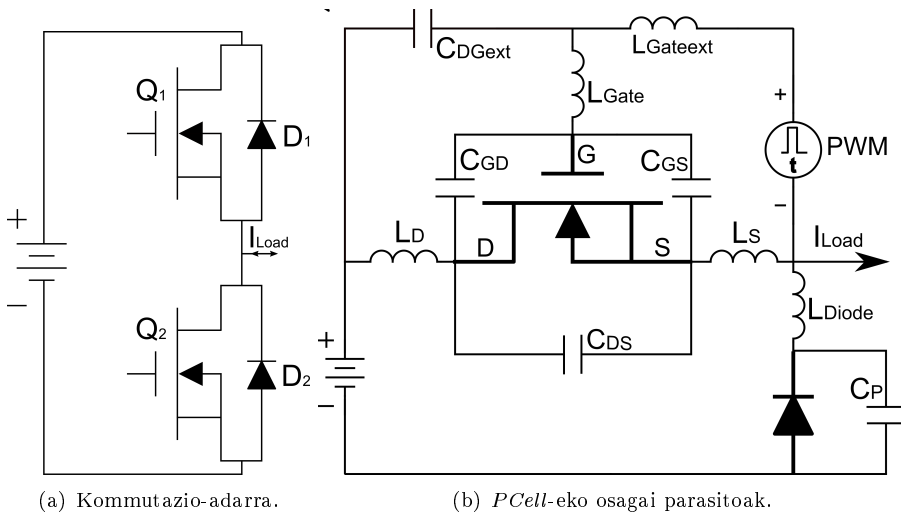
Soluzio horiek WBG transistoreen konmutazio-uhinen formak moteltzen dituzte, edo atek aktibatzeo *driver* diseinu konplexuak behar dituzte. Proposamen honek beste metodologia bat aurkezten du. Metodologia honekin oszilazio-iturri nagusia aurkitu daiteke, eta ondoren ateko zirkuituan sintonizatutako RLC iragazki bat jar daiteke, arestian aipatutako oszilazioak ezabatzeo edo arintzeko. Metodoa baliozkotzeko konfigurazio esperimental bat deskribatzen da, eta baliozkotzearen emaitzak 5.4.3. atalean aurkezten dira.



5.21. Irudia: R_{Gate} -ren eragina gailua pizterakoan [262].

5.4.1. Oszilazio-iturriak

Potentzia-bihurketako topologia askotan, hala nola inbertsoretan, DC/DC bihurtgailuetan eta abar, ohikoa den adar bat erakusten da 5.22.(a) irudian. Adarra bi konmutazio-zeldatan bereiz daiteke. Aurreko kapituluetan deskribatu den modura, zelda horiek MOSFET (Q_1) batek eta diodo (D_2) batek osatzen dituzte, txandaka, beste diodo (D_1) eta MOSFET batekin (Q_2). Goiko MOSFETak (Q_1) bere korronea aldatzen du behe-diodoarekin (D_2) karga-korronea positiboa denean (zelda horri *PCell* deitzen zaio). Beheko MOSFETak (Q_2) korronea goiko diodoarekin (D_1) aldatzen du korronea negatiboa denean (zelda horri *NCell* deitzen zaio). Beraz, kargako korronea positiboa denean *PCell*-ak konmutatuko du, eta kargako korronea negatiboa denean *NCell*-ak.



5.22. Irudia: Kommutazio-zeldaren estruktura eta *PCell*-aren osagai parasitoak.

PCell-a eta bere elementu parasitoak ageri dira 5.22.(b) irudian, MOSFET-aren kapazitate intrintsekoak (C_{GD} , C_{GS} eta C_{DS}), diodoaren kapazitatea (C_P), PCB edo potentzia-moduluaren inductantziak (L_{Gate} , L_S , L_D , L_{Diode} eta $L_{Gateext}$), eta PCBak edo potentzia-moduluak sartutako kanpo-kapazitate agregatua (C_{Dext}) barne.

MOSFETaren konmutazioek tentsio- eta korrone-ozzilazioak eragin ditzakete

ateko begiztan, L_S eta C_{GD} -ren bidez, errendimendua murriztuz [251]. Aplikazioaren egonkortasunari dagokionez, ateko begiztaren induktantzia (L_{Gate} eta $L_{Gateext}$) funtsezko parametroa da. Haren balioak txikia izan behar du, eta ezin ditu nH gutxi batzuk baino gehiago izan. Ateko maiztasun handiko oszilazioek Millerren *self turn-on* bat eragin dezakete C_{GS} -ren bidez [248].

Kanpo-kapazitateak (C_{GDext}), MOSFETaren kapazitateak (C_{GD}) eta induktantzia-intrintsekoek (L_D eta L_{Gate}) osatzen duten begiztak goi-maiztasuneko oszilazioak sortzen ditu sisteman [263] MOSFETaren kommutazioan dauden dv/dt eta di/dt -ek eraginda. Parametro horiek guztiak diseinuaren menpe daude nagusiki.

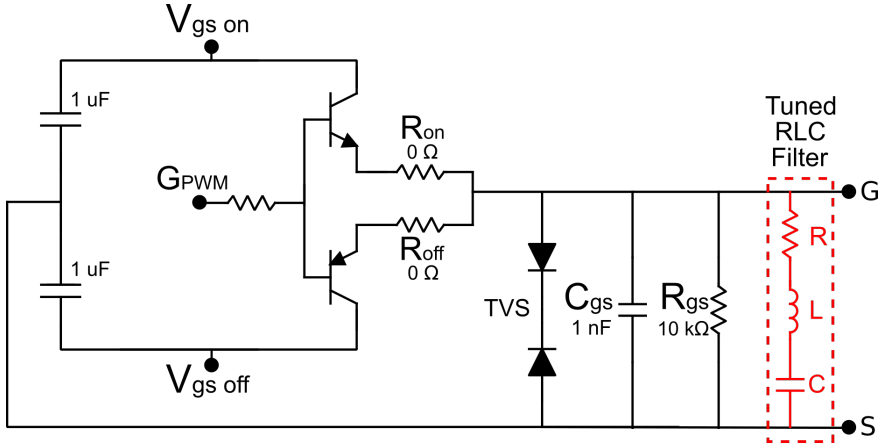
SiC MOSFETek alderantzizko transferentziako kapazitantziaren (C_{rss}) balio altuagoak dituzte antzeko siliziozko gailuekin alderatuta. C_{rss} kapazitantzia handi batek handitu egin ditzake oszilazioak izateko aukerak, eta, beraz, *self turn-on* bat gertatzeko aukerak. Oszilazioen beste iturri kritiko bat MOSFET-diodo ibilbidearen induktantzia da, L_S . Gainkargak eragiten ditu piztean MOSFETaren korrontean, eta MOSFETaren tentsioan, hau itzaltzean.

5.4.2. RLC iragazkia: metodologia

Bihurgailua martxan dagoenean MOSFETaren korrontea (I_{DS}), tentsioa (V_{DS}) eta ateko tentsioa (V_{GS}) behatzeak, hiru puntu horietako oszilazio-maiztasunak bat datozela erakusten du maiz. Ate-begiztaren eta potentzia-begiztaren arteko berrelikadurak, erresonantzia handitzen du, eta maiztasun handiko oszilazio kaltegarriak sortzen ditu MOSFETaren korrontean eta tentsioan.

Oszilazioen anplifikazioa atearen tentsioaren bidez murrizteko irtenbide erraz eta eraginkor bat oszilazio-maiztasuna identifikatzea da, eta, behin maiztasun hori identifikatuta, RLC iragazki bat eranstea berrelikadura-begiztan, oszilazio-maiztasun horrekin sintonizatuta. Behar bezala doitutako RLC tranpa batek potentzia-begiztaren eta atearen arteko oszilazio-berrelikadura saihestu dezake, eta potentzia-bihurgailuaren tentsio- eta korronte-uhinen maiztasun handiko oszilazioak arindu. RLC iragazkia atetik ahalik eta hurbilen kokatu behar da (5.23. irudia). Hala, MOSFETaren atearen berrelikadura-korrontea sortutako galerak murrizten dira, eta potentzia-oszilazioak arindu.

Diseinuko oszilazio erresonantzia nagusiaren maiztasuna ($f_{oscillation}$) bilatzeko metodologiaren konfigurazioa 5.24. irudian ageri da. Sare-analizatzaile bat erabiltzen da *port 2* eta *port 1*-en arteko potentzia-irabazia (S_{21}) eta zirkuituaren *port 1*-en islapen-koefizientea (S_{11}) neurtzeko. *Port 2* portua V_{DS} atakara konektatzen da, eta *port 1* portua V_{GS} atakara. Gero ekorketa bat egiten da



5.23. Irudia: *Push-pull* zirkuitua eta proposatutako RLC iragazkiaren kokapena.

maiztasun-tarte jakin batean, normalean 30kHz eta 100MHz artean. Neurketa horrek ez du behar polarizazio-zirkuituan potentzia aplikatzerik, eta elikadura-iturriaren eta kargaren konexiorik gabe egin daiteke. Oszilazio-maiztasuna ($f_{oscillation}$), S_{21} eta S_{11} parametroen maiztasun-erantzunean erresonantzia-maiztasun gisa hauteman daiteke.

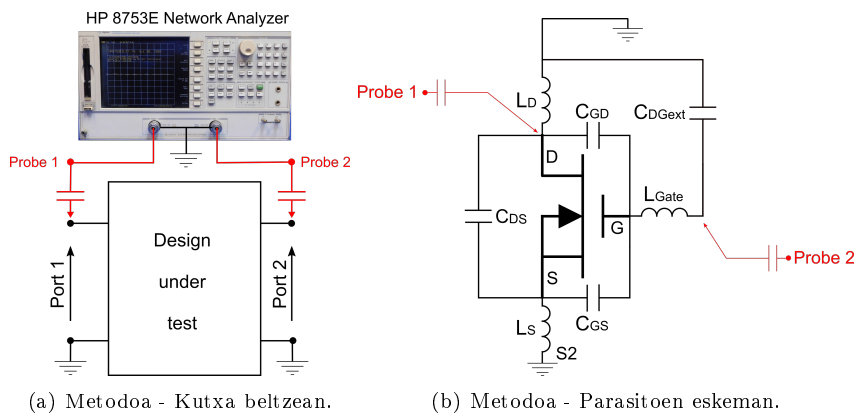
Iragazkiaren induktantziaren eta kondentsadorearen balioak formula honen bidez kalkulatzen dira:

$$f_{oscillation} = 1/(2\pi\sqrt{LC}) \quad (5.3)$$

Eta iragazkiaren serieko kalitate-faktorea hau da:

$$Q_s = (\sqrt{L/C})/R \quad (5.4)$$

Iragazkiaren erresistentziaren (R) balio egoki bat hautatzea garrantzitsua da Q_s -ren balio optimoa lortzeko. Erresistentzia-balioa altuegia bada, iragazkiak ez du iragaziko, banda zabalera handiegia izango baitu. Balioa baxuegia bada, MOSFETak piztu behar duen atearen korrontearen zati bat desbideratu egingo du.



(a) Metodoa - Kutxa beltzean.

(b) Metodoa - Parasitoen eskeman.

5.24. Irudia: Metodologia aplikatzeko konfigurazioa.

5.4.3. Inplementazio esperimentalak eta emaitzak

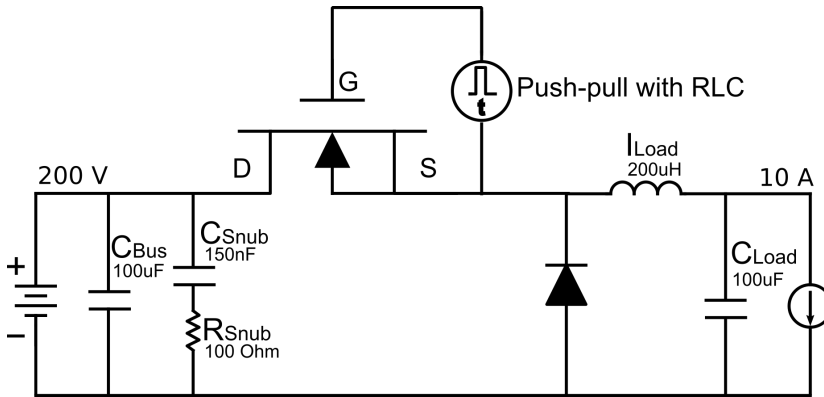
Oszilazio-maiztasun nagusiaren iturriaren bilaketa-metodoa eta sintonizatutako RLC iragazkiaren efektua baliozkotzeko proba esperimentalak egin dira.

5.4.3.1. Oszilazio-maiztasun nagusia zehaztea

Ate-begiztak eta potentzia-begiztak duten erresonantzia-maiztasunaren eta goi-maiztasuneko oszilazioen arteko erlazioa baieztatzeko, proposatutako metodologia hiru bihurgailu ezberdinetan probatu da, hirurak WBG erdieroalez osatuak. Zirkuitu guztiak *PCell* gisa jarri dira lanean *Buck* bihurgailu batean (5.25. irudia). Lehenengo zirkuitu ideia probatzeko, espresuki diseinatu den SiC MOSFET bat eta SiC diodo bat dituen *PCell* bat da. Bigarren zirkuitua Cree-k fabrikatutako "*Half Bridge SiC demo Board CRD8FF1217P-1*" ebaluazio-diseinua da. Hirugarren zirkuitua EPCK fabrikatutako "*Half Bridge GaN*" diseinua da. Dokumentuan aurrerantzean *PCell*, *Cree Cell* eta *GaN Cell* erabiliko dira. Hiru diseinuen ezaugarriak 5.1. taulan ikusi daitezke.

Sare-analizagailua (HP 8753E RF) erabili da $f_{oscillation}$ maiztasuna bilatzeko (5.26. irudia). Hiru zirkuituetarako neurtutako maiztasun erresonanteak 5.27. irudian ageri dira. Ondoren, proposatutako hiru zirkuituak (*PCell*, *Cree Cell* eta *GaN Cell*) *Buck* bihurgailu bezala erabili dira, eta V_{ds} , I_d eta V_{gs} seinaleak neurtu dira. Hiru zirkuituetako tentsio- eta korrante-uhinak ageri dira

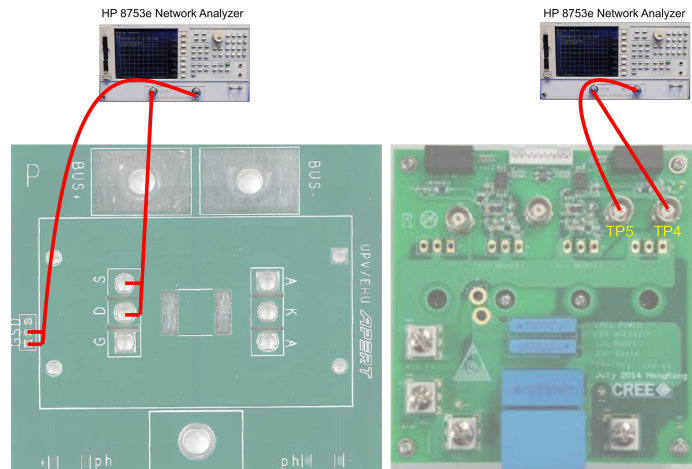
5.28. irudian, eta bat datoz neurtutako S_{21} eta S_{11} parametroen erresonantzia-maiztasunekin. Honek ate-begitzaren eta potentzia-begitzaren arteko berrelikadura efektua existitzen dela berresten du.



5.25. Irudia: *PCell* zirkuitudun *Buck* bihurgailua.

5.1. Taula: Probatutako zirkuituaren ezaugarriak.

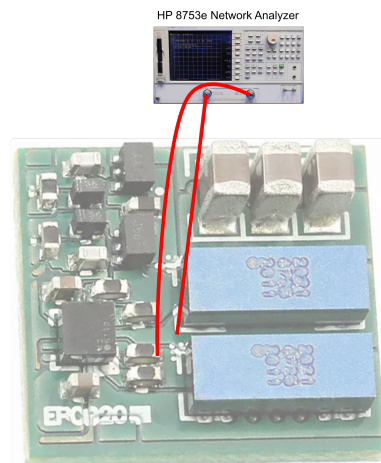
| | <i>PCell</i> | <i>Cree Cell</i> | <i>GaN Cell</i> |
|----------------------------|-----------------|------------------|-------------------------|
| MOSFET | SCT3120AL | C2M0080120D | EPC2021 |
| Diode | C3D25170H | C4D20120D | EPC2021 intrinsic diode |
| V_{in}, V_{out}, I_{out} | 200V, 100V, 10A | 200V, 100V, 10A | 24V, 12V, 20A |
| $f_{oscillation}$ | 5.95 MHz | 18.11 MHz | 13.30 MHz |



68 mm x 61 mm x 3 mm

(a) *PCell* proba.

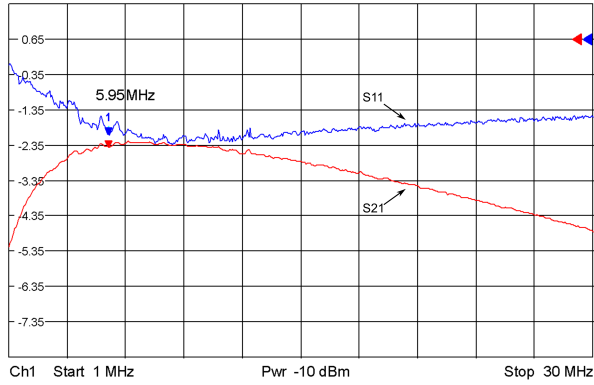
124 mm x 120 mm x 3 mm

(b) *Cree Cell* proba.

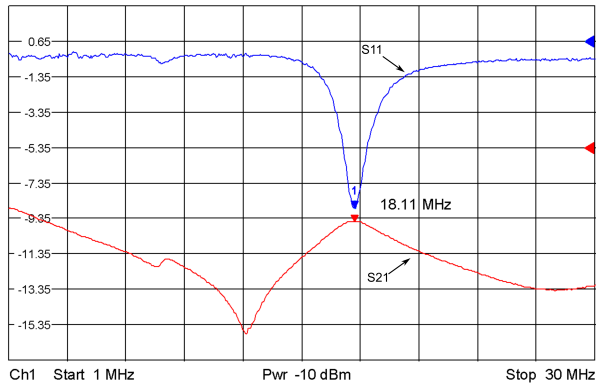
11 mm x 12 mm x 2 mm

(c) *GaN Cell* proba.

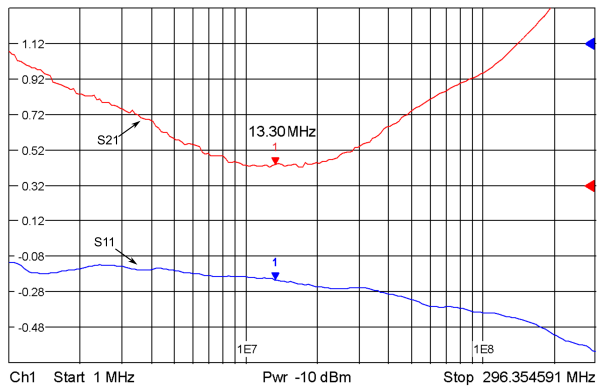
5.26. Irudia: Oszilazio-maiztasun nagusia ($f_{oscillation}$) identifikatzeko metodoa.



(a) PCell S_{21} eta S_{11} parametroak.

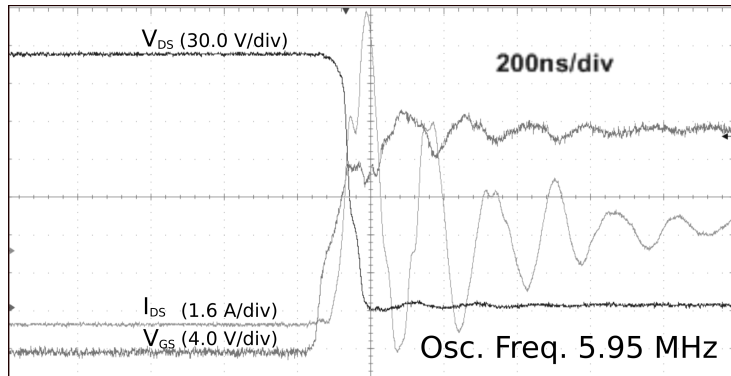


(b) Cree Cell S_{21} eta S_{11} parametroak.

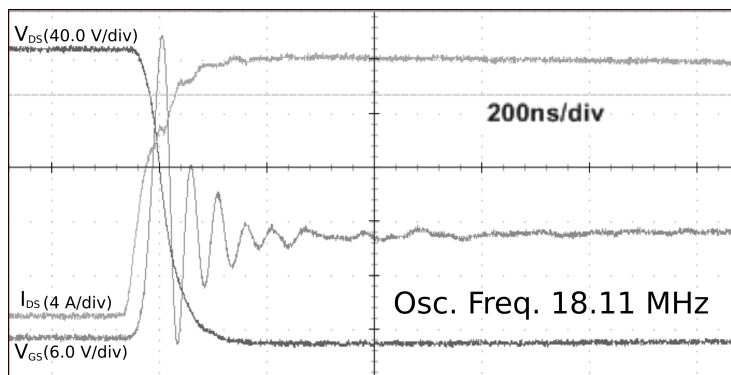


(c) GaN Cell S_{21} eta S_{11} parametroak.

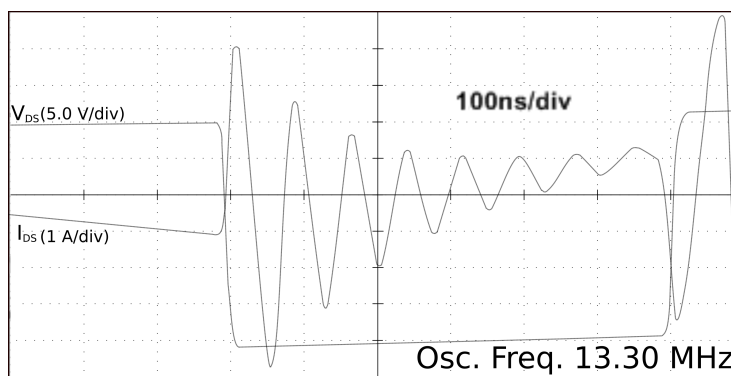
5.27. Irudia: Oszilazio-maiztasun nagusia ($f_{oscillation}$): emaitzak.



(a) Oszilazio-maiztasuna - PCell.



(b) Oszilazio-maiztasuna - Cree Cell.

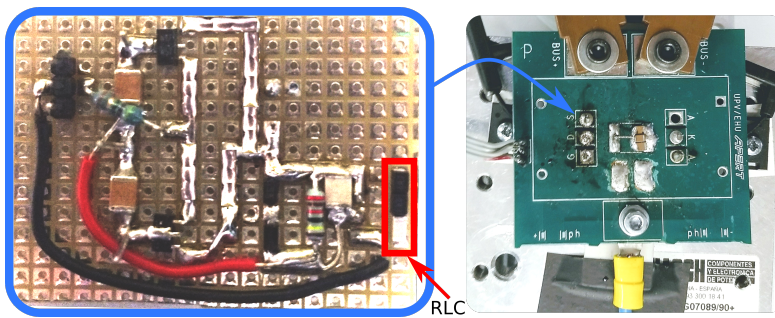


(c) Oszilazio-maiztasuna - GaN Cell.

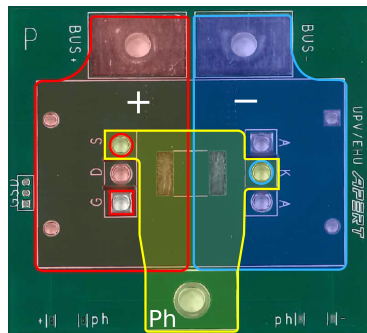
5.28. Irudia: $f_{oscillation}$ maiztasuna identifikatzeko uhin-formak.

5.4.3.2. Sintonzatutako RLC iragazkiaren efektuak

Proposatutako metodologia berresteko, *PCell* zirkuiturako sare-analizatzailean neurtutako $f_{oscillation} = 5.95MHz$ maiztasuna erabiliz *RLC* iragazki sintonizatu bat diseinatu da. Zirkuituko L eta C balioak $f_{oscillation}$ maiztasuna lortzeko aukeratzen dira, eta R erresistentzia-balioa, berriz, iragazkiaren hainbat kalitate-faktoreren (Q) balioak lortzeko aukeratzen da (ikusi 5.2. taula).



(a) *Push-pull*-a, bihurgailua eta RLCaren kokalekua.



(b) *PCell*-aren PCB diseinua.

5.29. Irudia: *PCell* bihurgailua: *push-pull*-a RLCarekin eta PCBa.

Buck bihurgailuaren proba-bankada erakusten du 5.29.(a) irudiak. *PCell*-aren PCBan SiC MOSFETa eta SiC diodoa PCBaren azpitik daude, aire bidezko hozte-sistema duen disipadore batera lotuta. Zirkuitua bi zati nagusitan banatzen da: *PCell* potentzia-etapa eta ate-eragingailua, bata bestearen gainean muntatzen direlarik. PCBa kobrezko azaleraz osatuta dagoela ikusten

da 5.29.(b) irudian, potentzia-begiztaren inдукtantzia minimizatzeke. Atearen zirkuitua *push-pull* zirkuitu bat erabiliz implementatu da, atearen seinalearen osotasuna hobetzeko, ate-begizta murriztuz eta kanpoko C_{GDext} kondentsadorea minimizatuz. R_{on} eta R_{off} ateko erresistentziak 0Ω -tan finkatu dira; beraz, ateko erresistentzia totala MOSFETaren kapsulatuaren ateko barne erresistentzia baino ez da, hau da, 18Ω . PCBak diseinatzeko praktika egokiak erabili ondoren ere, ateko begiztan 25 nH -ko inдукtantzia lortzen da (TO-247a barne), *Wayne Kerr 6440B* osagai-analizatzaileaz neurtua izan dena. Hortaz, nahiz eta *Snubber* eta ate-kontrolatzailearen diseinu egokiak erabili, oszilazioak agertzen jarraituko lukete SiC gailuen konmutazio-abiadura handia dela eta.

5.2. Taula: Sistemaren potentzia-galerak.

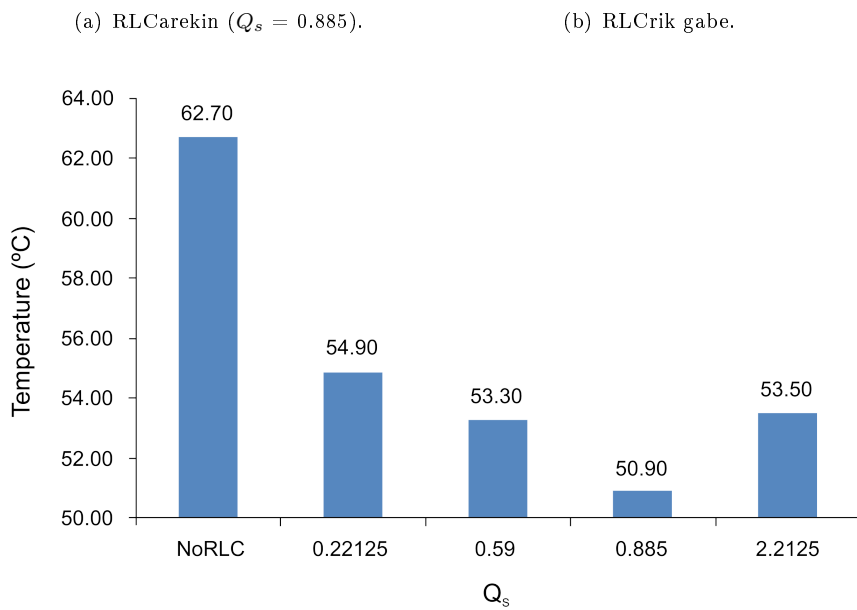
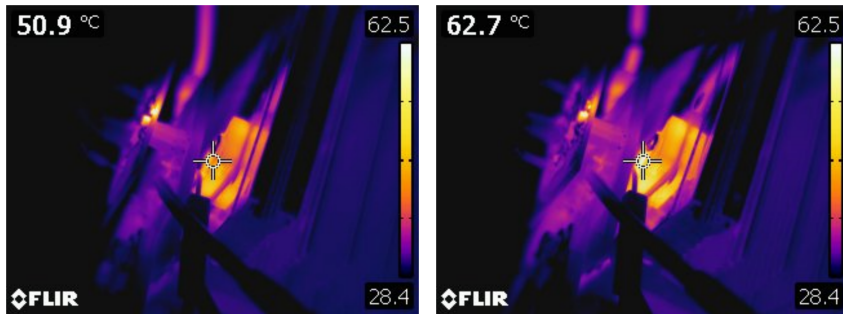
| MOSFETaren konmutazio-galerak | | | | | |
|------------------------------------------------------------------|-------------------------|------------------------|-------------------------|---------------------------|------------|
| | Q_s | $E_{on} (\mu\text{J})$ | $E_{off} (\mu\text{J})$ | $E_{total} (\mu\text{J})$ | P (W) |
| RLC gabe | - | 259.96 | 10.36 | 270.32 | 16.22 |
| RLC L=47 nH, C=15 nF | R= 8 Ω , Q=2.21 | 236.98 | 24.44 | 261.42 | 15.69 |
| | R = 3 Ω , Q=0.89 | 218.05 | 29.53 | 247.58 | 14.85 |
| | R= 2 Ω , Q=0.59 | 214.86 | 34.05 | 248.91 | 14.93 |
| | R=0,8 Ω , Q=0.22 | 257.61 | 7.77 | 265.38 | 15.92 |
| Diodoaren konmutazio-galerak | | | | | |
| | Q_s | $E_{on} (\mu\text{J})$ | $E_{off} (\mu\text{J})$ | $E_{total} (\mu\text{J})$ | P (W) |
| RLC gabe | - | 2.46 | 16.73 | 19.20 | 1.15 |
| RLC L=47 nH, C=15 nF | R= 8 Ω , Q=2.21 | 10.08 | 7.28 | 17.36 | 1.04 |
| | R = 3 Ω , Q=0.89 | 13.68 | 21.05 | 34.73 | 2.08 |
| | R= 2 Ω , Q=0.59 | 9.62 | 27.76 | 37.38 | 2.24 |
| | R=0,8 Ω , Q=0.22 | 10.83 | 12.38 | 23.21 | 1.39 |
| Sistemaren potentzia-galera totalak ($V_{in} = 200 \text{ V}$) | | | | | |
| | Q_s | $I_{in} (\text{A})$ | $V_{out} (\text{V})$ | $I_{out} (\text{A})$ | Losses (W) |
| RLC gabe | - | 5.032 | 94.40 | 10.00 | 62.40 |
| RLC L=47 nH, C=15 nF | R= 8 Ω , Q=2.21 | 5.025 | 94.40 | 10.00 | 61.00 |
| | R = 3 Ω , Q=0.89 | 5.013 | 94.20 | 10.00 | 60.60 |
| | R= 2 Ω , Q=0.59 | 5.018 | 94.33 | 10.00 | 60.30 |
| | R=0,8 Ω , Q=0.22 | 5.009 | 94.00 | 10.00 | 61.80 |

Oszilazioen indargabetzeak sistemaren potentzia-galera totalak murrizten ditu. SiC MOSFETen konmutazio-galerak (E_{on} and E_{off}), diodoen berreskuratze-galerak (E_{rec}) eta sistemaren potentzia-galera totalak neurtu dira, proposatutako Q faktore ezberdineko RLC iragazkiak erabiliz eta iragazkirik gabe. Emaitzak 5.2. taulan jaso dira. Emaitza horiek korronteen batez besteko balioak baino ez dituzte erabiltzen, eta potentzia-galeren murrizketa txiki bat baino ez dute erakusten.

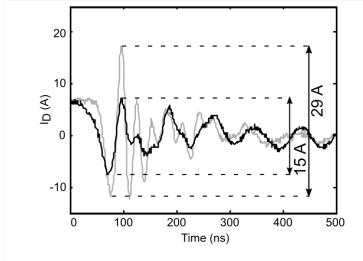
Hala ere, MOSFETen konmutazio-galerak eta potentzia-galera gehigarriak nabarmen murrizten dira, batez ere kableatuan eta irteerako induktantzian (nukleo-galerak eta hurbiltasun-galerak oso txikiak baitira korrontearen oszilazioak murrizten direnean). Diodoan gerta daitezkeen konmutazio-galerak handitu badaitezke ere, potentzia-galera horiek sistemaren hobekuntzekin konpensatzen dira.

Potentzia-galera errealak bihurgailuaren sarreran eta irteerako batez besteko korrontekin kalkulaturakoak baino handiagoak direla frogatzeko, irudi termikoen analisia egin da bihurgailua martxan dagoela. Emaitzak 5.30. irudian laburtzen dira. MOSFETeko tenperatura nabarmen murriztea lortzen da $Q_s = 0,89$ kalitate-faktorearekin duen sintonizatutako RLC iragazkia erabiltzen denean. Kasu horretan, tenperatura $62,7\text{ }^\circ\text{C}$ -tik $50,9\text{ }^\circ\text{C}$ -ra jaisten da sistemako potentzia bererako.

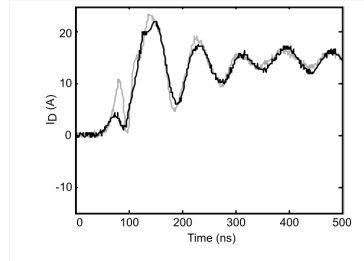
MOSFETaren atean $Q_s = 0.89$ kalitate-faktorearekin duen sintonizatutako RLC iragazki bat erabiltzen denean lortzen den emaitza ikusi daiteke 5.31. irudian. Kasu guztietan, uhinaren oszilazioa positiboki murrizten da sintonizatutako RLC iragazkia erabiltzen denean (5.31. irudiko uhin beltzak), iragazkirik gabeko ohiko zirkuituarekin alderatuta (5.31. irudiko uhin grisak). Korrontearen eta tentsioaren gainkargak izugarri murrizten dira, kasu batzuetan % 90 inguru tentsioan, eta % 35-50 inguru korrontean.

(c) Temperatura eta Q_s .

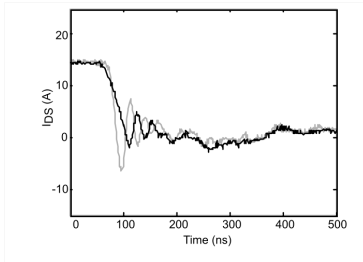
5.30. Irudia: SiC MOSFETaren temperatura Q_s -ren balio ezberdinetarako. Kamera termografikoa: Flir T62101.



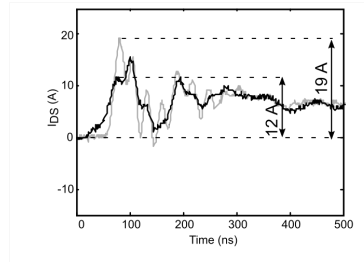
(a) Diodoaren OFF trantsitorioko korronea.



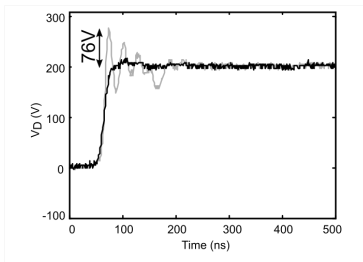
(b) Diodoaren ON trantsitorioko korronea.



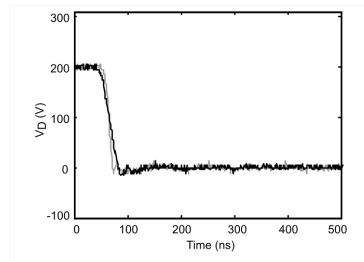
(c) MOSFETaren OFF trantsitorioko korronea.



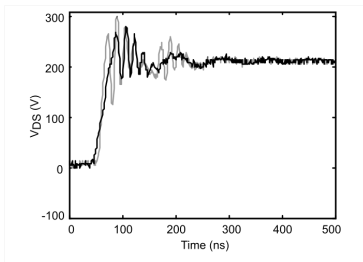
(d) MOSFETaren ON trantsitorioko korronea.



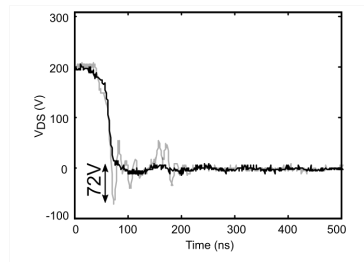
(e) Diodoaren OFF trantsitorioko tentsioa.



(f) Diodoaren ON trantsitorioko tentsioa.



(g) MOSFETaren OFF trantsitorioko tentsioa.



(h) MOSFETaren ON trantsitorioko tentsioa.

5.31. Irudia: Kommutazio-uhinak (grisa: iragazki gabe; beltza: RLC iragazkiarekin $Q_s = 0.89$).

5.3. Taula: Ereku magnetikoaren konparaketa 9 kHz-30 MHz.

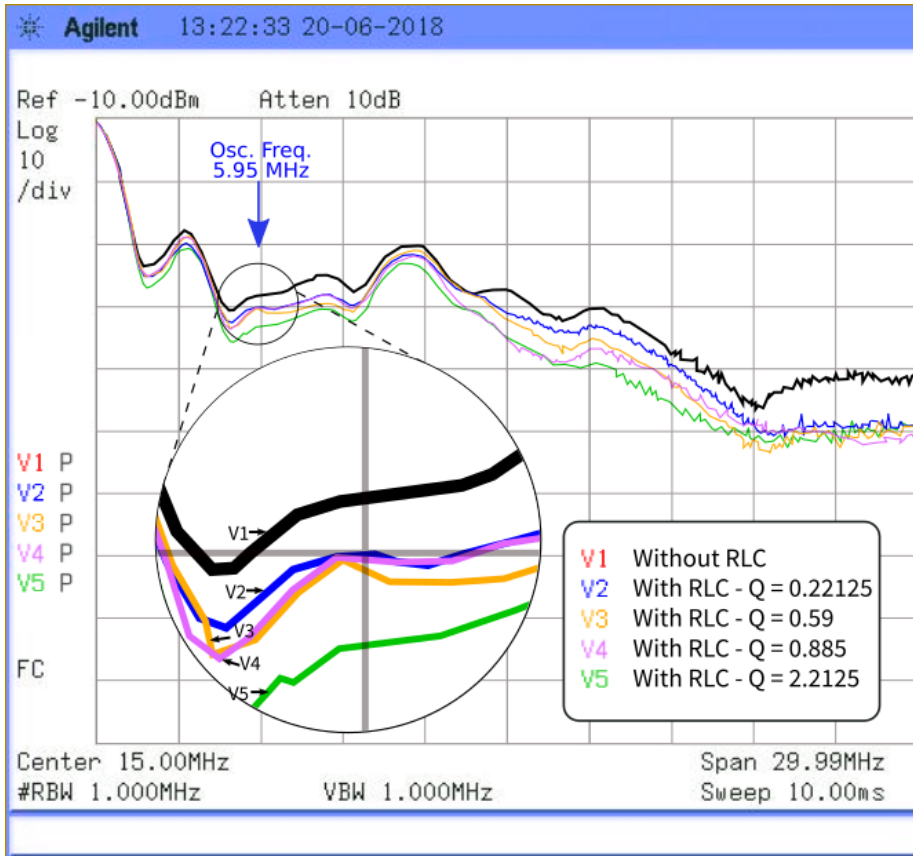
| Q_s | | 3.20 MHz | 8.42 MHz | 11.48 MHz | 18.00 MHz |
|------------------|---------|-------------------|-------------------|-------------------|-------------------|
| RLC gabe | - | -27.91 dBm | -35.14 dBm | -30.41 dBm | -40.32 dBm |
| RLCarekin | Q=2.21 | -28.91 dBm | -38.43 dBm | -32.23 dBm | -47.23 dBm |
| | Q=0.89 | -30.65 dBm | -40.46 dBm | -33.28 dBm | -49.70 dBm |
| L=47 nH, C=15 nF | Q=0.59 | -29.24 dBm | -39.82 dBm | -31.17 dBm | -45.61 dBm |
| | Q= 0.22 | -30.56 dBm | -38.83 dBm | -32.25 dBm | -43.59 dBm |

5.4.3.3. Ereku hurbileko analisi elektromagnetikoa

Kommutazio-trantsizioetan SiC MOSFETeko atearen oszilazioa leuntzeko erabiltzen den *RLC* iragazkiaren zirkuitu sintonizatuak asko ahultzen ditu bihurgailuak erradiatutako interferentzia elektromagnetikoak (*electromagnetic interference* (EMI), ingelesez), *RF* tranpa gisa funtzionatzen baitu. Maiztasunaren transferentzia-funtzioa bigarren mailakoa da, eta horrek esan nahi du 12 dB/oct -ko malda dagoela erresonantzia-maiztasunaren inguruan, eta 6 dB/oct maiztasun zentraletik urrun; izan ere, *RLC* iragazkiaren inpedantzia baliokidea soilik induktibo (maiztasun altuagoak) edo kapazitibo (maiztasun txikiagoak) bihurtzen da.

RLC zirkuituaren errendimenduaren analisia bihurgailuaren eremu hurbileko emisio elektromagnetikoen neurketekin osatzen da (5.31. irudia). Probak egiteko H eremuko zundak erabili dira, 9 kHz -tik 30 MHz -ra bitarteko maiztasun-tartearekin. Neurketa ekipoak aldeztasunarekin kalibratu dira, horretarako atenuazio-bidea (*attenuation path*, ingelesez) eta lurzoru-zarataren (*floor noise*, ingelesez) balioak erabiliz.

H eremuaren neurketaren emaitzak 5.3. taulan eta 5.32. irudian erakusten dira. Emaitza horiek erakusten dute, nagusiki, emisioak zeldakommutazioaren maiztasun-tartearen barruan daudela, 9 kHz -tik 1 MHz -ra. Horrek kommutazio-seinalearen trantsizioetako oszilazioa H eremu-hurbilean dauden korrante-begiztek sortzen dutela ziurtatzen du. *RLC* iragazki sintonizatua duen bihurgailuak sortutako H emisioak, gutxi gorabehera, *RLC*-rik gabeko zirkuituak sortutakoak baino 3 dB txikiagoak dira, eta horrek *RLC*-a erabiltzean oszilazioek eragindako potentzia-galerak % 50 murrizten direla adierazten du.



5.32. Irudia: EMI espektroaren neurketak. Analizagailua: Agilent N9320B; Probe: Rohde & Schwarz 633.0740.00.

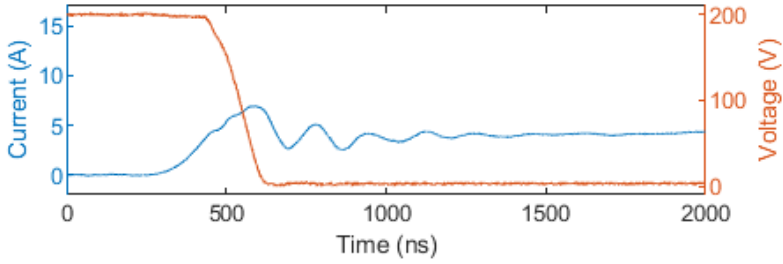
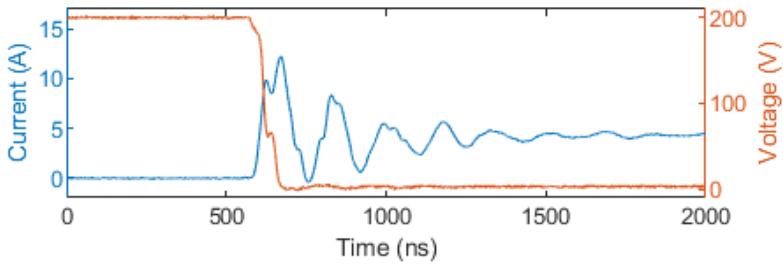
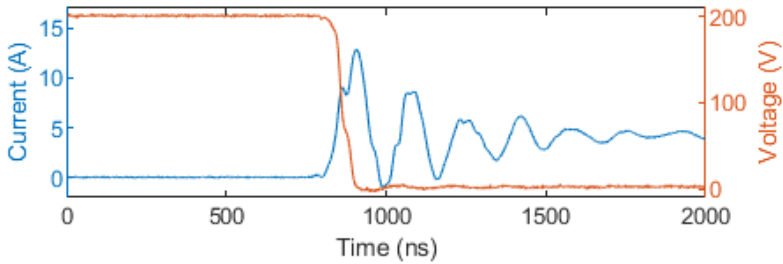
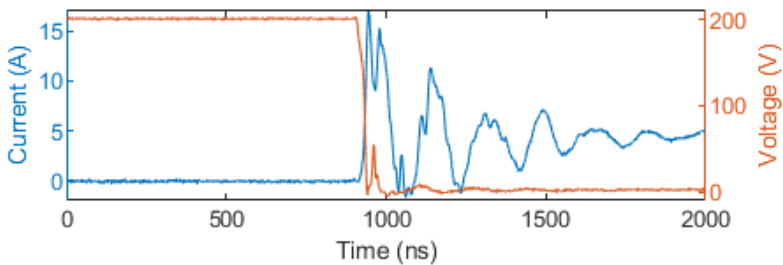
5.4. Taula: Sistemaren portaera R_{Gate} balio desberdinekin.

| R_{Gate} (Ω) | RLCa | V_{in} (V) | I_{in} (A) | V_{out} (V) | I_{out} (A) | Galerak (W) |
|-------------------------|------|--------------|--------------|---------------|---------------|-------------|
| 20 | Bai | 200.2 | 2.62 | 93.7 | 5.00 | 56.02 |
| | Ez | 200.2 | 2.72 | 95.8 | 5.00 | 65.54 |
| 10 | Bai | 200.4 | 2.66 | 96.7 | 5.02 | 47.88 |
| | Ez | 200.4 | 2.80 | 96.7 | 5.06 | 72.07 |
| 4.6 | Bai | 200.4 | 2.68 | 98.0 | 5.02 | 45.06 |
| | Ez | 200.4 | 2.83 | 96.4 | 5.06 | 79.35 |
| 1.3 | Bai | 200.4 | 2.71 | 98.8 | 5.05 | 44.14 |
| | Ez | 200.4 | 2.86 | 96.5 | 5.06 | 84.60 |

5.4.4. Ateko erresistentzia handitu edo RLC iragazkia erabili?

Ateko erresistentzia handitzeak konmutazio-denbora handitu eta oszilazioak murrizten ditu. $PCell$ bihurgailuan atearen erresistentzia handitzea, sintonizatutako RLC iragazkia sartzearekin alderatzeko, ateko erresistentzia-balio batzuekin probatu da, RLC iragazki sintonizatuarekin eta gabe. Emaitzak 5.4. taulan laburtzen dira. Ateko erresistentzia handitzeak oszilazioa murrizten du eta sistemaren potentzia-galera globala murrizten du. Horren arrazoia da, konmutazio-denbora handitzearen truke bada ere, korrantea eta gehiegizko tentsioa murriztu egiten direla, eta oszilazioaren efektua, berriz, leundu egiten dela, bihurgailuaren goi-maiztasuneko galerak murriztuz. Hala ere, sintonizatutako ateko RLC iragazkia sartzeak errendimendua hobetzen du. Ikus daitekeenez, 1, 3 Ω -eko erresistentzia duen RLC iragazki sintonizatua sartzea onuragarriagoa da ateko erresistentzia 20 Ω -era handitzea baino.

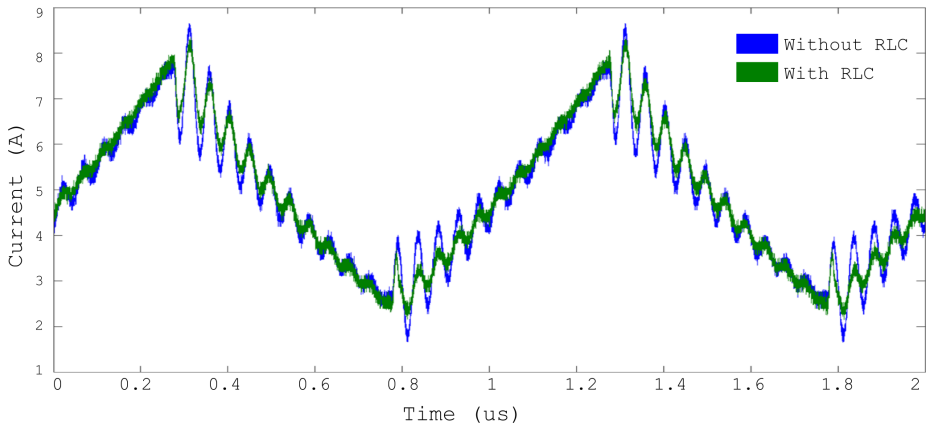
MOSFETeko korrantearen eta tentsioaren oszilazioen murrizketa erakusten da 5.33. irudian, RLC iragazki sintonizatuarekin eta gabe, 1.3 Ω eta 20 Ω ateko erresistentzia-balioekin.

(a) $R_{Gate} = 20 \Omega$ - RLCarekin.(b) $R_{Gate} = 20 \Omega$ - RLC gabe.(c) $R_{Gate} = 1.3 \Omega$ - RLCarekin.(d) $R_{Gate} = 1.3 \Omega$ - RLC gabe.

5.33. Irudia: Emaitzak R_{Gate} balio ezberdinekin RLC iragazkiarekin eta hau gabe.

5.4.4.1. RLC iragazkia GaN bihurgailu batean

Antzeko probak egin dira proposatutako metodologia eta soluzioa GaN gailuekin probatzeko. Probak GaN gailuz osatutako Buck bihurgailu baten probatu dira 1 MHz -eko konmutazio-maistazunarekin. Diseinuaren tamaina txikiagatik ($11\text{ mm} \times 12\text{ mm}$), ezin izan dira nahi adina aldaketa eta neurketa egin, baina sintonizatutako RLC iragazkia sartzeak nabarmen murrizten ditu irteerako korrontearen oszilazioak (ikusi 5.34. irudia). Irudi horretan irteerako inductantzia zeharkatzen duen korrontea ageri da, RLC iragazkiarekin (berdea) eta iragazki gabe (urdina).



5.34. Irudia: GaN Cell (EPC9203) - Korrontea irteerako harilean.

5.5. Paralelizazio eta *Interleaving* tekniken erabilera *Vienna 6-switch* topologian

Aurreko 2.2. atalean azaldu den bezala, topologia ezberdinen arteko azterketan emaitza onak eman ditu *Vienna 6switch* topologiak, baina are hobeto funtzionatu dezake.

Diseinu-teknika ezberdinak aplikatuz, sarrerako korronteetan hobekuntzak lortu daitezke, nahiz eta modulazio-teknika berdinak erabili. Diseinu-teknika horien artean paralelizazioa eta *interleaving* teknikak daude.

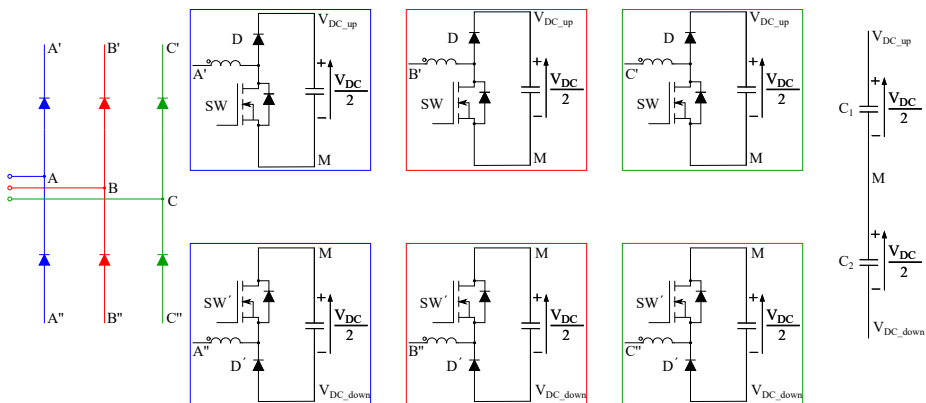
Beheko 5.35. irudian *Vienna* artezgailuaren bi konfigurazio posible ageri dira. Lehengoa (5.35.(a) irudia) konfigurazio tradizionala da. Bigarren 5.35.(b) irudian, binakako *Vienna* artezgailua ikusi daiteke. Bigarren kasu horretan, potentzia berdinerako korronte erdia eraman beharko lukete gailuek, eta hortaz gailu txikiagoak (eta normalean, merkeagoak) aukeratu ahal dira. Gainera eroate-galeren ikuspuntutik korronte erdia eramateak, potentzia-galerak lau (4) aldiz txikiagoak egitea esan nahi du, potentzian kuadratikoki eragiten baitu korronteak ($P = I^2R$). Konfigurazio horretan, ateko seinaleen arabera paralelo eta *interleaving* teknikak inplementatu daitezke.

Gailuak paraleloan aktibatuz, aurretik aipatutako onura guztiak izango lituzke, baina korrontearen kizkurduraren ikuspuntutik, ordea, kizkurdura bikoitza izango litzateke, paralelizatutako gailu bakoitzaren kizkurdura gehitu egiten baita. Honek sarrerako korronteen kalitatea txarragoa egingo luke.

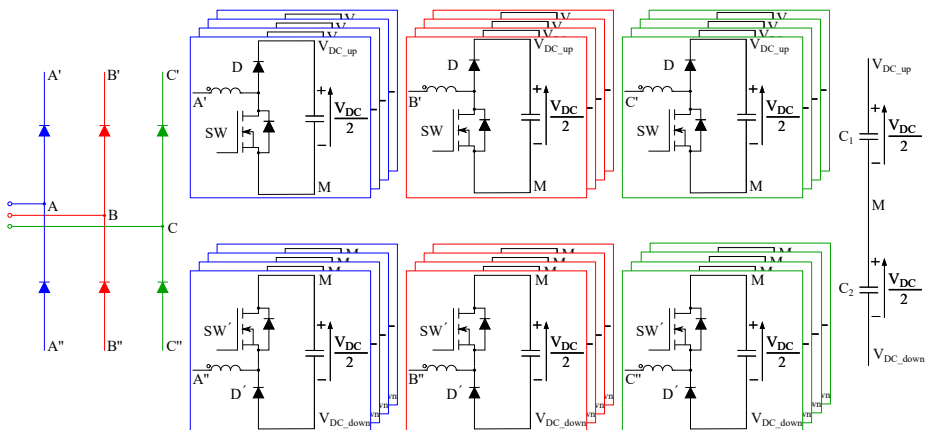
Bestalde, gailuak bata-bestearekin 180° desfasatuta aktibatuz gero (binakako *interleaving*-teknika), paraleloko konfigurazioaren kasuko abantaila guztiak lortuko lirateke, eta gainera, konfigurazio tradizionalarekin (5.35.(a) irudia) alderatuz, korrontearen kizkurdura-maila jaitsiko litzateke⁵. Diseinuaren muntaia zailagoa da *interleaving* teknika aplikatu nahi denean, ateko aktibazio-seinale gehiago kudeatu behar baitira.

⁵Binakako *interleaving*-aren kasuan, *duty*-ak 0.5 balioa hartzen duenean, korrontearen kizkurdura guztiz kentzea lortuko litzateke.

5.5. Paralelizazio eta *Interleaving* tekniken erabilera *Vienna 6-switch* topologian



(a) Vienna 6-switch - Konfigurazio tradizionala



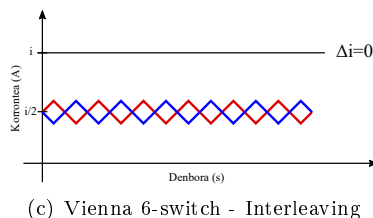
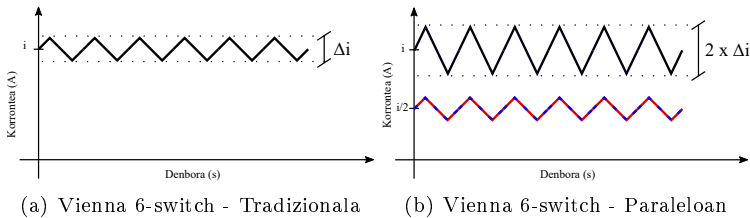
(b) Vienna 6-switch - Paraleloan edo Interleaving

5.35. Irudia: Konfigurazio ezberdinen eskematikoak

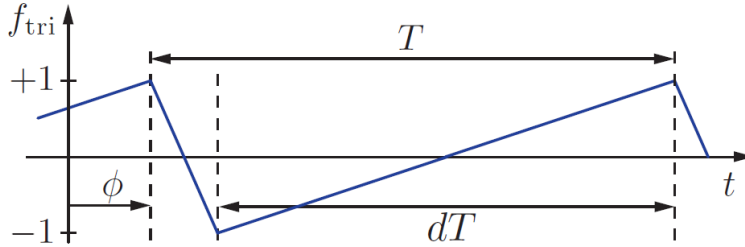
5.5.1. Kizkurdura konfigurazio bakoitzerako

Hiru kasuetan emango litzatekeen kizkurduraren efektua hobeto ulertzeko, potentzia konstante eta berdin baterako emango liratekeen kasuak erakusten dira 5.36. irudian:

- Konfigurazio tradizionalan (5.36.(a) irudia), gailu bakar batek eramango luke korrante guztia eta kizkurdura jakin bat izango luke, Δ_i balioa.
- Paraleloko konfigurazioan (5.36.(b) irudia), gailu bakoitzak korrantearen batzbestekoaren erdia eramango luke. Gailu bakoitzaren kizkurdurak Δ_i balioa izaten jarraituko luke. Gainera, kizkurdura biak fasean egotean, kizkurdurak gehitu egingo lirateke $2 \Delta_i$ balioraino.
- *Interleaving* konfigurazioan (5.36.(c) irudia), paraleloko konfigurazioaren modura, gailu bakoitzak korrantearen batzbestekoaren erdia eramango luke eta bakoitzaren kizkurdura Δ_i balioa izango litzateke. Irudian erakusten den kasua, kasu baterako bakarrik da baliagarria, zehazki, % 50eko *duty*-a eta bi gailuen aktibazioa 180° desfasatuta dagoen kasurako. Operazio momentu hori, ideala da *interleaving* teknika bi gailuaren aplikatzen denean. Hortaz, ikusi daiteke, teorikoki kizkurdura guztiz ezabatzen dela. Teknika hau sakonago azaltzen da hurrengo atalean.



5.36. Irudia: Konfigurazio ezberdinen kizkurdurak



5.37. Irudia: Uhin triangeluar periodikoaren forma, unitate anplitudearekin, periodoa T , *duty*-a d , eta fase-aldaketa ϕ denbora-domeinuan adieraztia $f_{tri}(t - \phi, d, T)$.

5.5.2. *Interleaving* teknika

Interleaving teknikaren erabilera hainbat kasutan ikusi da [270–273]. Literaturazientifikoa, badaude *interleaving*-aren aplikazio adibideak *Vienna* motako topologietan [274, 275].

Interleaving teknika sakonago azaltzeko Brian B. Johnson-en "*An Analytical Time-Domain Expression for the Net Ripple Produced by Parallel Interleaved Converters*" lana hartu da abiapuntutzat, non aritmetika eta Fourierren seriak aplikatzen diren anplitude eta *duty-ratio* bera duten N korrante-seinale triangeluarren *interleaving*-ak aztertzeko.

N korrante-seinale triangeluarren gainezarpena, bakoitzaren anplitudea (I), *duty*-a (d), eta kommutazio-periodoa (T) izanik, honela adierazi daiteke f_{tri} funtzio triangeluarra 5.37. irudian definitzen da):

$$\sum_{k=0}^{N-1} I f_{tri} \left(t - \frac{kT}{N}, d, T \right) = \bar{I} f_{tri}(t, \bar{d}, \bar{T})$$

non honela adierazi daitezken anplitude garbia,

$$\bar{I} = I \frac{\text{mod}(Nd, 1)(1 - \text{mod}(Nd, 1))}{Nd(1 - d)}$$

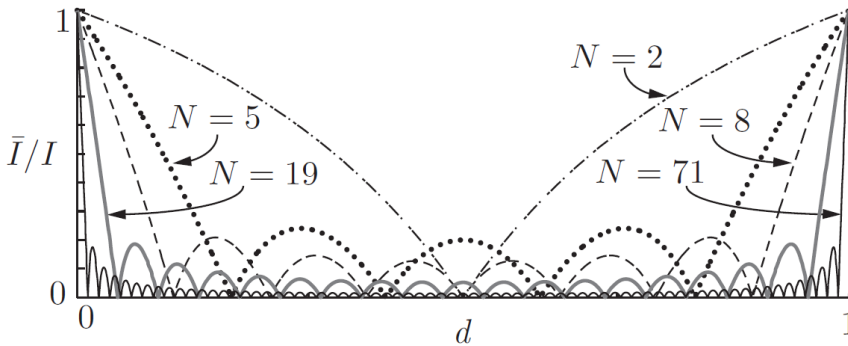
duty-ratio efektiboa,

$$\bar{d} = \text{mod}(Nd, 1)$$

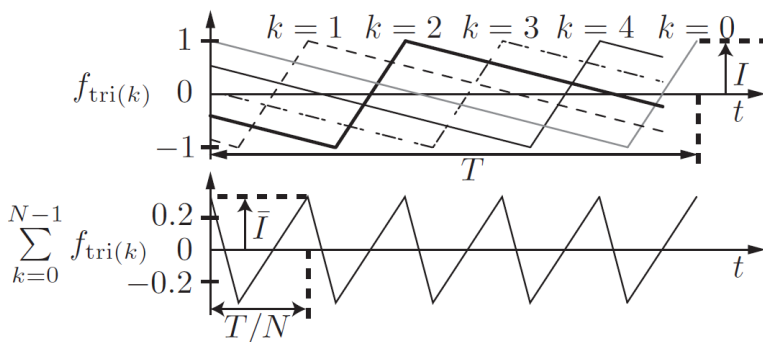
eta konmutazio-periodo efektiboa

$$\bar{T} = \frac{T}{N}$$

Anplidute garbiaren adierazpenetik abiatuta 5.38. grafika irudikatu daiteke, non N ezberdinetarako funtzioen adierazpenak ikusten diren.



5.38. Irudia: Kizkurdura ezeztatzeko faktorea, duty-ratioaren funtzio gisa, N kasu ezberdinetarako.



5.39. Irudia: *Interleaving* teknika $N = 5$ kasurako. Uhin-forma gurutzatuak (goiko grafika) eta *interleaving*-aren ondoren lortutako uhin garbia (beheko grafika).

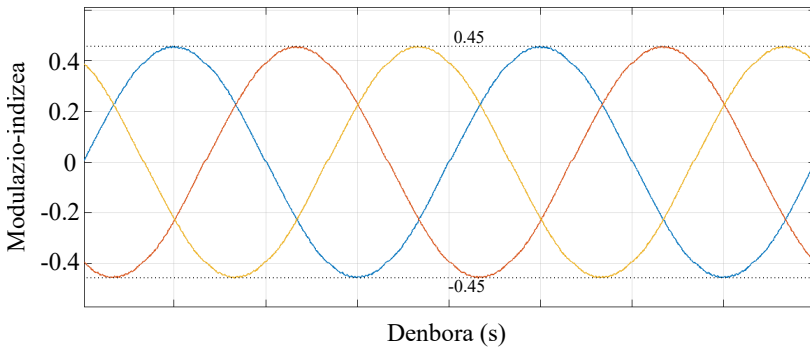
Kasu zehatz bat aztertuz gero, $N = 5$ kasua, 5.39. irudian azaltzen diren uhin-formak lortzen dira, non kizkurduraren kommutazio-periodo efektiboa $T/5$ den. Kizkurduraren anplitudea (\bar{I}) zehazteko, aplikazio zehatzaren *duty* -a jakitea beharrezkoa da. Kasu zehatz honetarako ($N = 5$), aplikazioak beti % 20-ko *duty*-arekin lan egingo balu, kizkurduraren anplitudea (\bar{I}) nulua izango litzateke.

Kasu hau ordea, ez da aplikagarria *Vienna 6-switch* topologian, kontrolak zehazten duen *duty*-a aldakorra baita. Garatu den kontrolean modulazio-indizea $[-1, 1]$ artean mugatzen da, eta 1500 W-ko sistemaren kasurako $(-0.45, 0.45)$ arteko modulazio-seinaleak lortu dira (ikusi 5.40. irudia). Aurreko 5.38. irudia $[0, 1]$ artean mugatzen diren modulazio-indizeetarako adierazi den grafikoa da, eta hortaz, *Vienna* topologiaren $[-1, 1]$ arteko modulazio indizeak dohitu egin behar dira irudi horretan kokatzeko. Dohikuntza egiteko hurrengo formula erabili daiteke,

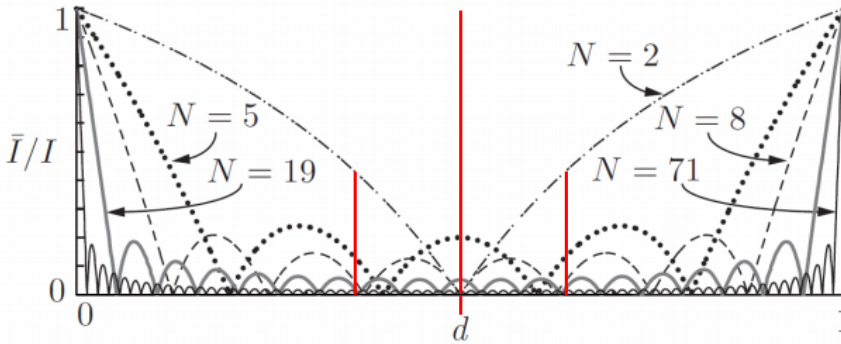
$$d_{[0,1]} = (1 + d_{[-1,1]})/2$$

Gainera, $PF \simeq 1$ kasuetarako, hau da, tentsio eta korronea fasean daudenerako (gure kasua hau izango dela ikusi da simulazioetan), kizkurdura maximoak modulazio-indizearen minimo absolutuetan kokatzen dira, hau da, sarrerako tentsio sinusoidalaren tentsioa nulua egiten den momentuetan. Hortaz, gomendagarria litzateke operazio-puntu horretan ondo funtzionatzeko diseinatzea *interleaving*-a.

$$d_{min[0,1]} = (1 + d_{min[-1,1]})/2 = (1 + 0)/2 = 0.5$$



5.40. Irudia: Modulazio-indizeak 1500 W-ko *Vienna 6-switch* topologiarako.



5.41. Irudia: Kizkurdura ezeztatze faktorea, duty-ratioaren funtzio gisa, *duty*-a % 50 denean.

Aurreko 5.38. irudian puntu hau kokatuz gero (ikusi 5.41. irudia), aurreikusi daiteke edozein N baliorako lortzen dela onura bat korrontearen kizkurdura efektiboan. Adibide modura, $N = 2$ eta 0.725 modulazio-indize maximoarekin, anplitude garbiak hurrengo balioa hartuko luke,

$$\bar{I} = I \frac{\text{mod}(Nd, 1)(1 - \text{mod}(Nd, 1))}{Nd(1 - d)} = I \cdot \frac{(0)(1 - 0)}{0.5} = I \cdot 0 = 0 \text{ A}$$

Kasu zehatz honetan guztizko kizkurdura zerora murriztea lortuko litzateke.

Beste modulazio-indizeen barrutian ($d_{[0,1]} \in [0.275, 0.725]$), teorikoki % 62-ra murriztuko litzateke korrontearen kizkurdura

$$\begin{aligned} \bar{I} &= I \frac{\text{mod}(Nd, 1)(1 - \text{mod}(Nd, 1))}{Nd(1 - d)} = I \cdot \frac{(0.55)(1 - 0.55)}{0.39875} = I \cdot \frac{(0.45)(1 - 0.45)}{0.39875} = \\ &= I \cdot 0.62 \end{aligned}$$

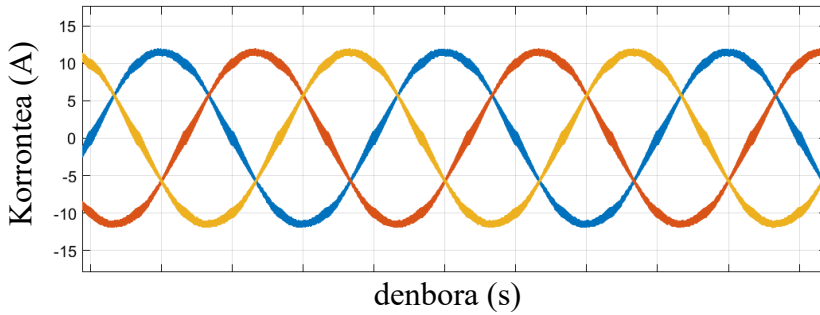
5.5.3. Simulazioak

Adibide bezala, 1500 W-ko *Vienna 6-switch* artezgailuan lortzen diren simulazio-emaitzen uhin-formak erakusten dira 5.42., 5.43. eta 5.44. irudietan, non konfigurazioaren aukeraketaren eragina argi ikusten den uhin horietan guztietan.

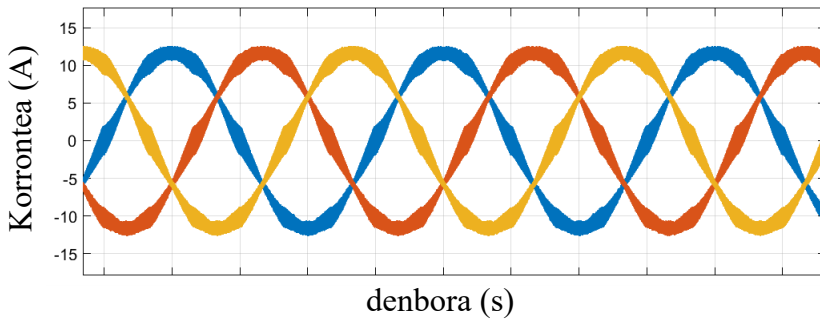
Sarrerako korronteen kasuan (5.42. irudia), aurreikusi bezala, diseinu-teknika bat edo bestea erabiltzeak izango lituzken eraginak argi ikusten dira goi-maiztasuneko korrontearen kizkurduran. Goi-maiztasuneko kizkurduren balioak, kasu txarrenean (modulazio-indizeak 0 balioa hartzen duenean), 2 A, 4 A eta 0 A dira, hurrenez hurren, konfigurazio tradizionalan, paraleloan eta *interleaving* teknikak aplikatzerakoan.

Irteerako tentsioari dagokionez ez dira aldaketa handiak hautematen (ikusi 5.43. irudia), hortaz, ondorioztatu daiteke sarrerako korrontearen eragina ez dela irteeraraino hedatzen. Irteerako tentsioen uhin-formen kizkurdura oso antzekoa da hiru konfigurazioetan. Kasu guztietan 0.5 V inguruko balioa dute.

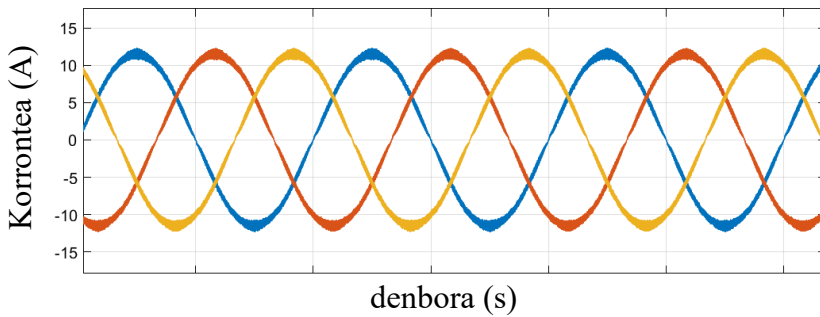
Irteerako kondentsadoreetatik doan korronteak ere portaera ezberdina du konfigurazio tradizionala eta beste bi konfigurazioak alderatuz gero (ikusi 5.44. irudia). Konparaketa honetan, konfigurazio tradizionalak 1,1 A-ko korronte-kizkurdura duela ikusten da. Ordea, paralelo edo *interleaving* teknika erabiliz gero lortzen dira emaitza hoberenak, 0,5 A-ko korronte-kizkurdura balioak lortuz. Konfigurazio tradizionalarekin alderatuz, kondentsadoreen korronteak nabarmen gutxitzea lortzen da.



(a) Vienna 6 switch.

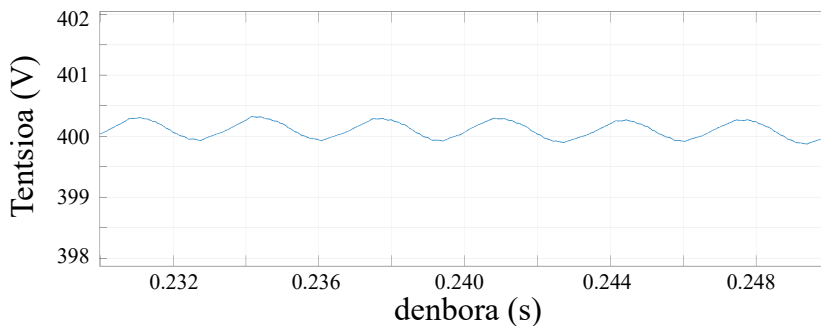


(b) Vienna 6 switch - Paraleloan.

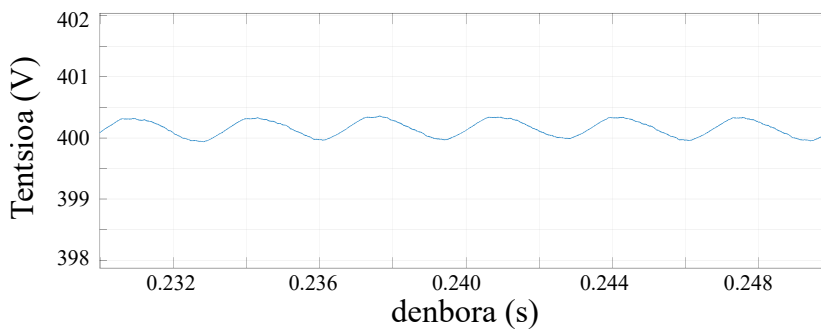


(c) Vienna 6 switch - Interleaving.

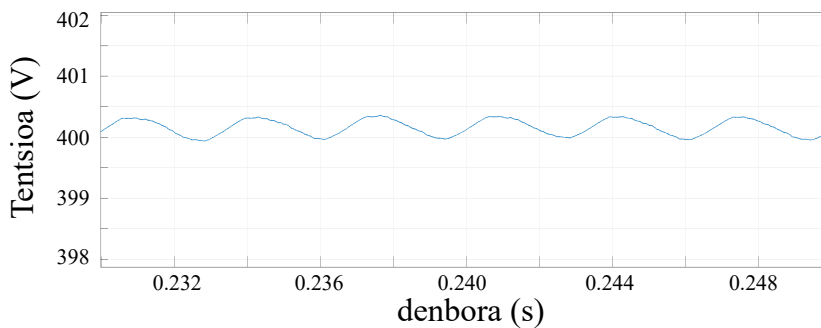
5.42. Irudia: Fasetako korronteen uhin-formak konfigurazio ezberdinetan.



(a) Vienna 6 switch.

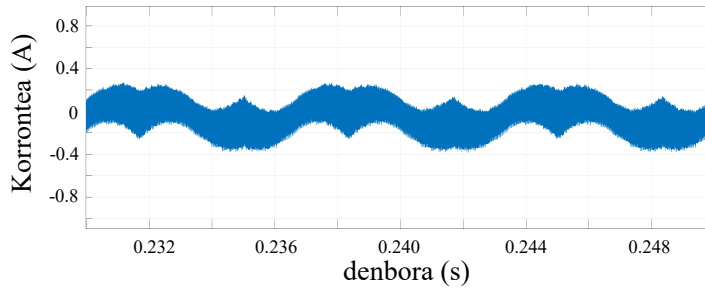
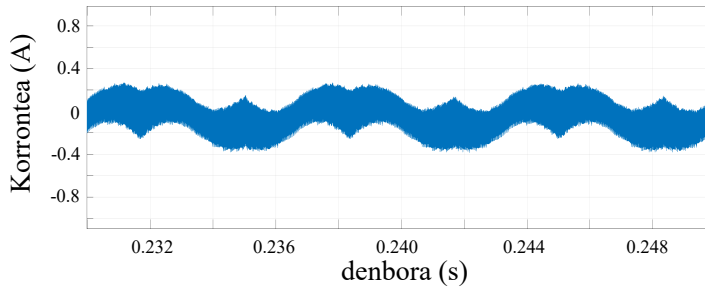
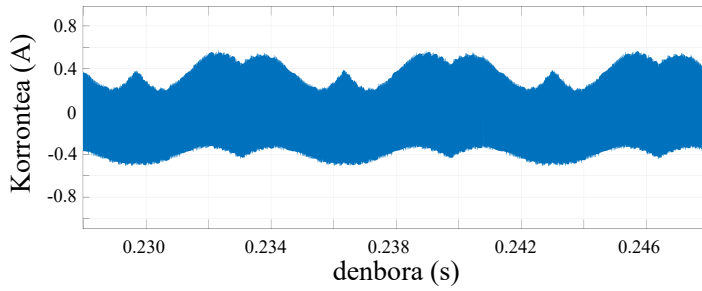


(b) Vienna 6 switch - Paraleloan.



(c) Vienna 6 switch - Interleaving.

5.43. Irudia: Irteerako *bus*-aren tentsio uhin-formak.



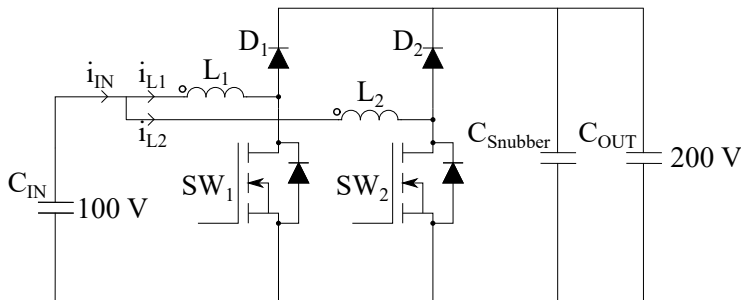
5.44. Irudia: Irteerako kondentsadoreen korronte uhin-formak

5.5.4. Konfigurazio ezberdinen emaitza esperimentalak

Vienna 6-switch artezgainuak paraleloan konektatutako gailuekin eta *interleaving* teknikarekin funtzionatu dezakeela erakutsi da 5.4.4.1. azpiatalean.

Bi teknika hauek ez dira proba-bankadan probatu sistema osoaren inplementazioan, batez ere, denbora faltagatik. Horren ordezt, *Vienna 6-switch* artezgainu osatzen duten *NCell* konmutazio-zeldetako bat probatu da, bai paraleloan eta baita *interleaving* teknikarekin ere. Proba hauekin *NCell* zeldaren funtzionamendua aztertu da. Muntaia hau egin dela aprobetxatuz, konmutazio-zelden konmutazio-maiztasunaren igoera nabarmen batek SiC MOSFET eta SiC diodoetan duen eragina probatu nahi izan da. Hori probatzeko, 500 kHz-eko konmutazio-maiztasunarekin egin dira proba hauek guztiak.

Konfigurazio ezberdin hauek erabiltzeak sarrerako korrantean duen eragina erakusteko, 5.45. irudian ikusi daitekeen muntaia egin da. Proba hauek egiteko erabili diren osagaien ezaugarriak 5.5. taulan erakusten dira.



5.45. Irudia: Konfigurazio ezberdinen proba egiteko erabilitako diseinuaren eskematikoa.

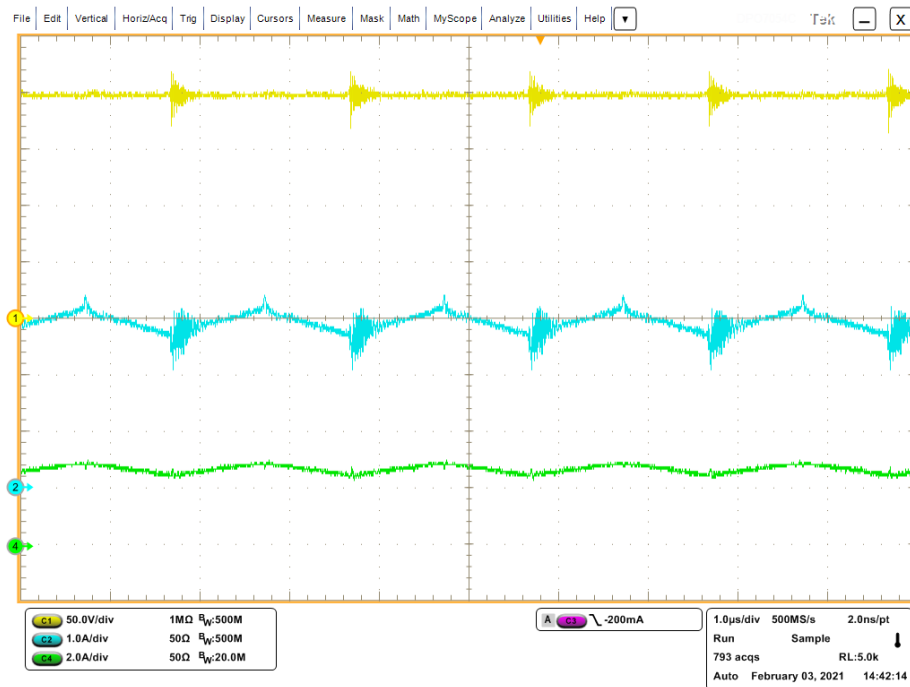
5.5. Taula: Osagaiak eta haien ezaugarriak

| | Sinboloa | Fabrikatzailea | Modeloa | Ezaugarriak |
|--------------------------|---------------|--------------------|-----------------|---------------------------------|
| Sarrerako induktantziak | L_1, L_2 | APERT | - | 200 μH , 0.1 Ω |
| SiC Diodoak | D_1, D_2 | Wolfspeed | C5D50065D | 650 V, 45 A |
| SiC MOSFETak | SW_1, SW_2 | STMicroelectronics | SCT20N120H | 1200 V, 20 A |
| Snubber kondentsadoreak | $C_{Snubber}$ | Kemet | C2225X104KFRACU | 1 μF |
| Sarrerako kondentsadorea | C_{IN} | Kemet | C4DENPQ6100A8TK | 100 μF |
| Irteerako kondentsadorea | C_{OUT} | Kemet | C4AQLBW5700A3LK | 70 μF |
| Ateetako erresistentziak | R_{gate} | Vishay | 1206 | 4 Ω |
| Pushpull isolatuak | - | Infineon | 1EDC20H12AH | 3 A_{max} |
| DC/DC isolatuak | - | XP Power | ISE015A | 5 V_{in} , 15 V_{out} , 1 W |

Lehenengo egin den proba konfigurazio tradizionalari dagokiona da, hau da, paralelizatuko osagairik gabe eta *interleaving* teknika aplikatu gabe. Kasu hau probatzeko L_2 , D_2 eta SW_2 osagaiak (ikusi 5.45. irudia) ez dira muntatu.

Lortutako emaitzek (ikusi 5.46. irudia) erakusten dute sarrerako L_1 induktantziak (seinale urdina) sarrerako korrante guztia (seinale berdea) eramaten duela. Kasu honetan, aurreikusi zitekeen bezala, sarrerako korrantearen kizkurdurak eta L_1 induktantziaren kizkurdurak balio bera dute.

Irteerako tentsioari dagokionez (seinale horia), MOSFETa aktibatzen den aldiuneko oszilazio bizkorak baztertuta, 6 V inguruko kizkurdura duen tentsioa lortzen da, hau da, %3-ko kizkurdura du.

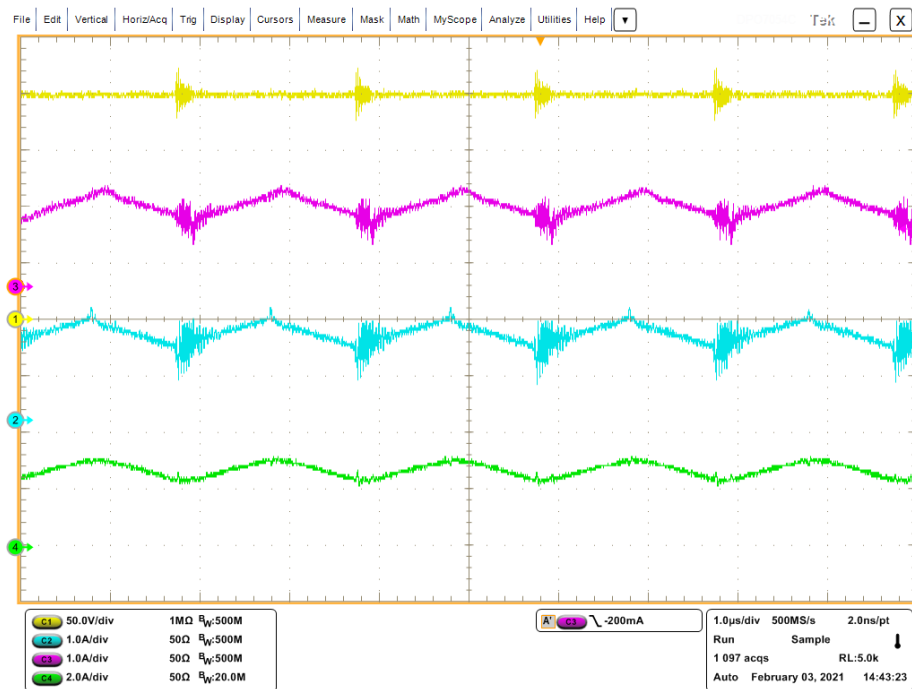


5.46. Irudia: Konfigurazio tradizionala - sarrerako korrantea (berdea), i_{L1} korrantea (urdina) eta irteerako tentsioa (horia).

Bigarren proba paraleloko konfigurazioari dagokiona da, hau da, bi NCell konmutazio-zelda dituen kasua. Hau probatzeko osagai guztiak muntatu dira, L_2 , D_2 eta SW_2 osagaiak barne (ikusi 5.45. irudia).

Lortutako emaitzek (5.47. irudia) erakusten dute sarrerako L_1 (seinale urdina) eta L_2 (seinale morea) induktantziek sarrerako korrantea (seinale berdea) erdi bana banatzen dutela. Kasu honetan, sarrerako korrantearen kizkurdurak, L_1 eta L_2 induktantzien kizkurdurak ditu aldi berean, balio biak gehitu egiten baitira. Hortaz, paraleloan dauden gailuen batzbesteko korrantearen balioa erdira jaistera lortzen da, baina sarrerako korrantearen kizkurdura bikoiztu egiten da.

Irteerako tentsioari dagokionez (seinale horia), aurreko kasuaren antzera, 6 V inguruko kizkurdura duen tentsioa lortzen da.



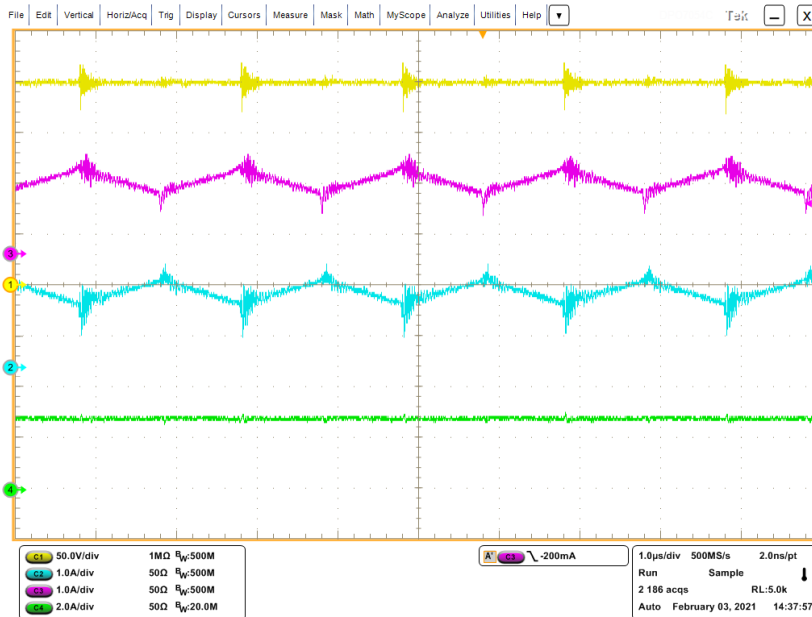
5.47. Irudia: Paraleloko konfigurazioa - sarrerako korrantea (berdea), i_{L1} korrantea (urdina), i_{L2} korrantea (morea) eta irteerako tentsioa (horia).

Azkenik, *interleaving* teknika probatu da, osagaiak paraleloan konektatzera behartuta gauden kasuetan aztertzea gomendatzen den konfigurazioa. Proba honetan, SiC MOSFET-en ateko *duty*-ak %50-era ezarri dira.

Lortutako emaitzek (5.48. irudia) erakusten dute sarrerako L_1 (seinale urdina) eta L_2 (seinale morea) induktantzien korronteak 180° desfasetuta daudela. Horrela, bi korronte hauek batzean, sarrerako korrontearen (seinale berdea) kizkurdura guztiz nulua izatea lortzen da.

Irteerako tentsioari dagokionez (seinale horia), kasu honetan ere 6 V inguruko kizkurdura duen tentsioa lortzen da.

Ondorioztatu daiteke, *interleaving* teknika erabiltzeak maiztasun-handiko korronteen kizkurdurak murrizten dituela, kasurik onenean nulua izatera iritsi arte. Teknika honen inplementazioa, ordea, ez da erraza, eta faktore asko izan behar dira kontuan, adibidez MOSFETen pizte eta itzaltze denborak, edo paralelizatutako gailuen arteko asimetriak.



5.48. Irudia: Interleaving konfigurazioa - sarrerako korrontea (berdea), i_{L1} korrontea (urdina), i_{L2} korrontea (morea) eta irteerako tentsioa (horia).

5.6. Ondorioak

“Zelda kontzeptua” atalean, erakutsi da konmutazio-zelda ondo diseinatzeak duen garrantzia, eta balio txikiko osagai parasitoek eragin handia izan dezaketela tentsio eta korrante maila handietako aplikazietan.

PCell eta *NCell* zeldak, konmutazio-galera baxuak eta konmutazio-maiztasun altuak behar dituzten zirkuituen ikuspuntutik oso aproposak direnez, hauek erabiltzea guztiz gomendagarria da. Gainera, aplikazio batzuetan potentzia-dentsitateak geroz eta garrantzia handiagoa du, eta hori hobetzeko helburua lortzeko konmutazio-maiztasuna handitzen duten diseinuetan, are onura gehiago ekarriko lukete *PCell* eta *NCell* zelden inplementazioak.

“Push-pull anizkoitza”-ren proposamenean, paraleloan diharduten SiC MOSFET-en ateko korrante-anplifikadore gisa, BJTeetan oinarritutako *push-pull*-ak erabiltzen dira. Zehazki, MOSFET bakoitzeko *push-pull* baten erabilera aztertzen da, paraleloan dauden transistore guztientzat *push-pull* bakar bat erabiltzearen orde, merkatuan eskuragarri dauden potentzia-moduluetan ohikoa den bezala. *Push-pull* bakoitza bere transistoretik oso gertu jar daitezkeenez, *push-pull*-etik MOSFETaren ateko bidean dagoen induktantzia oso txikia da eta horrek di/dt -ak murrizten ditu. Bestalde, *driver*-etik *push-pull*-era doan bidean, nahiz eta induktantziak handiak eta ezberdinak izan, ez da arazo kritikorik sortzen, hortik korrante oso txikiak (BJTeak aktibatzen dituzten korranteak) pasatzen baitira.

Proposamen berri honen onurak ebaluatzeko, bihurketa-topologiari sinpleenetakoa bat aukeratu da, lau SiC MOSFET eta lau SiC diodo dituen DC/DC bihurtailua. Egindako simulazioek eta ondorengo balioztatze esperimentalek bi onura garrantzitsu erakusten dituzte. Alde batetik, ateetara iristen diren seinaleak askoz garbiagoak direnez, gaintentsio kaltegarriak eta oszilazioak saihesten dira, eta, beraz, *self-turn-on* arriskua murriztu egiten da. Bigarrenik, esperimentazioan ikusi den modura, nahiz eta *driver*-etik *push-pull*-era doazen bideetan asimetriak egon, ateen arteko sinkronizazioa ez da guztiz galtzen. Horrek potentzia atal guztiz simetrikoki diseinatzea ahalbidetzen du. Ondoren zirkuitu horrentzako *driver*-zirkuitu bat diseinatuko litzateke *push-pull* anizkoitza erabiliz, eta hortaz, simetria-baldintza zorrotzak ahaztuta.

“RLC iragazki sintonizatua” atalean, ondorioztatu da, oszilazioak berrelikadura begitzen bidez amplifikatzearen ondorioz (maiztasun erresonanteetan), ezin dela WBG erdiekoaleen potentzial guztia erabili konmutazio-maiztasun handiko potentzia-elektronikan. Aportazio honek metodologia berri eta erraz bat aurkezten du oszilazio-begitzaren maiztasun-iturri nagusia identifikatzeko (sare-

analizatzaile bidez) eta oszilazio horren eragin kaltegarria arintzeko. Horretarako, atetik ahalik eta gertuen *RLC* iragazki bat sartzen da, neurtutako oszilazio-maiztasun nagusian sintonizatuta.

Oszilazio-maiztasun nagusira sintonizatutako *RLC* iragazkiaren efektua probatu da. Emaiza esperimentalek erakusten dute *RLC* tranpa eraginkorra dela potentzia-begiztaren berrelikaduraren kontra. Ateko oszilazioak atenuatzeak ondorio positiboak ditu potentzia-bihurgailuaren funtsezko parametroetan, hala nola tentsioaren eta korrontearen gainkargan, sistemaren potentzia galeran eta EMI erradiatuan. Hala, iragazkiari esker, konmutazio-maiztasun altuagoetan lan egin daiteke, hortaz, SiC MOSFETen abiadura gaitasunak modu eraginkorrean erabili daitezke. Proposatutako metodoaren bidez, *Active Gate Driver* soluzioen konplexutasun gehigarririk gabe, SiC MOSFETaren tenperatura nabarmen jaitea eta EMI zarata-murrizketa lortzea posible da.

Neurketen arabera, emaitza onenak 0,5 eta 1 arteko kalitate-faktorea (Q_s) duten *RLC* iragazkiek ematen dituzte; izan ere, balio horiekin, oszilazioa iragaztearen eta atean behar den abiaduraren arteko konpromisoa lortzen baita.

Ondorioztatu daiteke, metodologia hau erabiltzea aukera hobea da zuzenean ateko erresistentzia handitzea baino, oszilazioak murriztu egiten baitira WBG gailuen konmutazio-abiadura handiei uko egin gabe.

“Interleaving” teknika jorratu den atalean, ondorioztatu da, gailuen paralelizazioa beharrezkoa denean, adibidez potentzia-maila handiagoak lortu nahi direnean, hobe dela *interleaving* teknika erabiltzea, paraleloan dauden gailuen abantaila guztiak dituelako, eta gainera, sarrerako korrontearen kizkuradura hobetzen duelako, sistemaren errendimendua hobetuz. Hori bai, onura horiek guztiak lortzeak modulagailuaren inplementazioa zailagoa eta garestiagoa egiten dute, kontrolean hainbat bloke gehiago behar baitira, eta neurtu beharreko korrontek bikoiztu egiten baitira, eta baita *driver* kopurua ere.

Atal honen zati esperimentala ez da inplementatu, gehienbat denbora faltagatik, baina behintzat PCBen diseinuan aspektu hauek inplementatzea ahalbidetzen duten zatiak sartu dira. Hortaz, etorkizuneko lanen artean sailkatuta gelditu da paralelo eta *interleaving*-aren inplementazioa eta probak egitea sistema osoan.

6. Kapituluia

Vienna artezgailuaren inplementazioa

6.1. Sarrera

Kapitulu honek, aurreko kapitulu guztietan azaldutako *Vienna 6-switch* artezgailurako hobekuntza posible guztiak uztartzen dituen diseinuaren inplementazioa deskribatzen du. Diseinuaren prozesu osoan, eraginkortasunaz gain, sarrerako potentzia-faktorea eta konmutazio-maiztasuna handitzea ahalbidetzen duten diseinu-teknikei eman zaie garrantzia. Laborategiko ekipoen ezaugarriek mugatuta, potentzia-maila baxuan egin dira proba guztiak, betiere tesian azaldutako kontzeptuak probatu eta berresteko adina potentziarekin. Sistemaren ezaugarri nagusiak 6.1. taulan ikusi daitezke.

6.1. Taula: Sistemaren ezaugarri nagusiak

| Ezaugarria | Sinboloa | Magnitudea |
|--------------------------------------|----------|------------|
| Potentzia (W) | P | 1500 |
| Sarrerako tentsioaren anplitudea (V) | A_{in} | 100 |
| Irteerako tentsioa (V) | V_{DC} | 400 |
| Irteerako korronea (A) | I_{DC} | 3,75 |
| Kontrolaren maiztasuna (kHz) | f_k | 50 |
| Konmutazio-maiztasuna (kHz) | f_{sw} | 100 |

6.2. Atal elektrikoaren diseinua eta implementazioa

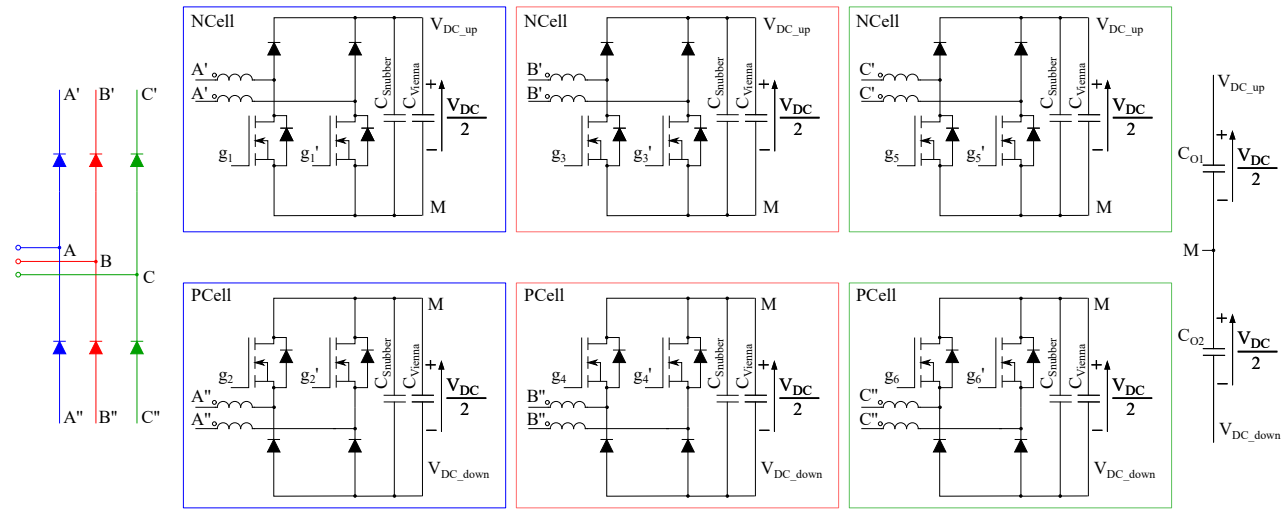
Proposatutako diseinuaren atal elektrikoaren eskema orokorra 6.1. irudian ageri da, non *Vienna 6-switch* artezgailuaren konmutazio-zeldak binakako *PCell* eta *NCell* zeldez osatzen diren. Implementazioa osagai diskretuen bidez egin da. Diseinu honek aurreko atalean ikusitako hiru konfigurazioak (tradizionala, paraleloan eta *interleaving*-arekin) implementatzea ahalbidetzen du.

Vienna 6-switch artezgailuaren ezaugarrietako bat da, adar bakoitzaren goiko aldea lanean dagoen bitartean, beheko aldea guztiz geldituta dagoela, eta alderantziz. Horregatik, PCBen (*Printed Circuit Board*, ingelesez) diseinua egi-terakoan bihurgailuaren adar bakoitzaren alde positiboa eta negatiboa modu independentean diseinatu dira, gero, proba-bankadan, hauetako bakoitza nahi den lekuan kokatzeko.

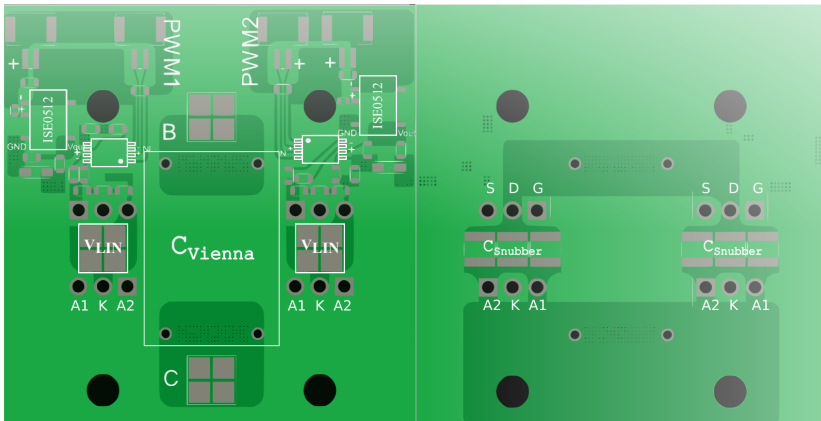
Diseinatutako PCBak 6.2. irudian ikusi daitezke, non binakako *PCell* (6.2.(a) irudia) eta *NCell* (6.2.(b) irudia) konmutazio-zelden PCB diseinuak ageri diren. PCBetan azaltzen diren A, B eta C serigrafiak, eskemako V_{DCup} , M eta V_{DCdown} puntuak dira hurrenez hurren. Guztira hauetako sei PCB erabili behar dira bankada osatzeko, hiru *PCell* eta beste hiru *NCell*.

MOSFET eta diodo bikote bakoitzak egin behar dituzten konmutazioak oso PCB azalera-eremu murriztuan gertatzen dira (ikusi 6.3. irudia). Horri esker konmutazioak askoz garbiagoak dira, eta hortaz konmutazio-galerak murrizten dira. Erreferentzia gisa, konmutazio-zeldaren dimentsio txikiak begi-bistaz zenbatetsi daitezke V_{LIN} sarrera-konektorea erreferentzia gisa erabiliz; konektore horrek $9\text{ mm} \times 9\text{ mm}$ neurtzen du. Irudi horretan, *snubber* kondentsadoreen kokalekua ere ikusten da, eta baita, ateko *RLC* iragazkia.

MOSFETen atak potentzia atalarekiko modu isolatuan aktibatzeke, Infineon fabrikatzailearen *push-pull* isolatuak (1EDC20H12AH) eta XP Power fabrikatzailearen *DC/DC* bihurgailuak (ISE0515A) erabili dira. PCB bakoitzak bi MOSFET eta bi *push-pull* isolatu ditu *push-pull* anizkoitzaren kontzeptua inplementatzeko. *NCell*-en kasuan *DC/DC* bakarra erabili da, MOSFETaren iturria (S) puntu elektriko berdina baita PCB horretako bi MOSFETentzat. Ordea, *PCell*-en diseinuaren kasuan, MOSFET bakoitzaren iturria (S) puntu elektriko ezberdin batean dago, eta hortaz bi *DC/DC* bihurgailu erabili dira. Hau egin ezean, ezingo litzateke *interleaving* modulazio-teknika erabili, sarrerako induktantziek bata bestearekiko independentzia behar baitute horretarako.



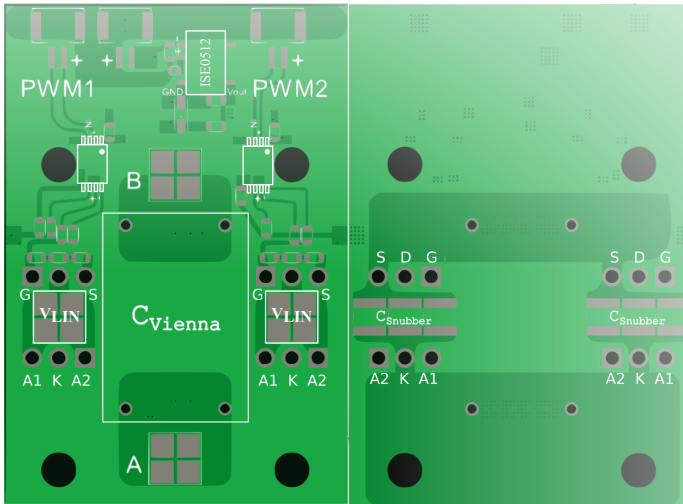
6.1. Irudia: Vienna 6-switch-aren eskematikoa.



Goiko ikuspegia

Beheko ikuspegia

(a) PCBaren diseinua - PCell.

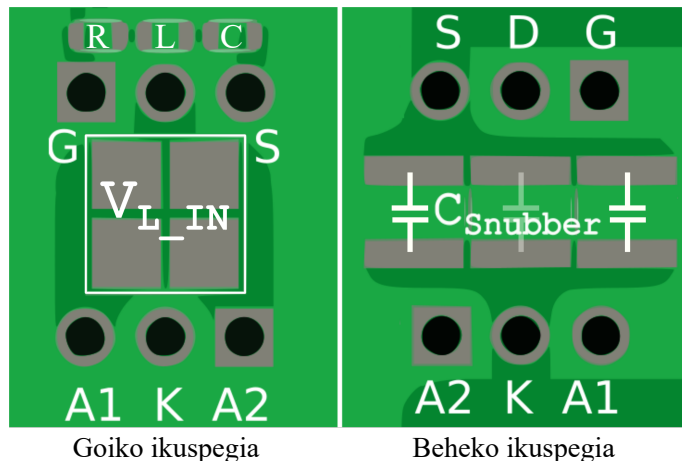


Goiko ikuspegia

Beheko ikuspegia

(b) PCBaren diseinua - NCell.

6.2. Irudia: Kommutazio-zelden PCB diseinuk.

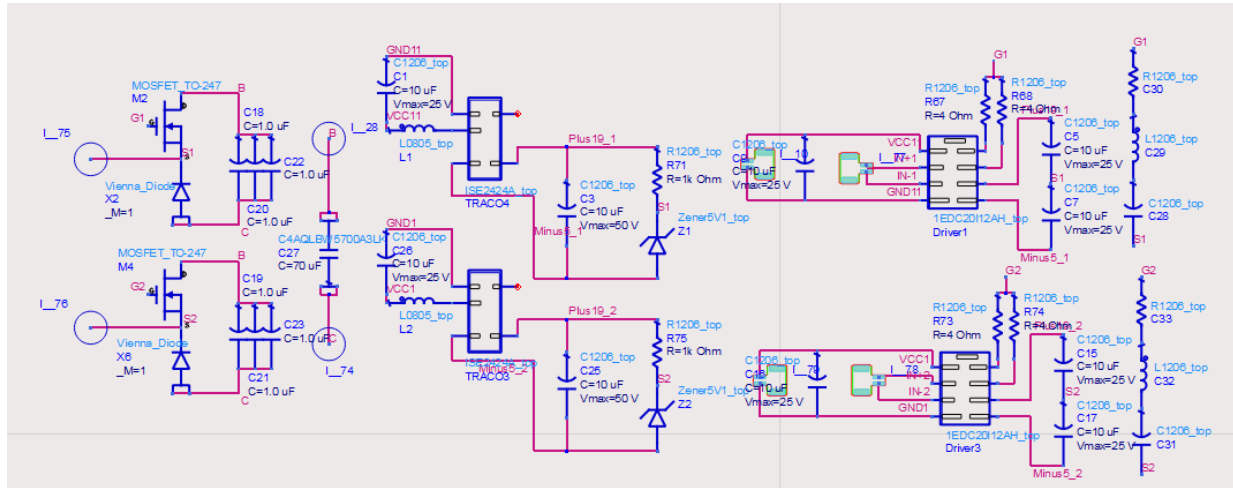


6.3. Irudia: PCBaren kommutazio-esparruaren zooma.

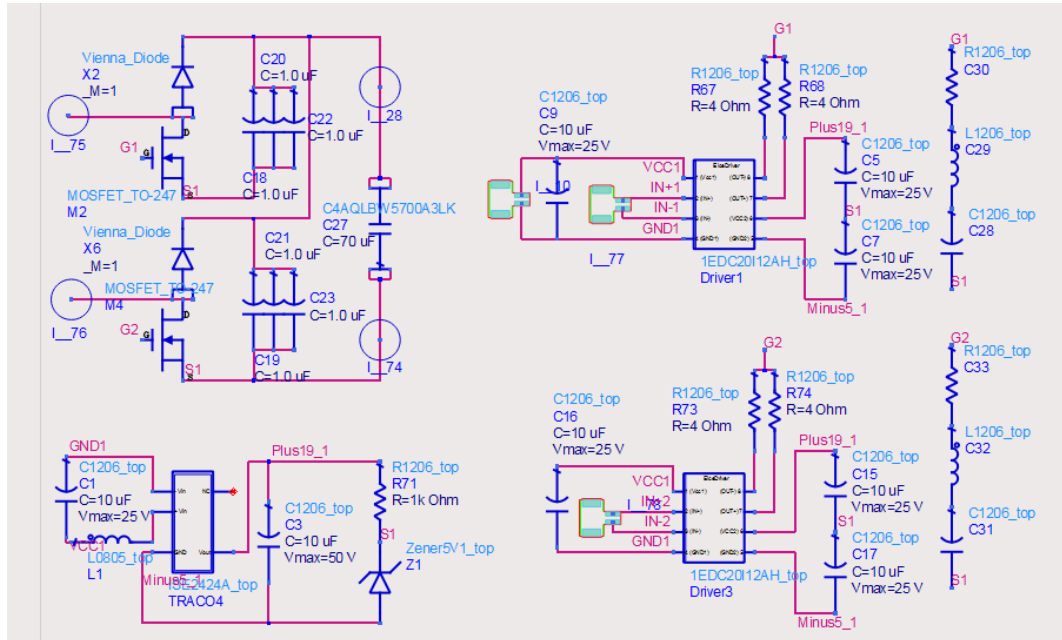
PCell eta *NCell* zelden PCB diseinuen eskema elektrikoak zehaztasun gehiagoz ikusi daitezke 6.4. eta 6.5. irudietan.

Bankadaren atal elektrikoaren muntaia osoa geruzaka egin da. Lehenengo, 6.6. irudian ikusi daitekeen bezala, muntatutako binakako *PCell* eta *NCell* zelden PCB diseinuak ageri dira hozte-sistemaren disipadoreetara torlojuz lotuta. Nahiz eta PCB bakoitzean bi gailu (paraleloan, zein *interleaving* bidez) muntatu daitezken, proba hauek konfigurazio tradizionala erabiliz egin dira, hau da, kommutazio-zelda bakarrarekin. Bigarren geruzan (6.7. irudia), kobrezko xafren bidez egindako konexioak ageri dira, non irteerako kondentsadoreetara (C_{O1} , C_{O2}) konektatzen diren *PCell* eta *NCell* zeldak. Azken geruzan (ikus 6.8. irudia), sarrerako diodo geldoak eta induktantziak kokatu dira.

Muntaia osoa egiteko erabili diren osagai elektriko garrantzitsuenak 6.2. taulan ikusi daitezke. Sarrerako induktantziak eskuz egin dira *Ferroxcube*-ren 3C92 materiala erabiliz. Hau, kommutazio-maiztasun altuetarako aproposa den materiala da. Garrantzitsua da azpimarratzea diseinua egiteko hautatutako osagai pasiboek (induktantziek eta kondentsadoreek) oso balio txikiak dituztela. Horren alde positiboa, potentzia-dentsitatea hobetzen dutela da, baina alde negatiboa ere badu, kontrola oso azkarra izan behar baita, tentsio eta korrante deribatu hain handiek arazo ezberdinak sortu baititzazkete.



6.4. Irudia: PCBaren eskematikoa - PCell.



6.5. Irudia: PCBaren eskematikoa - NCell.

6.2. Taula: Osagaiak eta haien ezaugarriak

| | Sinboloa | Fabrikatzailea | Modeloa | Ezaugarriak |
|---------------------------|------------------|----------------|-----------------|----------------------------|
| Diodo geldoak | D_{IN} | Semikron | SKKD81/12 | 1200 V, 82 A |
| Sarrerako induktantziak | L_{IN} | APERT | - | 200 μH , 0.1 Ω |
| SiC Diodoak | D_{SiC} | Wolfspeed | C5D50065D | 650 V, 45 A |
| SiC MOSFETak | SW_{SiC} | STMicroelect. | SCT20N120H | 1200 V, 20 A |
| Snubber kondentsadoreak | $C_{Snubber}$ | Kemet | C2225X104KFRACU | 1 μF |
| Vienna kondentsadoreak | C_{Vienna} | Kemet | C4AQLBW5700A3LK | 70 μF |
| Irteerako kondentsadoreak | C_{O1}, C_{O2} | Kemet | C4DENPQ6100A8TK | 100 μF |
| Ateetako erresistentziak | R_{gate} | Vishay | 1206 | 4 Ω |
| Pushpull isolatuak | - | Infineon | 1EDC20H12AH | 3 A_{max} |
| DC/DC isolatuak | - | XP Power | ISE0515A | 5 V_{in} , 15 V_{out} |

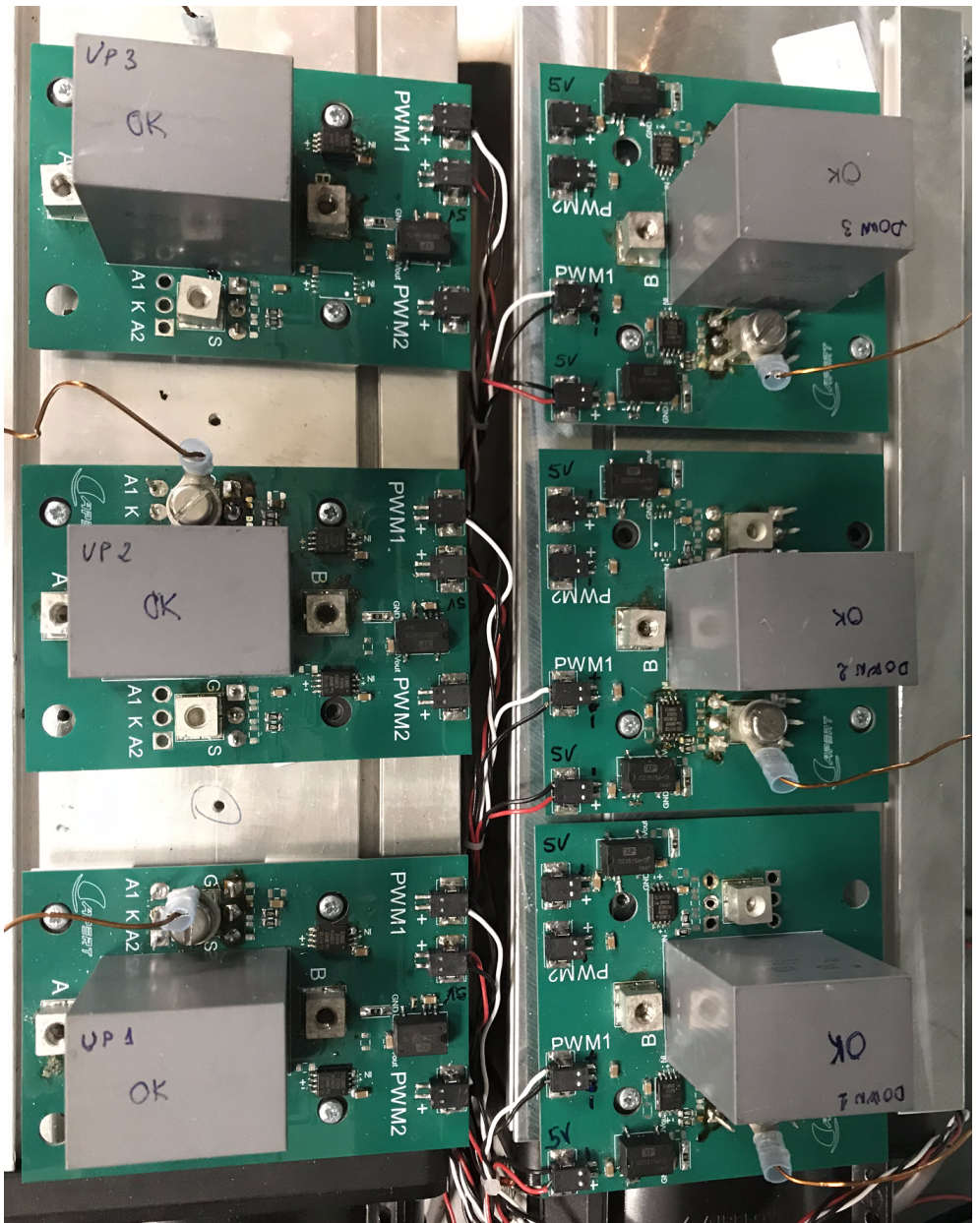
6.3. Kontrolaren implementazioa

Vienna 6-switch artezgailuaren kontrola diseinatzeko *MATLAB Simulink* softwarea erabili da. Software horretan sortutako prozesadorearen modeloa *dSPACE*-en *DS1007* prozesadorean implementatu da eta hardwarea deskribatuz egin dako modulazioa *dSPACE*-en *DS5203-7K325 FPGAn*. Kontrolaren maiztasuna 50 *kHz*-etan ezarri da, eta modulazioaren konmutazio-maiztasuna 100 *kHz*-etan. Kontrol guztia *ControlDesk* interfaze grafikoaren bidez kudeatu da. Kontrolaren *MATLAB Simulink*-eko diseinu osoa 6.9. irudian ikusi daiteke¹.

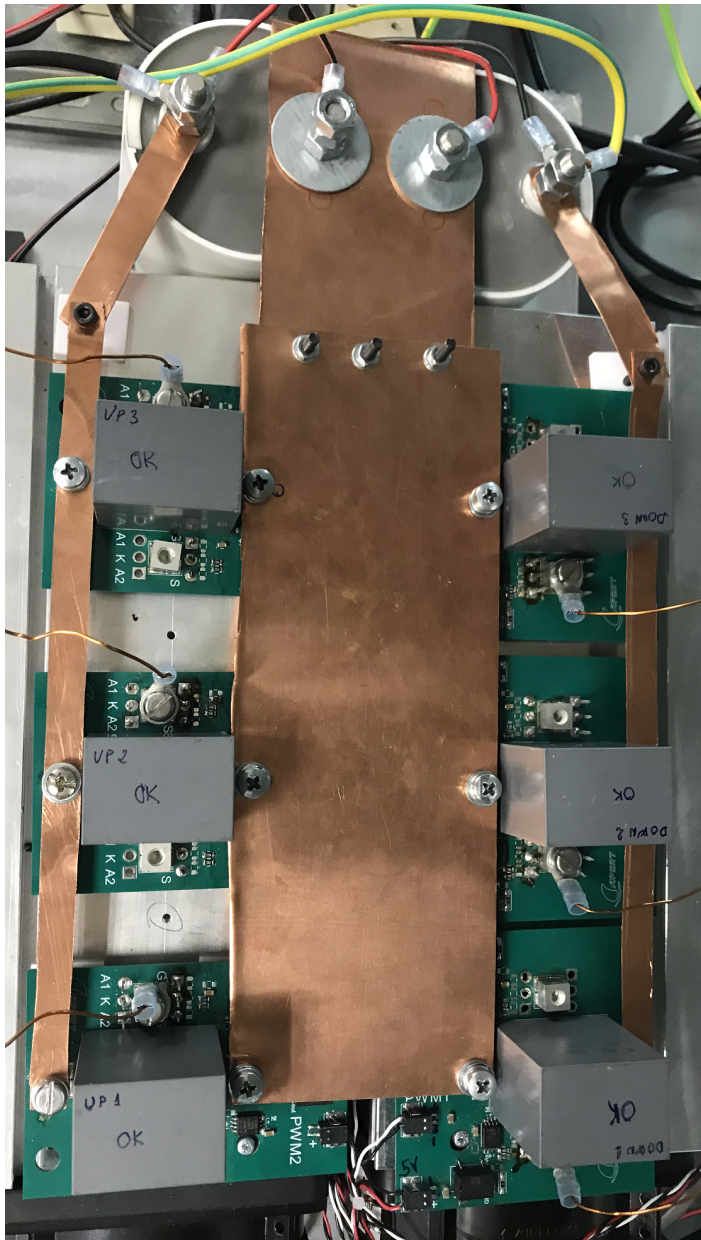
Kontrolaren atal teorikoa aurreko 3. kapituluaren deskribatu da, non atalez atal azaldu diren bloke bakoitzaren egin beharrekoak. Hurrengo azpiataletan banaka azalduko dira PLL blokearen, tentsio-begitzaren eta korronte-begitzaren implementazioa egiteko jarraitu diren irizpideak eta pausoak.

Egoera makinak, 3. kapituluaren aipatu ez den bloke bat du implementatuta, *PLL-ready* deritzona. Bloke horrek, PLLa sareko tentsiora lotuta dagoela ziurtatzen du. Hainbat sareko periodo (kasu honetan 1000) pasatu behar dira jarraian egoera egokian, hau da, PLL blokearen irteerako w maiztasun-angeluarra 314, 15 ($2\pi 50$) balioaren inguruan egon behar da (%2-ko marjinarekin) denbora tarte horretan. Soilik baldintza hau betetzen badata, *PLL-ready* seinalea aktibatzen da eta egoera-makinak aurrera egiten du, hurrengo egoerara.

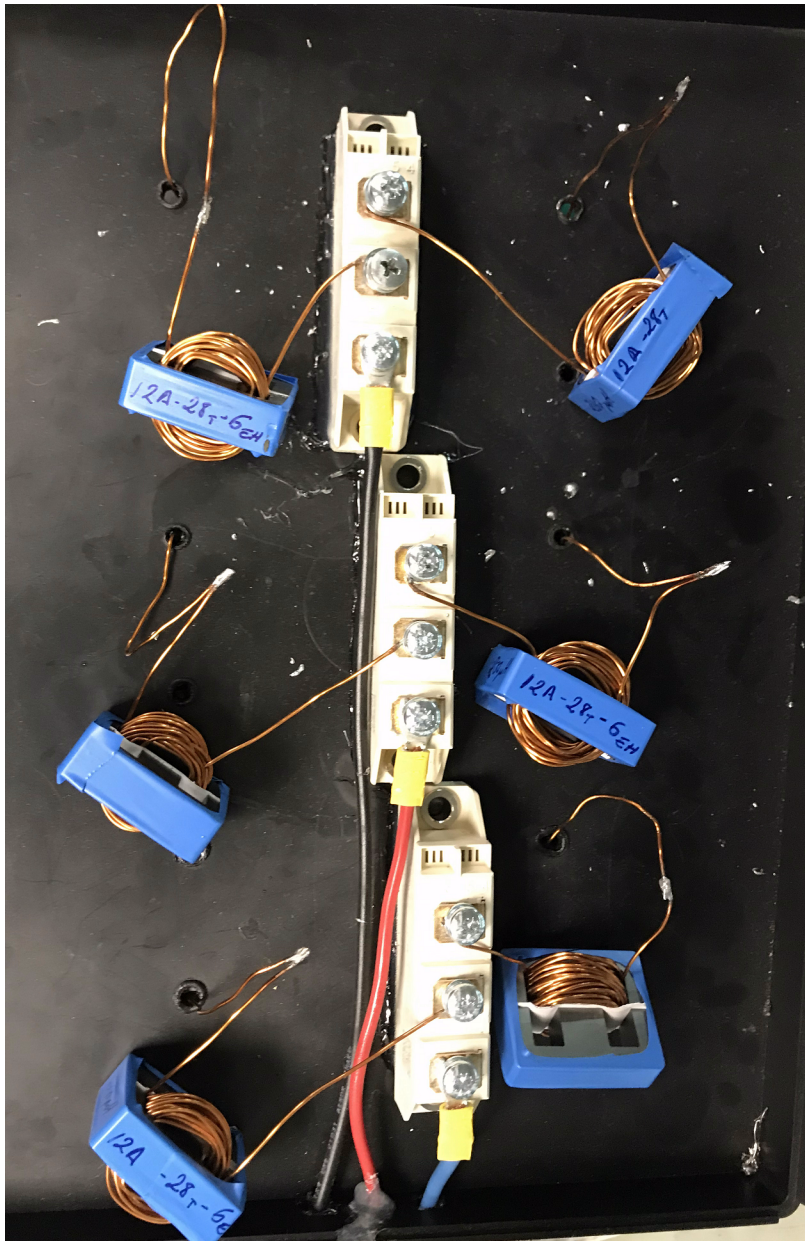
¹Irudi horren irteeran (eskuinean) ikusten diren lau geziak modulagailuaren sarrera-seinaleak dira; hiru modulatzaileak eta pultsuak aktibatzekeko *Pulses-enable* seinalea.



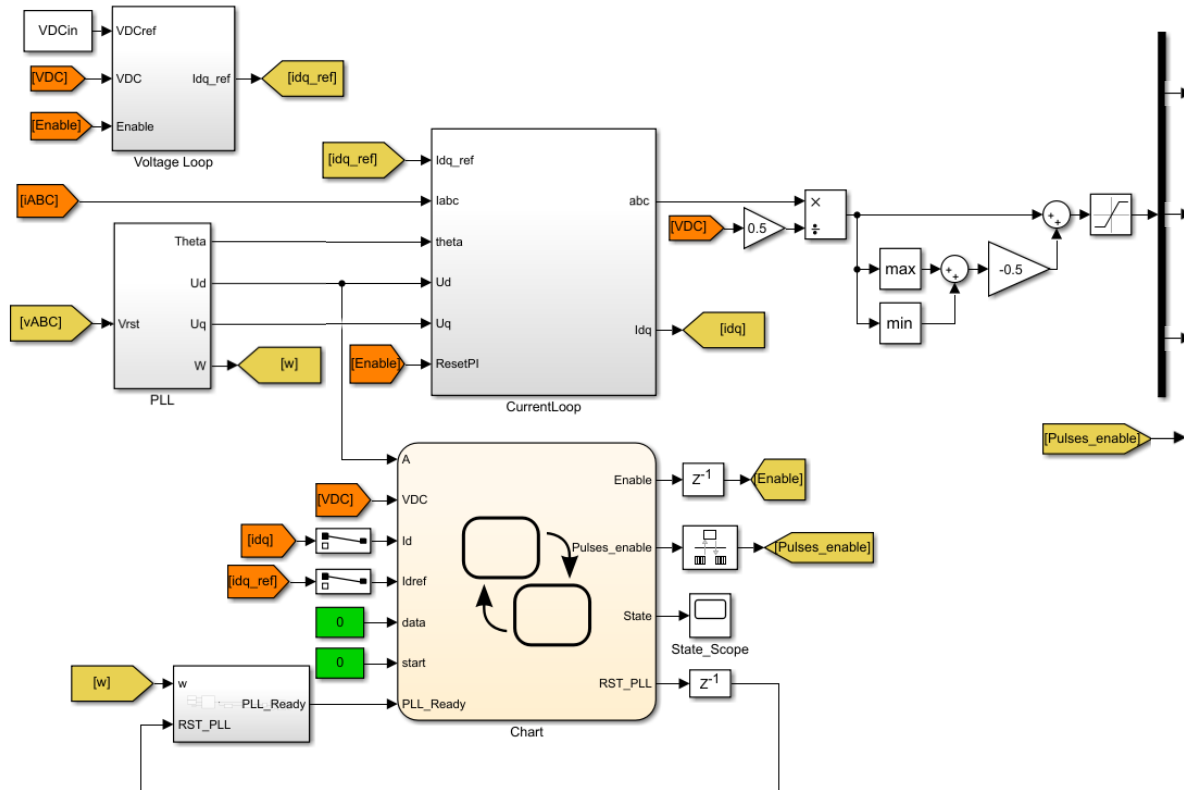
6.6. Irudia: Bankadaren lehen geruza.



6.7. Irudia: Bankadaren bigarren geruza.



6.8. Irudia: Bankadaren hirugarren geruza.



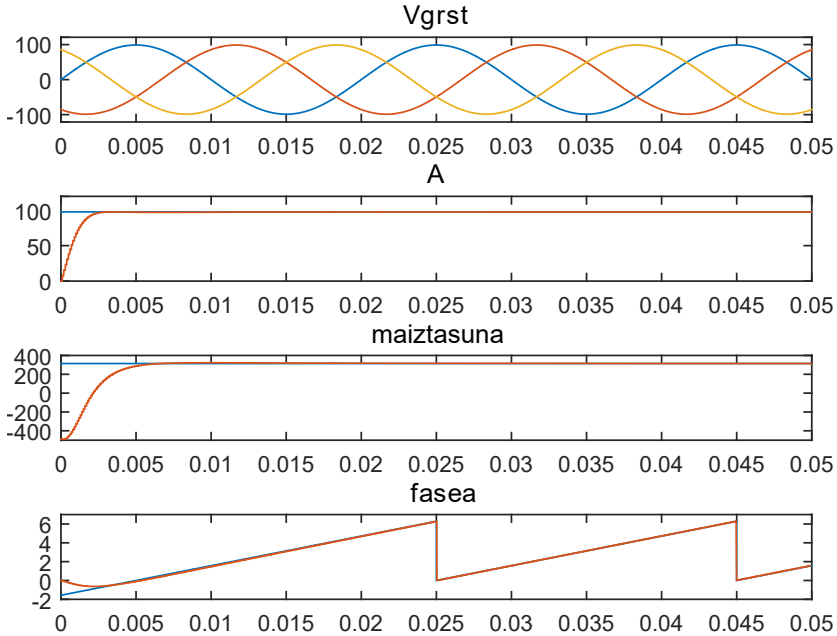
6.9. Irudia: Implementatutako kontrolaren bloke-diagrama orokorra.

6.3.1. PLL

PLL blokeko PI-a doitzeko, ekuazio hauek hartu dira kontuan [144]:

$$K_{pPLL} = \frac{16}{A_{in}t_{est}} \quad \text{eta} \quad K_{iPLL} = \frac{2}{\zeta^2 t_{est}}, \quad (6.1)$$

non A_{in} sarrerako fase-neutro tentsioen anplitudea, t_{est} ezartze-denbora eta ζ indargetze-faktorea diren. Kasu honetan, $A_{in} = 100 \text{ V}$, $t_{est} = 20 \text{ ms}$ eta $\zeta = 0,7$ hartu dira. Horrela, $K_{pPLL} = 5.65$ eta $K_{iPLL} = 204$ lortzen dira. Lortutako PLL blokearen erantzunak 6.10. irudian ikusi daitezke. Irudi horretan argi ikusten da PLLa oso bizkor egonkortzen dela, eta horrek sarearen aldaketan aurrean (adibidez, tentsioaren anplitudearen aldaketan aurrean) oso sendoa dela adierazten du. PLLa sareko tentsiora ondo lotzea beharrezkoa da, hortik lortutako maiztasun angeluarraren (w) emaitzak gero korrante-begiztan egin behar diren *Clark-Park* bihurteta guztiak baldintzatzen baititu.



6.10. Irudia: Implementatutako PLLaren erantzuna.

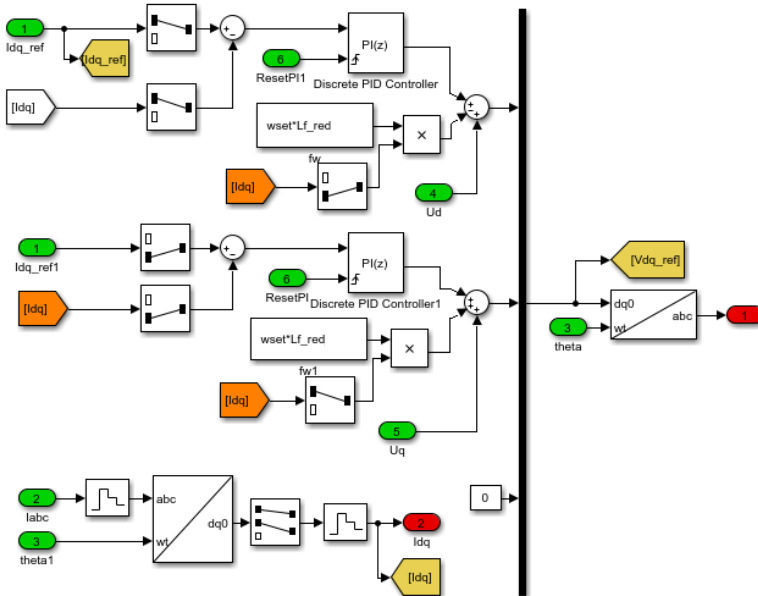
6.3.2. Korronte-begizta

Korronte-begiztaren diseinua PI biren bidez implementatu da 6.11. irudian ikusi daitekeen bloke-diagrama jarraituz. PIak doitzeko *zero-pole cancellation* teknika erabili da [146]:

$$K_p = 4L/T_s \text{ eta } K_i = 4R/T_s, \tag{6.2}$$

non $L = 200 \mu H$, $R = 0.1 \Omega$ eta $T_s = 125 \mu s$ diren.

Datu horiekin $K_p = 6.4$ eta $K_i = 3200$ lortzen dira. Hain ezarpen-denbora (T_s) txikia jartzearen zergatia sarrerako inдукtanzien balio txikia da. Kommutazio-maiztasun altua du sistemak ($100 kHz$), eta horrek sarrerako inдукtanziaz txikitzea ahalbidetzen du, artezgailuaren potentzia-dentsitatea hobetuz. Kontrolak eragiten duen banda zabaleran inдукtanziaz hain txikiak izanda zirkuitulabur bezala portatzen dira ($\omega \cdot L$ oso txikia). Horregaitik, kontrola ez bada azkarra, korronteak errez desitxuratzen dira.



6.11. Irudia: Implementatutako korronte-begiztaren bloke-diagrama.

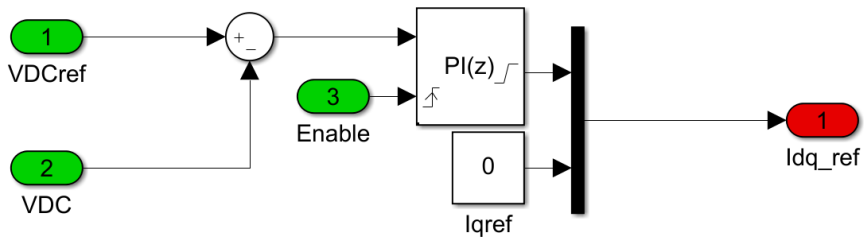
6.3.3. Tentsio-begizta

Kontrolaren modeloaren implementazioa gauzatzeko, hasiera batean behintzat, irteerako tentsioaren seinaleak maiztasun zehatz bateko kizkurduarik ez duela izango onartu da, eta hortaz ez da *notch* iragazkia erabili.

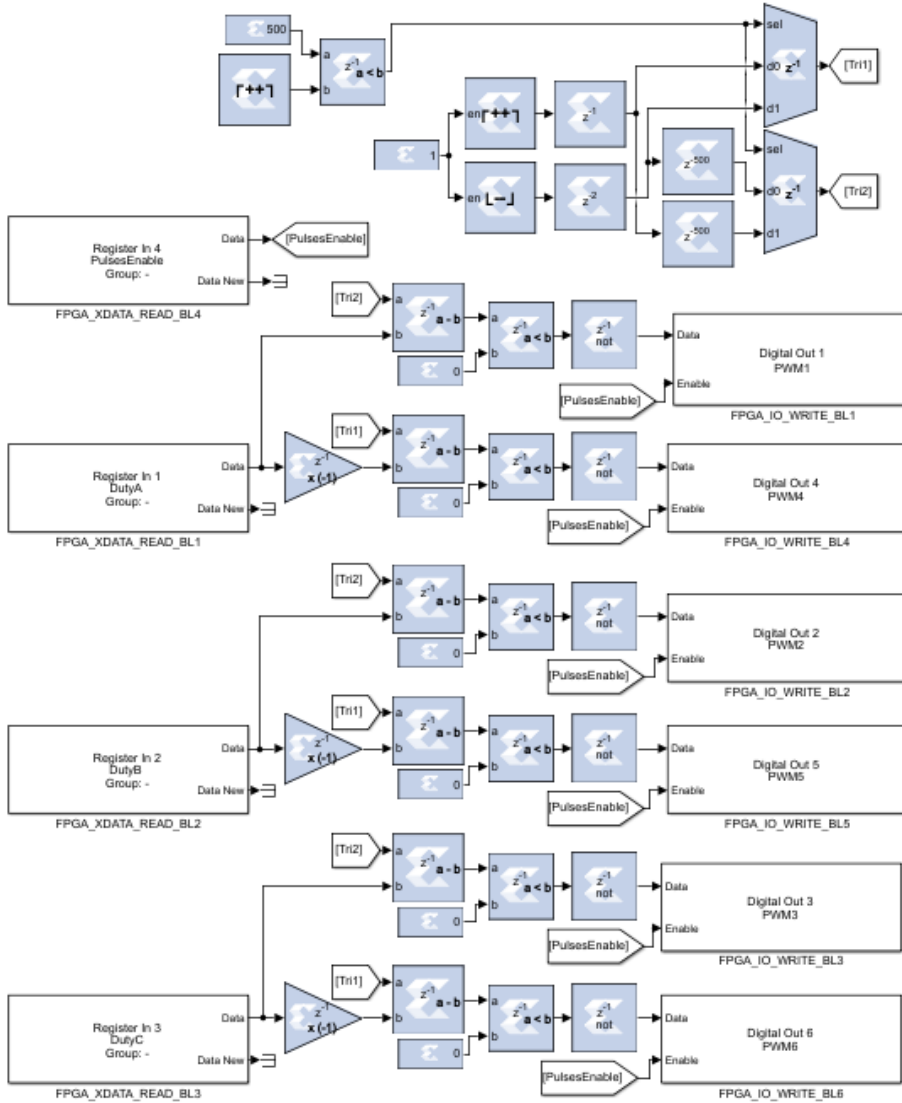
Implementatutako tentsio-begizta (ikusi 6.12. irudia) diseinatzeko hurrengo sistemaren ezaugarriak hartu dira kontuan:

- $C_{baliokidea} = 155 \mu F$
- $Potentzia = 1500 W$
- $V_{f-n} = 100 V/\sqrt{2}$
- $I_{fase} = 1500/(3xV_{f-n}) = 7.07 A$
- $V_{DC} = 400 V$
- $t_{est} = 30 ms$
- $\zeta = 1/\sqrt{2}$

Datu horiekin $K_p = 0.0213$ eta $K_i = 2.5968$ lortzen dira.



6.12. Irudia: Implementatutako tentsio-begiztaren bloke-diagrama.



6.13. Irudia: Implementatutako modulagailuaren bloke-diagrama.

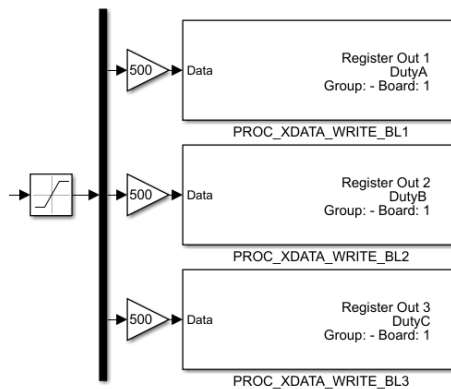
6.4. Modulagailuaren implementazioa

Implementatutako modulagailuaren bloke-diagrama 6.13. irudian ikusi daiteke. Implementazioa *dSPACE*-ren *DS5203-7K325 FPGA*n egin da. *FPGA* horren pausu txikiena denboran $10ns$ -koa da, eta hortaz $100 kHz$ -eko seinale triangeluarra bereizmen nahikoarekin sortze aldera 500 unitateko altueradun triangeluarra sortu dira. Seinale triangeluarrek guztira *FPGA*ren 1000 pausu hartzen dituzte (6.3 ekuazioa).

$$f_{sw} = 1/(10ns \times (2 \times 500)) = 100 kHz \quad (6.3)$$

Seinale triangeluarra sortzerakoan, seinale triangeluar bien arteko desfasea zehazki 180° dela ziurtatzeko, kontuan hartu behar izan dira bloke bakoitzak sartzten dituen atzerapenak. Horregatik goraka eta beheraka doazen kontagailuen ondoren dauden atzerapen-blokeek (*delay*, ingelesez), balio ezberdinak dituzte: z^{-1} eta z^{-2} .

Kontrolak, ondoren moduladoreak prozesatuko dituen seinaleak (*duty*-ak) sartzten ditu, non seinale hauek 0 eta 1 arteko balioak dituzten. Modulagailuko triangeluarrek ordea, 500 unitateko balioa dute, eta hortaz, kontrolaren eta modulagailuaren arteko datuen transferentzian, seinaleen doikuntza egin behar izan da. Irtenbidea, kontrolatik modulagailura doazen *duty* seinaleak 500 aldiz handitzea izan da (ikusi 6.14. irudia).



6.14. Irudia: Kontrolaren eta modulagailuaren arteko seinaleen doikuntza.

6.5. Emaitzak

Proba-bankadan lortutako emaitzak ikusi daitezke atal honetan. Emaitza horiek diseinatutako artezgailuaren ezaugarri nagusienak erakusteko baliatu dira.

Vienna 6-switch artezgailua AC/DC motako bihurgailu bat dela kontuan hartuta, garrantzitsua da sarrerako korronteen eta irteerako tentsioaren uhinformak aztertzea, hauek baitira artezgailuaren ezaugarri nagusiak ikusteko adierazgarrienak diren uhinformak. Lortutako sarrerako korrante trifasikoen eta irteerako tentsioaren uhinformak erakusten dira 6.15. irudian. Irudi horrek ikuspegi orokor bat eskaintzen du soilik, aurrerago sakontasunean aztertuko dira kalitate-parametro guztiak.



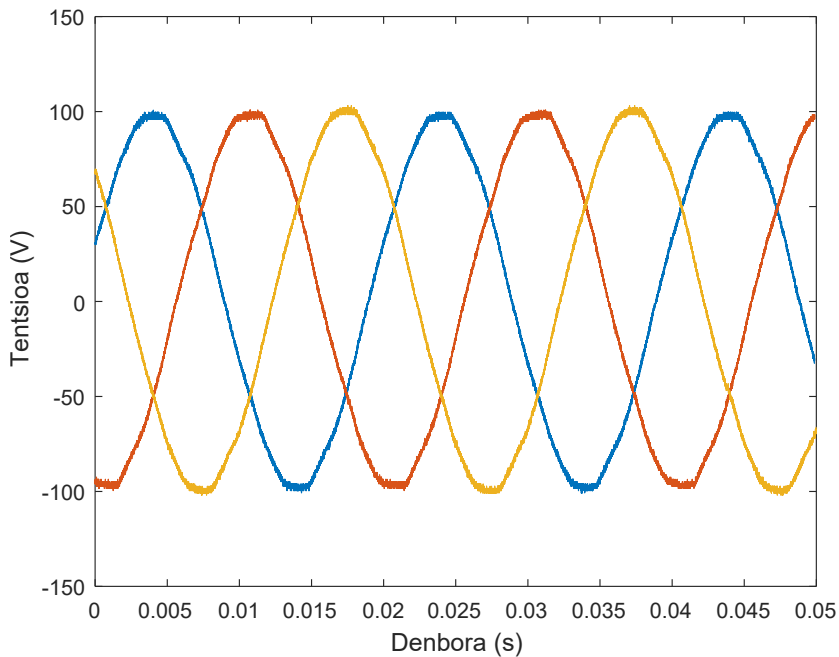
6.15. Irudia: Sarrerako korrante trifasikoaren eta irteerako tentsioaren uhinformak.

6.5.1. Potentzia-faktorea (PF)

Tesi honen helburu nagusietako bat potentzia-faktore unitarioa ($PF \simeq 1$) duen artezgailu trifasiko baten diseinua egitean datza. Hortaz implementatutako bankadatik lortutako datuak aztertu dira. Potentzia-faktorea, distortzio-faktorearen eta desplazamendu-faktorearen menpe dagoenez, bi ezaugarri hauek banaka aztertu dira. *THD*aren kalkulurako lehenengo 40 harmonikoak hartu dira kontuan.

Distortzio-faktorearen azterketa: sareko tentsio eta korronteen THDak

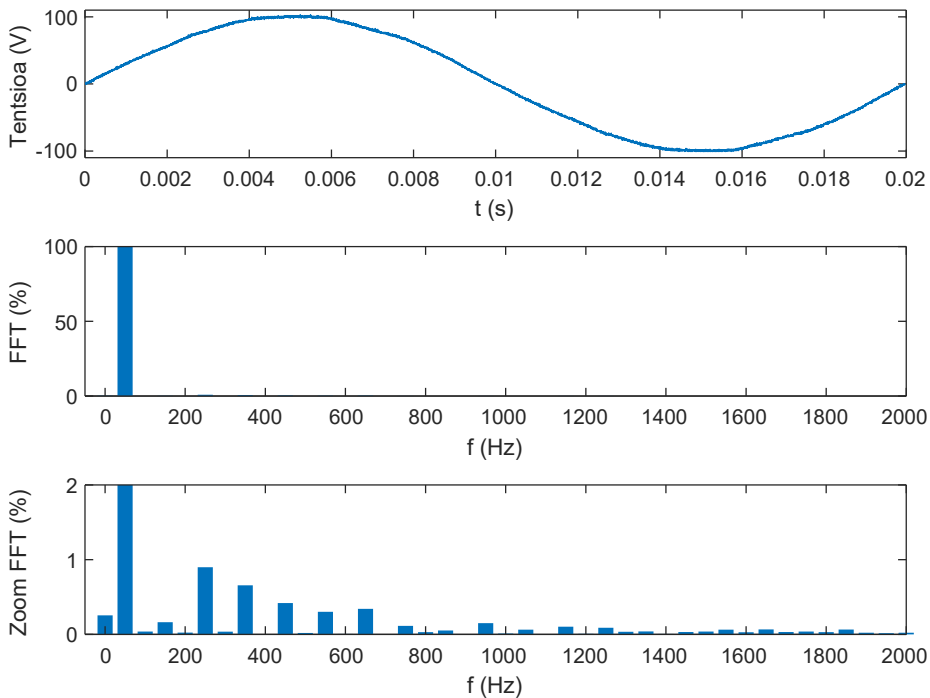
Hasteko, sare trifasikoaren tentsioaren kalitatea aztertu da, honek eragin zuzena baitu lortuko diren sarrerako korrante trifasikoaren *THD*an. Beheko 6.16. irudian, sareko tentsio trifasikoaren uhinformak erakusten dira.



6.16. Irudia: Sareko tentsioa trifasikoa.

Hauetako tentsio uhin baten 50 Hz -eko ziklo bakar bat MATLAB softwarea erabiliz aztertuz gero, 6.17. irudian ikusten diren emaitzak lortzen dira. Irudi horren bigarren grafikoari begiratuz, ikusi daiteke FFTaren emaitzak 50 Hz -eko maiztasunean koncentratzen duela balio gehiena. Baina grafiko horri zoom bat egitean (hirugarren grafika) harmonikoak azaltzen dira, nagusiki 5. eta 7. harmonikoak.

Harmoniko hauen distortzioak eraginda, aztertutako sareko tentsioaren THD a % 1.78 dela ondorioztatzen da.

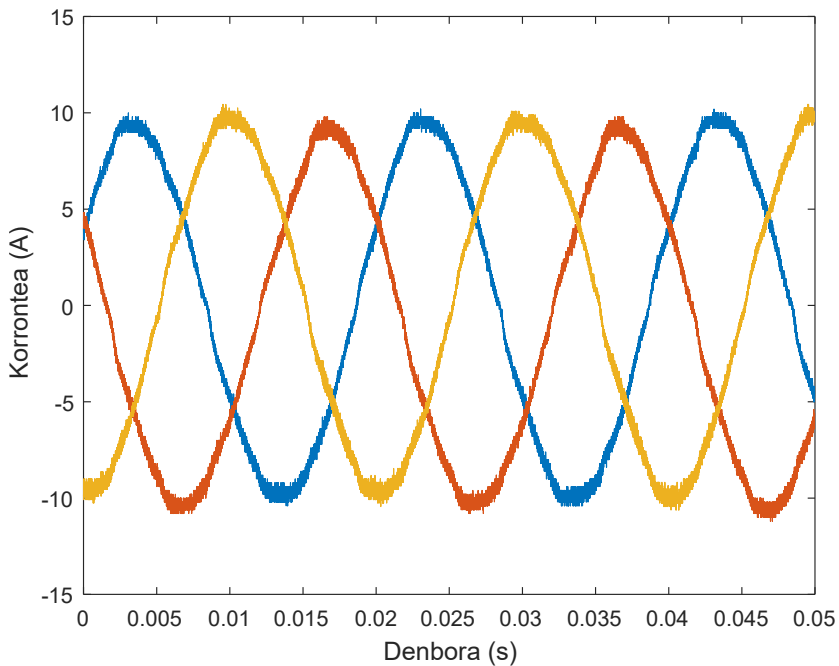


6.17. Irudia: Sareko tentsioaren THD azterketa.

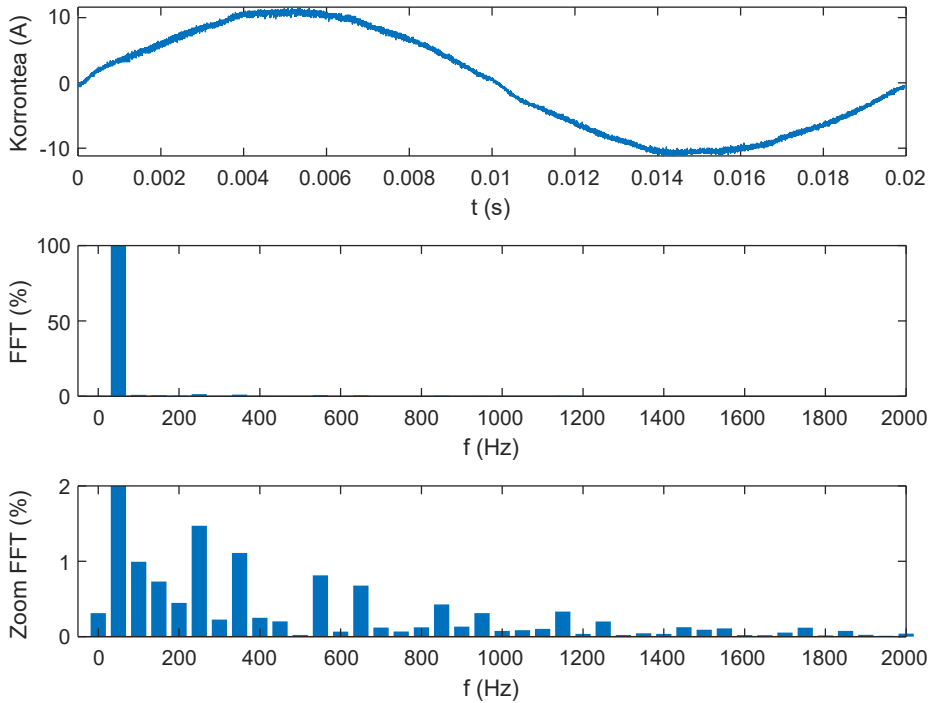
Sarrerako korrante trifasikoarekin (ikusi 6.18. eta 6.19. irudiak), sareko tentsioarentzat egin den azterketa berdina eginez gero, korrontearen THD_a % 3.91 dela ondorioztatzen da.

Aurreikusi bezala, sareko tentsioaren osagai harmonikoak korrontearen uhin-forman eragin zuzena dute, eta horrela ikusi daiteke 6.19. irudiko hirugarren grafikoan, non 5. eta 7. harmonikoek dituzten balio handienak (50 Hz -eko funtsezko harmonikoa baztertuta), hauek tentsioak dituen harmoniko berdinak izanik.

Beraz, ondorioztatu daiteke, tentsioan THD hobeia duen instalazio elektriko batean proba berdinak eginez gero, korrontearen THD_a are hobeia izango litzatekela. Horrela, 2. kapituluaren simulazio bidez lortutako THD baliora (% 1.26) gehiago hurbiltzea lortuko litzateke.



6.18. Irudia: Sarrerako korrante trifasikoa.

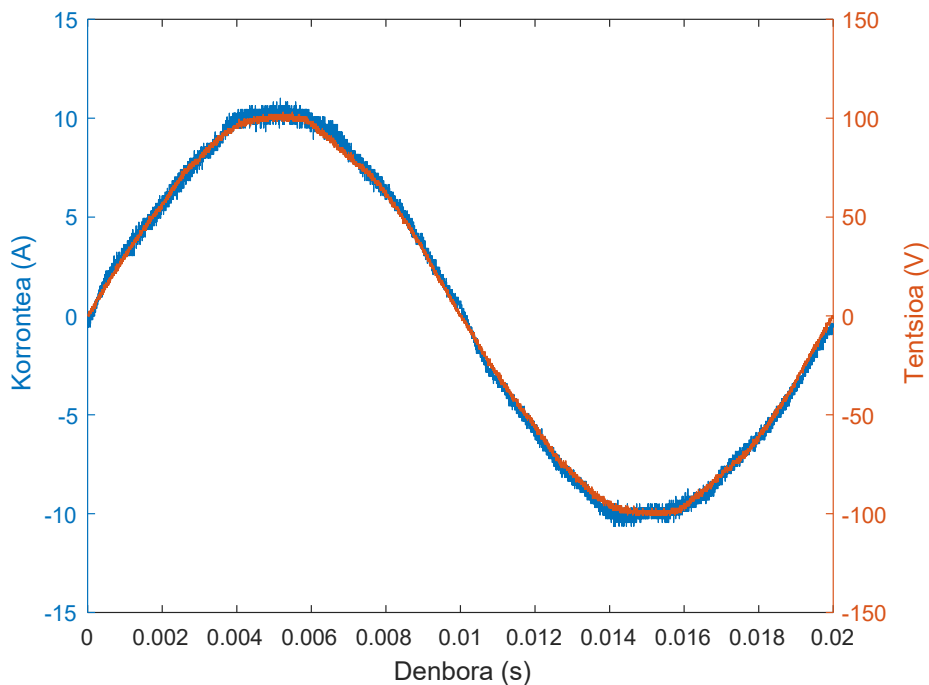


6.19. Irudia: Sarrerako korrontearen THD azterketa.

Desplazamendu-faktorearen azterketa

Potentzia-faktorearen desplazamendu-faktorea ($\cos(\Phi)$ izenaz ere ezaguna) zenbaterikoa den aztertu da. Potentzia-faktore unitarioa ($PF \simeq 1$) lortzeko helburua betetzeko beharrezkoa da sareko tentsioa eta korronteak fasean egotea.

Lortutako emaitzak 6.20. irudian azaltzen dira, non argi ikusten den sareko tentsioa eta korrontea fasean (edo fasean egotetik oso gertu) daudela ($\Phi \approx 0^\circ$). Hortaz, $\cos(\Phi) \simeq 1$ dela ondorioztatu daiteke. Erabili diren sarrerako induktantzien balio txikiak eta kontrolaren abiadura bizkorak kontuan izanda, aurreikusi zitezkeen aspektu bat zen, baina neurketa hauek berretsi egin dute.



6.20. Irudia: Sareko tentsioa eta korrontea fasean.

Potentzia-faktorearen kalkulua

Potentzia-faktorea aztertzeko egindako THD eta $\cos(\Phi)$ neurketen arabera, *Vienna 6-switch* artezgailu honen inplementazioan lortzen den PFa hurrengo ekuazioan ikusi daiteke:

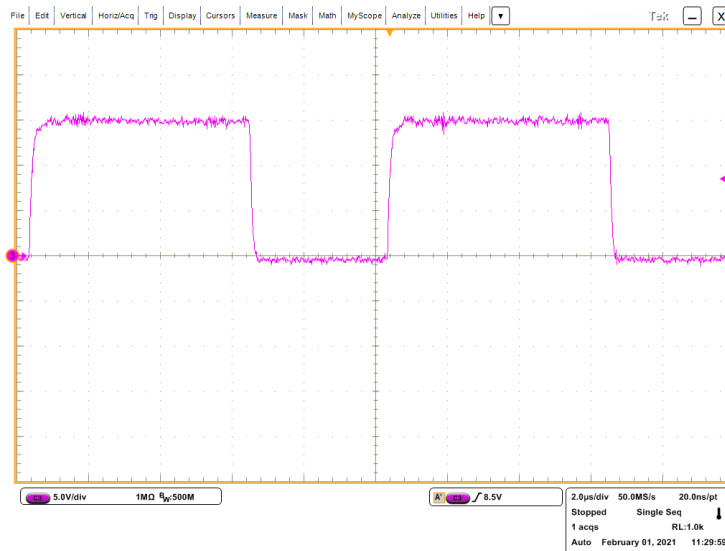
$$PF(\%) = \frac{1}{\sqrt{1 + THD_i^2}} \cdot \cos(\Phi) = \frac{1}{\sqrt{1 + \% 3.91^2}} \cdot 1 = \% 99,92 \quad (6.4)$$

6.5.2. Kommutazio-zelden azterketa

Vienna 6-switch artezgailua implementatzeko egindako diseinuak ahalik eta kommutazio-zelda optimoenak diseinatuz egin dira. Atal honetan, sistema mar-txan dagoen bitartean MOSFETaren ateko tentsioak (v_{GS}), MOSFET eta dio-doen artean dauden kommutazioak (v_{DS} eta v_{AK}), eta, MOSFETaren kommu-tazio aldiuneko korronteak (i_{DS}) neurtu dira.

Temperaturari dagokionez, Flir T62101 kamera termografikoarekin egin diren neurketetan, SiC MOSFETen eta SiC diodoen temperaturak, $35^\circ C$ eta $30^\circ C$ -tan mantendu dira, hurrenez hurren. Hariletan, ordea, $55^\circ C$ neurtu dira gehie-nez.

MOSFETaren ateko tentsioa (v_{GS}) erakusten da 6.21. irudian. Ikusi daiteke oso seinale garbiak direla, batere oszilaziorik gabeak. Kontuan hartuz, *dSPACE* ekipotik proba-bankadara 50 cm inguruko kableen bidez eramaten direla 5 V-eko kontrol-seinaleak, ondorioztatu daiteke *push-pull* anizkoitzaren ataleak probatutako ideiak ondo funtzionatzen duela implementatutako bankadan².

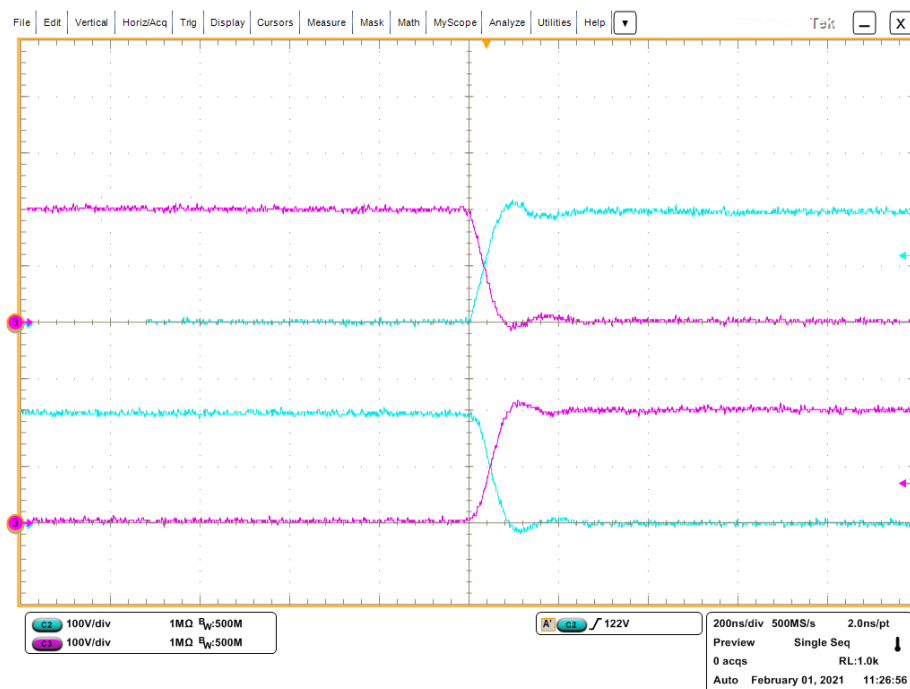


6.21. Irudia: MOSFETaren v_{GS} tentsioak, *duty*-a %60 inguruan dagoen aldiunean.

²Kontrol-seinaleek oso korronte (di/dt) txikiak dituzte, eta hortaz kablearen luzerak ez du eragiten gaintentsiorik ($v_L = L di/dt$ nulua) MOSFETaren v_{GS} tentsioan.

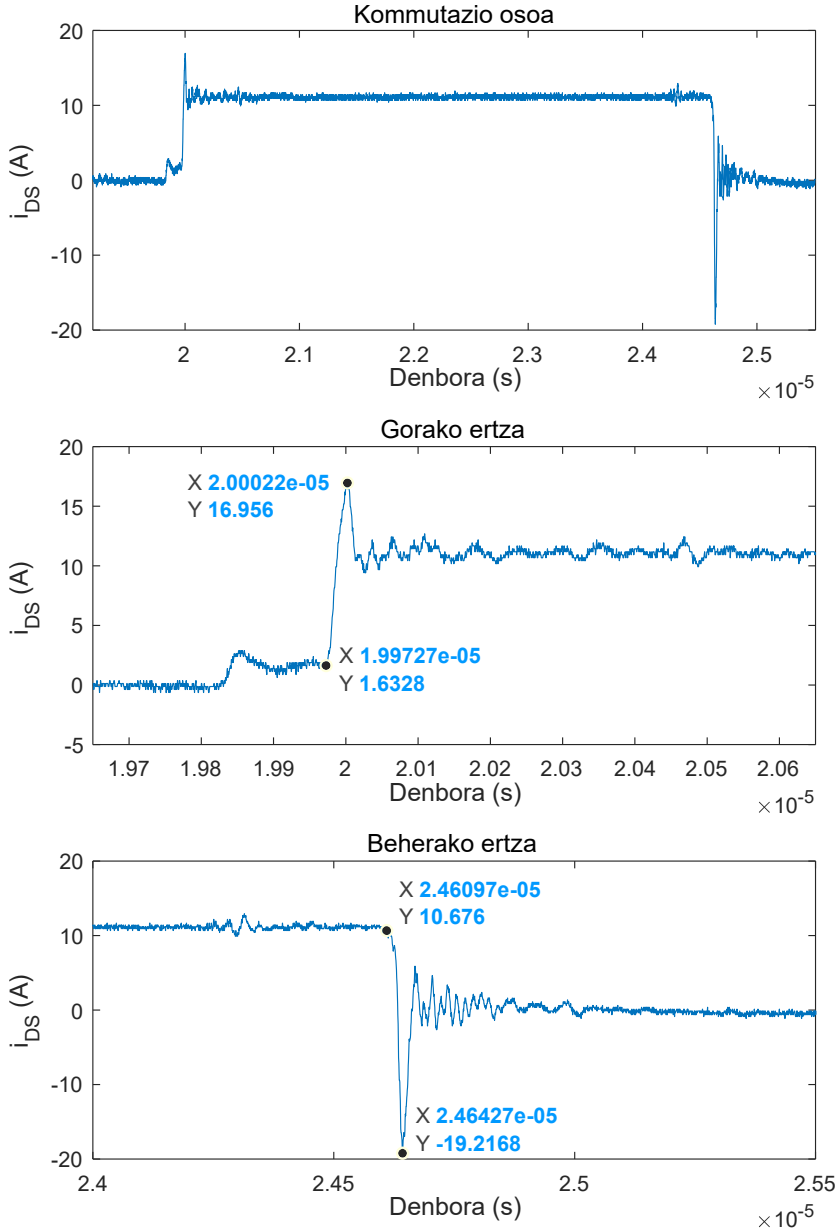
MOSFETak eta diodoak komutatzen duten aldiuneko tentsioak 6.22. irudian erakusten dira³, non uhin morea MOSFETaren tentsioa (v_{DS}) den eta urdina SiC diodoaren tentsioa (v_{AK}).

Ikusi daiteke, tentsioen kommutazioa oso bizkorra (100 ns ingurukoa), gaintentsio txikikoa (12 V ingurukoa MOSFETa piztean eta 20 V ingurukoa itzaltzean) eta ia oszilaziorik gabea dela.



6.22. Irudia: MOSFETaren (morea) eta diodoaren (urdina) arteko tentsio-kommutazioa zelda batean - gorako eta beherako ertzak (y ardatz ezberdinetan).

³Osziloskopioarekin egindako bi neurketa irudi bakar batean gainezarrita erakusten dira; denbora-ardatz berdina dute.



6.23. Irudia: MOSFETaren kommutazio-korrontea: kommutazio osoa, gorako ertza eta beherako ertza.

Bestalde, SiC MOSFETaren kommutazio-korrontea (i_{DS}) ikusten da 6.23. irudian. Lehen grafikan gorako zein beherako ertzak erakusten dira, eta bigarren eta hirugarren grafiketan gorako eta beherako ertzen zoomak, hurrenez hurren⁴.

MOSFETaren eta diodoaren arteko kommutazioan, osagai geldoenak agintzen du korrontearen kommutazio-abiadura nolakoa izango den. Gorako ertzari dagokion bigarren grafikan (ikus 6.23. irudia), ikusi daiteke korrontea 29.5 ns-tan igotzen dela 1.63 A-tik 16.96 A-era. Hirugarren grafikan (beherako ertzari dagokiona), ikusi daiteke korrontea 33 ns-tan jaisten dela 10.68 A-tik -19.22 A-era.

Helburuetako bat *Vienna 6-switch* artezgailuaren hobekuntza proposamenean kommutazio-zeldak ahalik eta modu optimoenean diseinatzea izan da. Kommutazio-zelden begiztaren-induktantziaren balioa hurbilketa bidez kalkulatu da. Horretarako, tentsioaren balio nominala 200 V-ekoa dela onartu da, eta hortik gora dauden tentsio gaitzak korronteak kommutazioan dituen di/dt bizkorrek eragindakoak direla suposatu da. Hau da,

$$v_{DS} = 200 V + v_L = 200 V + L_{paras} di/dt \quad (6.5)$$

MOSFETa pizterakoan (korrontearen gorako ertzean) 12 V-eko gaintentsioa ikusten da ($v_L = 12 V$) eta korrontearen di/dt -a 15.33 A/29.5 ns da. Hortaz, kasu honetan, (9.5) ekuaziotik estimatu daiteke kommutazio-begiztaren inductantzia parasitoak (L_{paras}) 23.01 nH dituela.

MOSFETa itzaltzerakoan (korrontearen beherako ertzean) 20 V-eko gaintentsioa ikusten da ($v_L = 20 V$) eta di/dt -a 29.9 A/33 ns da. Hortaz, kasu honetan estimatu daiteke kommutazio-begiztaren inductantzia parasitoak (L_{paras}) 22.07 nH dituela.

Ondorioz, hurbilketa honekin, estimatu daiteke kommutazio-begiztak 22-23 nH inguruko inductantzia duela. Kontuan izanda bai SiC MOSFETak eta baita SiC diodoak TO-247 kapsulatudun osagai diskretuak direla⁵, PCBaren diseinuak sartzen duen inductantzia parasitoa txikia dela onartu daiteke, hortaz *PCell* eta *NCell* zelda optimizatuak erabiltzearen alde positiboa berresten da.

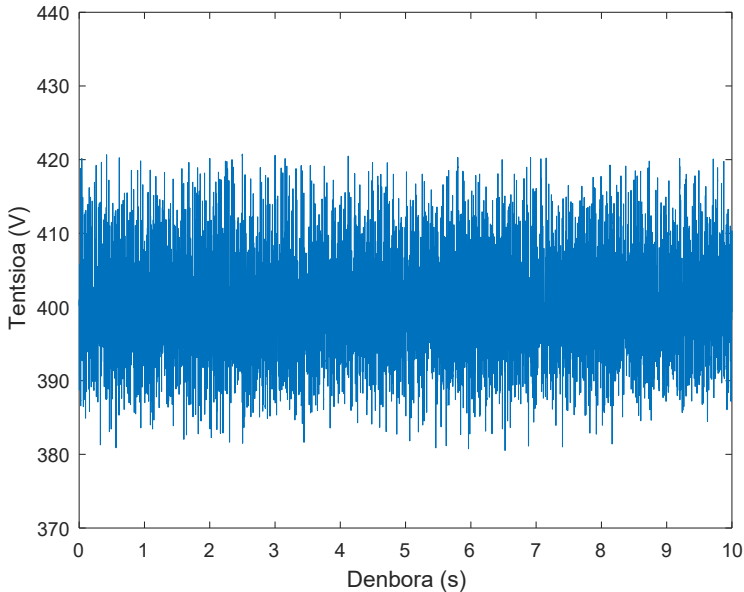
⁴Diodoaren kommutazio-korronteak ezin izan dira neurtu, diseinuaren egituran ez baita korronte-zunda sartzen.

⁵Osagai diskretuen hanke inductantzia gehitzen diote kommutazio-begiztari, ez dira potentzia-moduluetako *die*-n besteko optimoak inductantziari dagokionez, eta hortaz gaintentsio handiagoak eragin ditzakete.

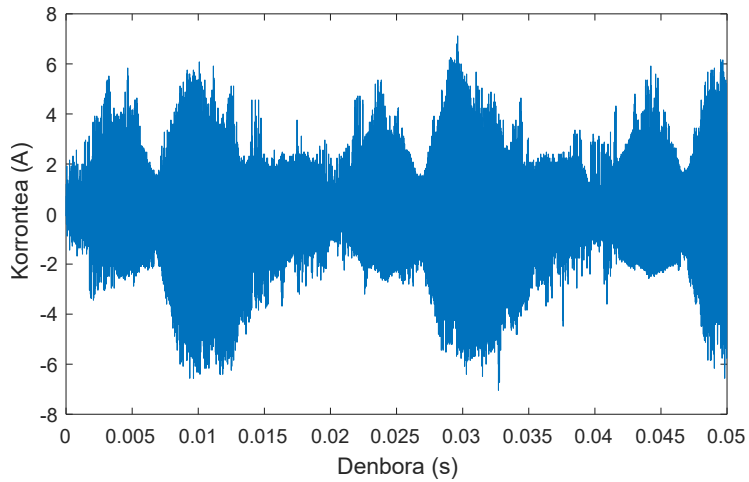
6.5.3. Irteerako seinaleen kalitateak

Irteerako seinaleen kalitateak aztertu dira atal honetan. Irteerako tentsioak, 6.24. irudian ikusi daitekeen bezala, ez du maiztasun baxuko oszilaziorik, oso seinale laua da. Ordea, maiztasun handiko kizkurdura du, lagingen gehiengoan 20 V ingurukoa. Kizkurdura hori kondentsadoreen kapazitate faltagatik izan daiteke, *Vienna 6-switch* artezgailuaren implementazioa 155 μF -eko kapazitate baliokideaz egin baita potentzia-dentsitatea hobetze aldera. Beste kizkurdura iturri bat kondentsadoreen ESRa (*equivalent series resistance*, ingelesez) izan daiteke, baina kasu honetan baztertu ESRaren eragina, erabilitako kondentsadoreen ESRa 6 $m\Omega$ -koa baita 100 kHz -eko maiztasunean.

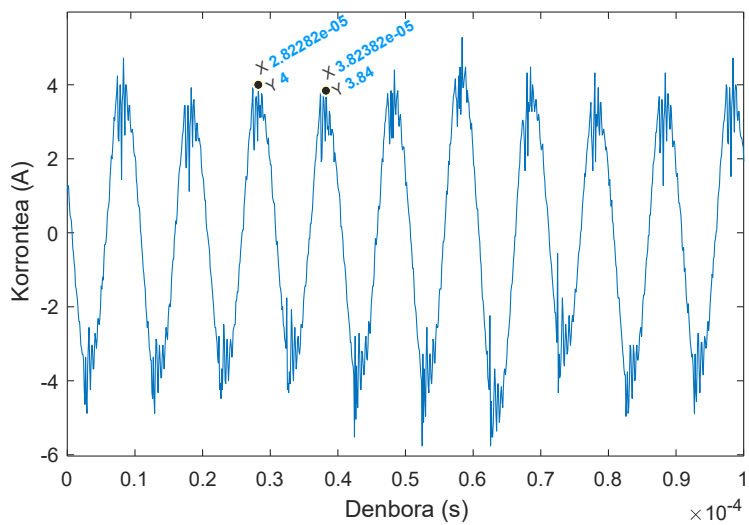
Irteerako kondentsadoretik doan korronea (positibotik erdiko puntura doan korronea) ikusi daiteke 6.25. irudian eta horren zoom bat 6.26. irudian. Azken irudi horretan, konmutazio-maiztasunarekin (100 kHz) bat egiten duen kizkurdura dela ikusi daiteke.



6.24. Irudia: Irteerako tentsioa.



6.25. Irudia: Irteerako kondentsadoreko korrontea.

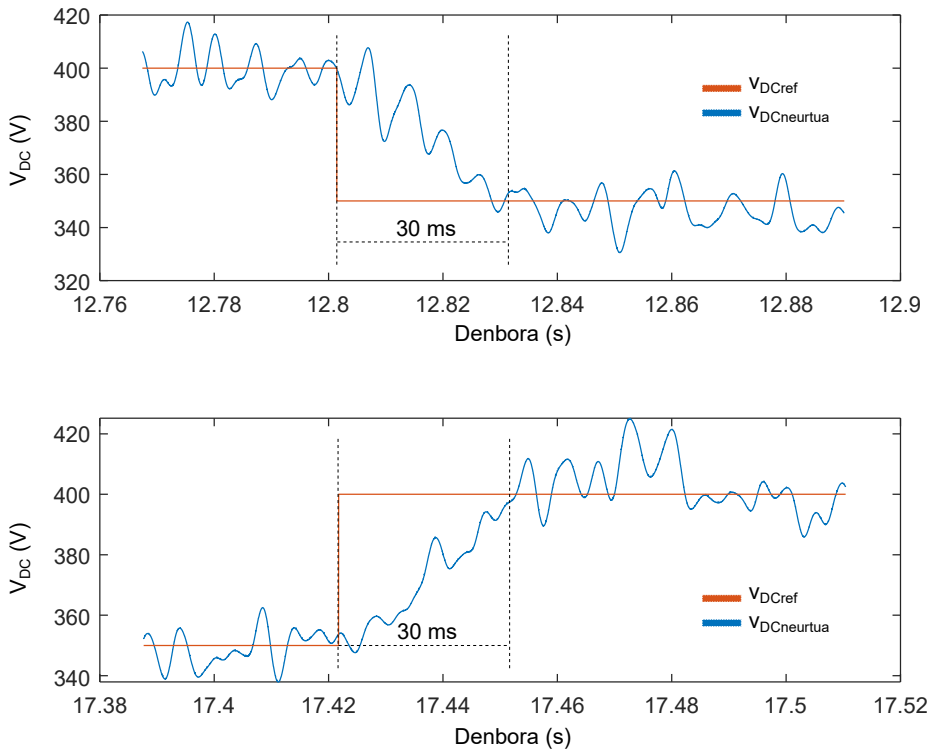


6.26. Irudia: Irteerako kondentsadoreko korrontearen zoom-a.

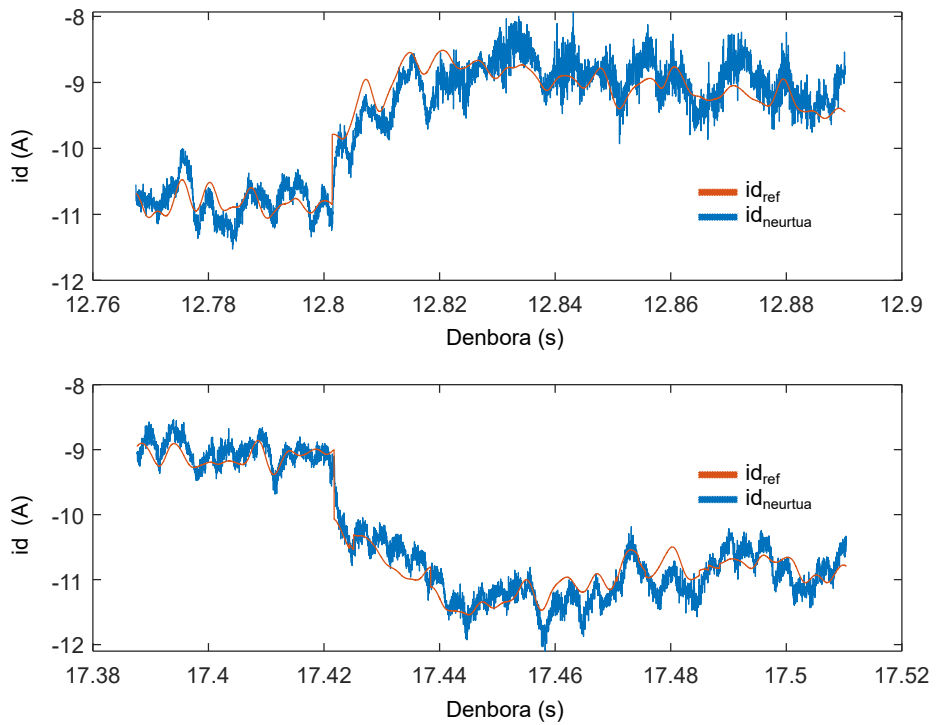
6.5.4. Sistemaren erantzun dinamikoa

Tentsio- eta korrante-begiztak ondo doitu daudela probatzeko, tentsioan aldaketa bizkor bat behartu da apropos (sistema martxan izanik), 400 V-etik 350 V-era, eta alderantziz. Honek berehalako salto bat eragiten du tentsioaren erreferentzian, eta erantzun dinamikoa probatzea ahalbidetzen du.

Tentsio begiztak apropos sortutako aldaketa bizkor horri 30 ms inguruan erantzuten diola ikusi daiteke 6.27. irudian, hortaz diseinatutakoarekin bat datorrela adierazi daiteke. Gainera, 6.28. irudian ikusten den modura, tentsioaren aldaketa horrek ez du arazorik sortzen korrante-begiztaren dinamikan, tentsio-begizta baino askoz bizkorrago baita.



6.27. Irudia: Implementatutako tentsio-begiztaren erantzuna denboran.



6.28. Irudia: Implementatutako korrante-begitzaren erantzuna denboran.

6.6. Emaitzak 200 kHz eta 400 kHz-etan

Vienna 6-switch artezgailua 100 kHz-eko konmutazio-maiztasunean probatu ondoren, beste bi maiztasun ezberdinetan jarri da martxan, hain zuzen ere, 200 kHz eta 400 kHz-eko konmutazio-maiztasunetan.

Modulazioa dohitzeko, *dSPACE*-ren *DS5203-7K325 FGPA*n aldaketak egin dira. Konmutazio-maiztasuna 100 kHz-ekoa zen kasuan, *FGPA*n implementatutako seinale triangeluarrek 500 unitateko altuera zuten. Ordea, 200 kHz eta 400 kHz-eko kasuetan, 250 eta 125 unitateko altuera dute triangeluarrek, hurrenez hurren. Ikusi (6.6) eta (6.7) ekuazioak.

$$f_{sw} = 1/(10ns \times (2 \times 250)) = 200 \text{ kHz} \quad (6.6)$$

$$f_{sw} = 1/(10ns \times (2 \times 125)) = 400 \text{ kHz} \quad (6.7)$$

Kontrolaren implementazioa, 100 kHz-eko kasuarekin alderatuta, gutxi aldatu da. Konmutazio-maiztasuna igotzeko, kontrolaren korrante-begiztan egin behar izan dira aldaketak.

Kasu bi hauetan ere, PIak doitzeko *zero-pole cancellation* teknika erabili da [146]:

$$K_p = 4L/T_s \text{ eta } K_i = 4R/T_s, \quad (6.8)$$

non $L = 200 \mu H$ eta $R = 0.1 \Omega$ diren.

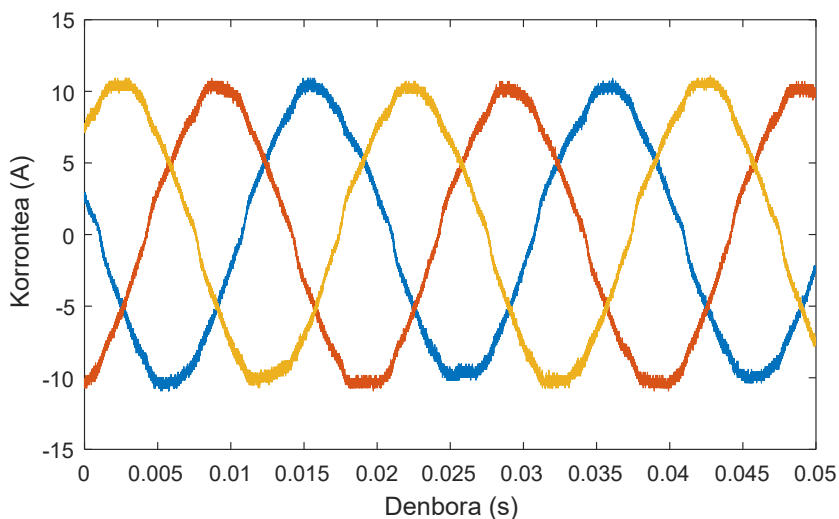
Hasiera batean, bestelako aldaketa gehiago gabe implementatzeko ahalegina egin da, baina sistema martxan jartzerakoan ez dira lortu nahi izan diren emaitzak 400 kHz-eko kasuan. Hortaz, kasu horretarako, aldaketak egin behar izan dira ezarpen-denboran (T_s). Kontuan izanda implementazioa gauzatzeko erabili diren osagai errektiboen balioak oso txikiak direla, korrante-begiztak abiadura handia behar du aldaketa posible horiei aurre egiteko. Ondorioz, $T_s = 62.5 \mu s$ -ko ezarpen-denborak ezarri dira. Datu horiekin $K_p = 12.8$ eta $K_i = 6400$ lortzen dira.

6.6.1. Potentzia-faktorea (PF)

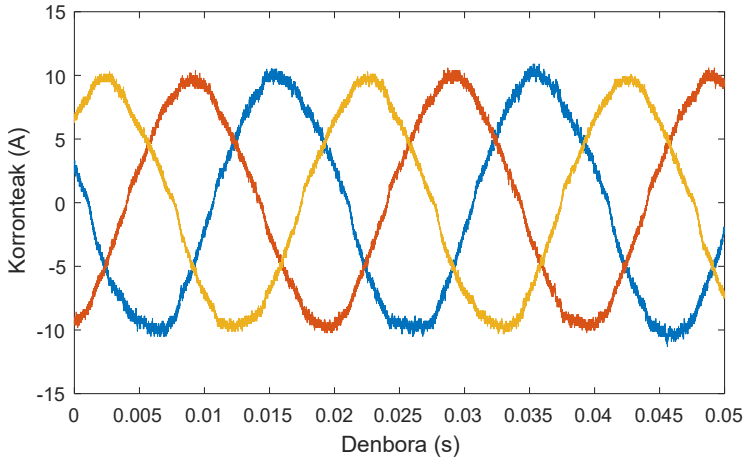
Inplementatutako bankadatik lortutako datuak aztertu dira. Potentzia-faktorea distortzio-faktorearen eta desplazamendu-faktorearen menpe dagoenez, bi ezaugarri hauek banaka aztertu dira.

Sarrerako korrante trifasikoa ikusi daitezke, 6.29. eta 6.30. irudietan, 200 kHz eta 400 kHz-eko kasuetarako, hurrenez hurren. Lehen begiratuan, korrante horien kalitatea 100 kHz-eko kasuan baino pixka bat txarragoak direla ikusten da. Korrante hauen kalitatea aztertzeke egin diren THD-en kalkulak 6.31. eta 6.32. irudietan erakusten dira.

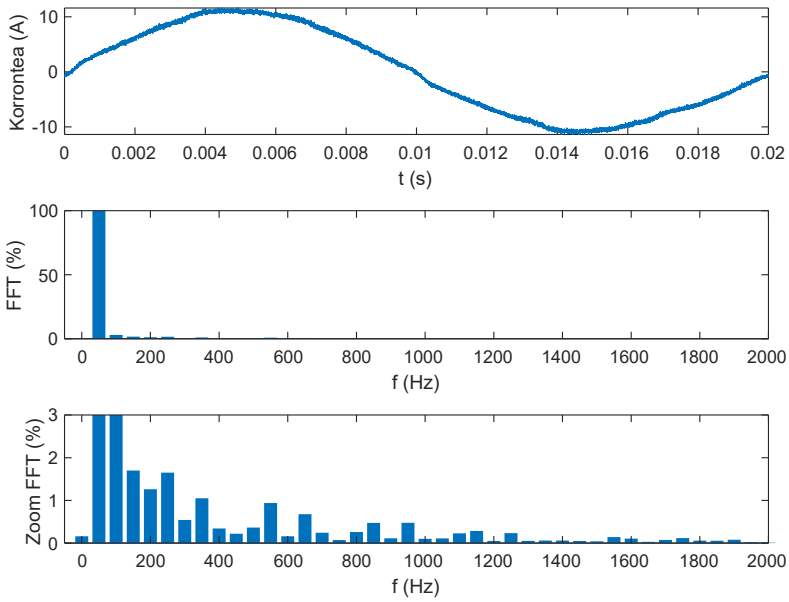
Korranteen kalkulatuak FFTek erakusten dute, 200 kHz-eko konmutazio-maiztasunarekin egin den proban % 5.09-ko THD-a lortu dela, eta 400 kHz-eko proban % 6.18-ekoa. Konmutazio-maiztasunak ez dauka maiztasun baxuko harmonikoetan eraginik. Beraz, THD-a eta PF-a antzerakoak izan beharko lirakeke. Kasu honetan ordea, FPGAan inplementatu den modulazioaren ezaugarriengatik, PWM-aren bereizmena gutxitzeak eragina izan dezake THD-an. Arazo horren irtenbide posible bat, prozesamendu oso azkarreko gailuak erabiltzea da PWM-aren bereizmena hobetzeko konmutazio-maiztasun altuetan.



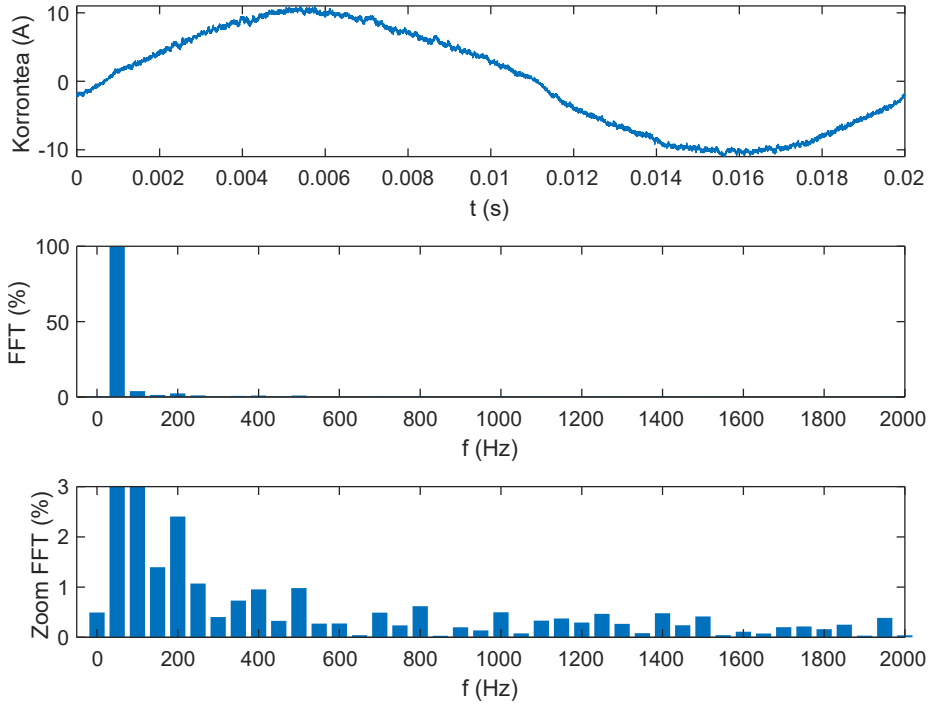
6.29. Irudia: Sarrerako korrante trifasikoa - 200 kHz.



6.30. Irudia: Sarrerako korronte trifasikoa - 400 kHz.



6.31. Irudia: Sarrerako korrontearen THD azterketa - 200 kHz.



6.32. Irudia: Sarrerako korrontearen THD azterketa - 400 kHz.

Potentzia-faktorea aztertzeko egin diren neurketen arabera, korronteak eta tentsioak faseak egoten jarraitzen dute ($\cos(\Phi) = 1$). *Vienna 6-switch* artezgailuaren 200 kHz eta 400 kHz-eko implementazioan lortzen diren PFak hurrengo ekuazioetan ikusi daiteke:

$$PF_{200kHz}(\%) = \frac{1}{\sqrt{1 + THD_i^2}} \cdot \cos(\Phi) = \frac{1}{\sqrt{1 + \% 5.09^2}} \cdot 1 = \% 99,87 \quad (6.9)$$

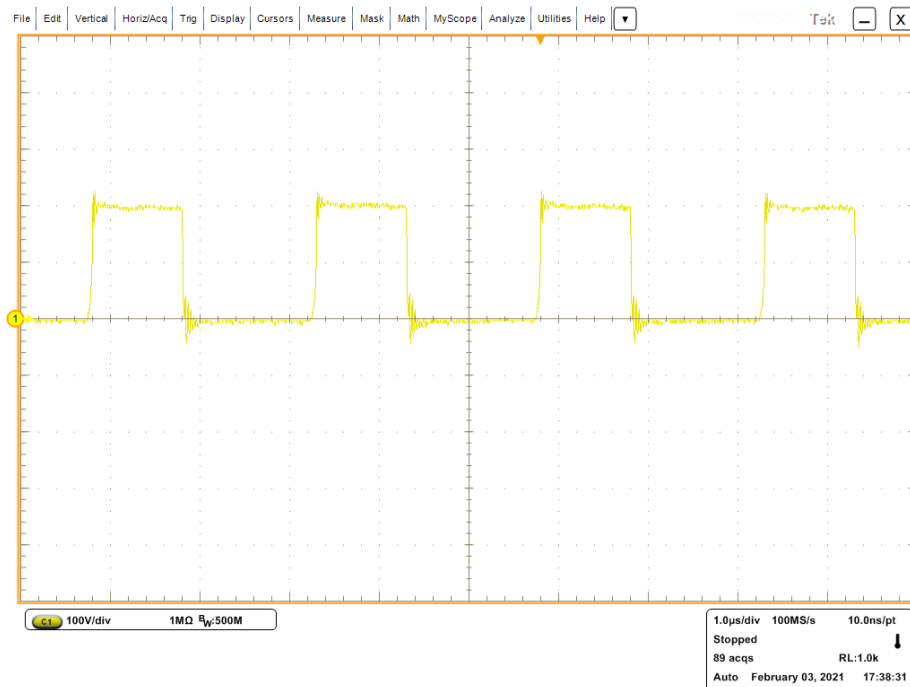
$$PF_{400kHz}(\%) = \frac{1}{\sqrt{1 + THD_i^2}} \cdot \cos(\Phi) = \frac{1}{\sqrt{1 + \% 6.18^2}} \cdot 1 = \% 99,81 \quad (6.10)$$

6.6.2. Kommutazio-zelden azterketa

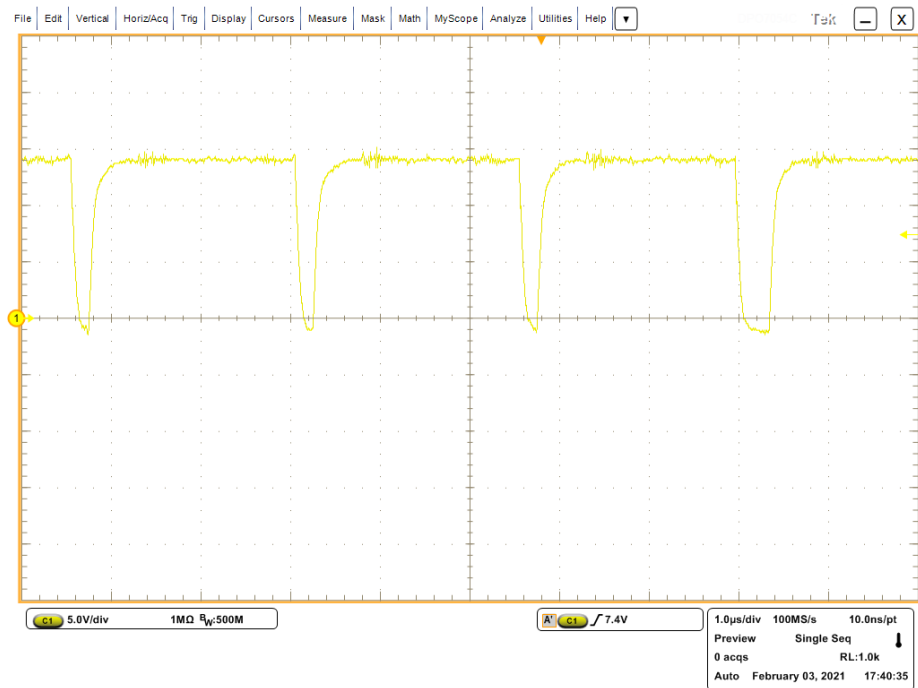
Kommutazio-zelden diseinuaren eraginkortasuna aztertu da 400 kHz -eko kasurako, kasu hau baita egin diren proba guztien arten muturreko baldintzak eragin ditzakeena.

MOSFETaren v_{DS} tentsioaren erantzuna ikusi daiteke 6.33. irudian. Gaintentsioak 20 V ingurukoa izaten jarraitzen du, baina kasu honetan MOSFETaren pizteko aldiunean, 200 ns inguru irauten duten oszilazioak azaltzen dira.

MOSFETaren ateko tentsioari (v_{GS}) dagokionez, oso seinale garbia izaten jarraitzen du (ikusi 6.34. irudia). Igoera zein jaitsiera ertzak duten abiadura kontuan izanda, oraindik marjina izaten jarraitzen du kommutazio-maiztasuna igotzen jarraitzeko.



6.33. Irudia: MOSFETaren (v_{DS}) tentsio-kommutazioak - 400 kHz .

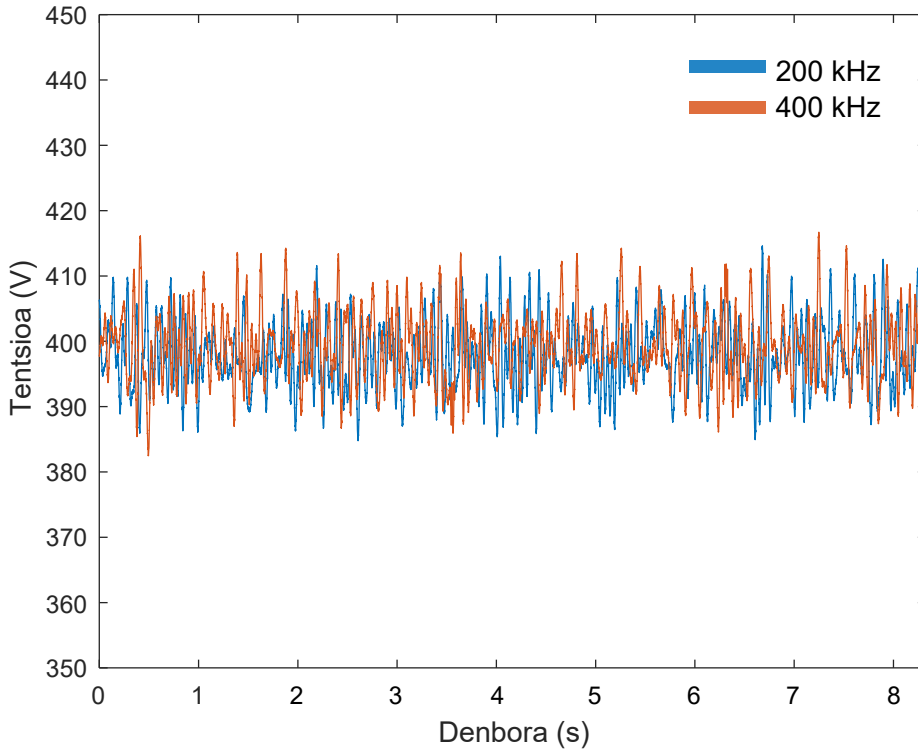


6.34. Irudia: MOSFETaren (v_{GS}) ateko tentsioak - 400 kHz.

Temperaturari dagokionez, 200 kHz-eko konmutazio-maiztasunarekin, SiC MOSFETen eta SiC diodoen temperaturak, $39^{\circ}C$ eta $33^{\circ}C$ -tan mantendu dira, hurrenez hurren. Hariletan, ordea, $65^{\circ}C$ neurtu dira gehienez. Bestalde, 400 kHz-eko konmutazio-maiztasunarekin, SiC MOSFETen eta SiC diodoen temperaturak, $43^{\circ}C$ eta $35^{\circ}C$ -tan mantendu dira, hurrenez hurren. Hariletan $77^{\circ}C$ neurtu dira gehienez.

6.6.3. Irteerako tentsioaren kalitatea

Vienna 6-switch artezgailuak irteeran lortzen duen tentsioaren kalitatea aztertu da 200 kHz eta 400 kHz-eko konmutazio-maiztasunetarako. Lortutako emaitzak 6.35. irudian ikusi daitezke. Irudi horretan ikusi daitekeenez, konmutazio-maiztasuna igotzeak ez du eragin handirik; bi kasuetan (200 kHz eta 400 kHz) maiztasun handiko tentsio-kizkurdurak 20 V inguruko balioa baitu, 100 kHz-eko kasuko kizkurdura-maila berdina.

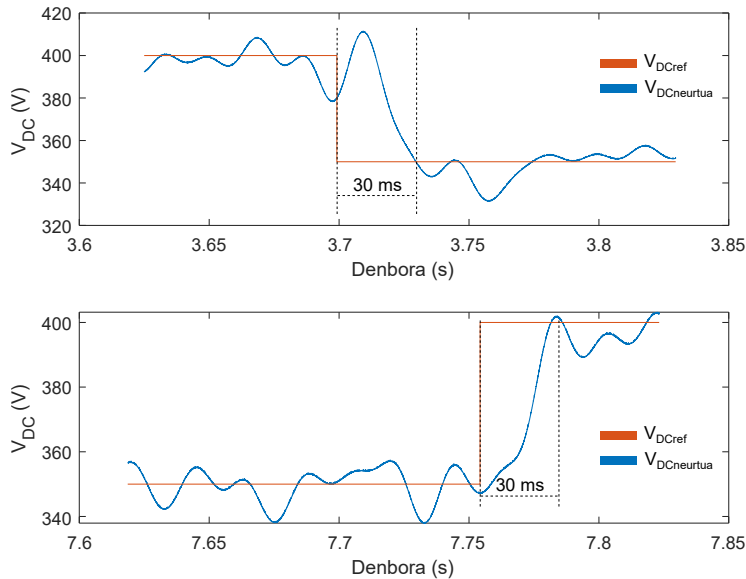


6.35. Irudia: Irteerako tentsioak - 200 kHz (urdina) eta 400 kHz (laranja).

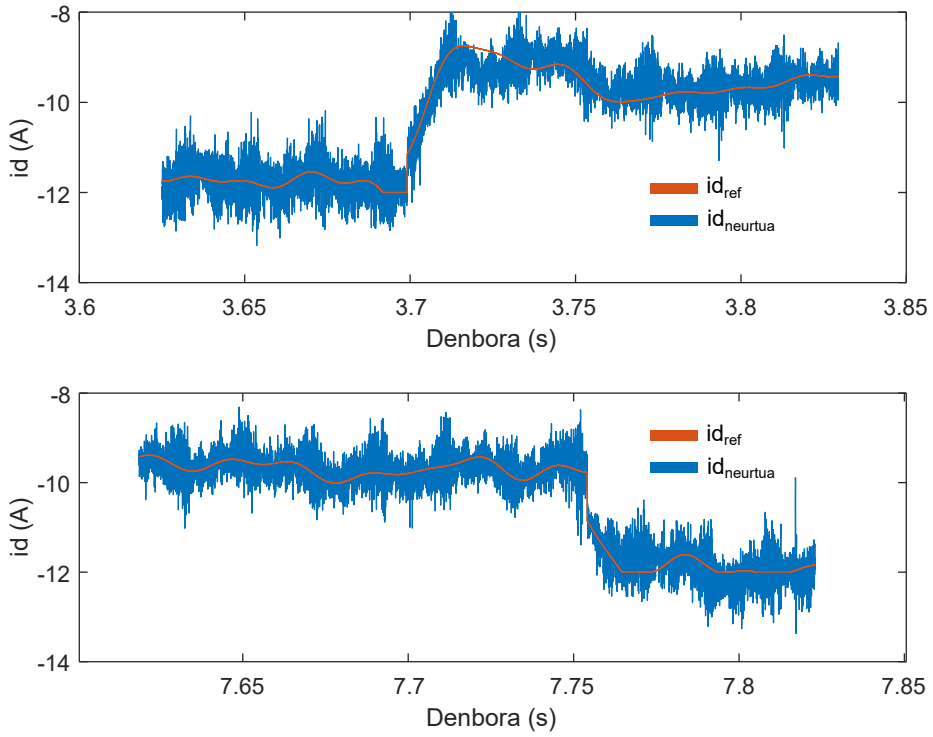
6.6.4. Sistemaren erantzun dinamikoa

Tentsio- eta korrante-begiztak ondo doitu daudela probatzeko, 100 kHz-eko kasuan bezala, tentsioan aldaketa bizkor bat behartu da apropos, 400 V-etik 350 V-era, eta alderantziz. Lehenik eta behin 200 kHz-eko kasua aztertu da, baina 100 kHz-eko kasuarekin alderatuz PIetan aldaketarik ez denez egon, ez da lortu ezer hautematea. Hala izanik, 400 kHz-eko kasua aztertu da, kasu guztien artean korrante-begizta bizkorrena izanik, $T_s = 62.5\mu s$ ezarpen-denborarekin.

Sistemaren dinamikak tentsio begiztak apropos sortutako aldaketa bizkor horri 30 ms inguruan erantzuten jarraitzen diola ikusi daiteke 6.36. irudian, hortaz diseinatutakoarekin bat datorrela adierazi daiteke. Gainera, 6.37. irudian ikusten den modura, tentsioaren aldaketa horrek ez du arazorik sortzen korrante-begiztaren dinamikan, tentsio-begizta baino askoz bizkorrago baita.



6.36. Irudia: Inplementatutako tentsio-begiztaren erantzuna denboran - 400 kHz.



6.37. Irudia: Implementatutako korrante-begiztaren erantzuna denboran - 400 kHz.

6.7. Ondorioak

Kapitulu honetan *Vienna 6-switch* artezgailuaren implementazioa eta emaitzak erakutsi dira. Eraginkortasunari dagokionez, 50 *kHz*-eko kontrol-maiztasun eta 100 *kHz*-eko modulazioa dituen *Vienna 6-switch* artezgailua implementatu da lehendabizi, eta % 91-ko eraginkortasuna lortu da. Ondoren egin diren proba gehigarrietan, 200 *kHz* eta 400 *kHz*-eko konmutazio-maiztasunekin % 84 eta % 82 eraginkortasunak lortu dira, hurrenez hurren. Hiru probetan, egindako neurketen arabera, sarrerako inдукtantiak dira galera gehien metatzen dituzten osagaiak. Erabilitako inдукtantiaren kobrezko hariaren sekzioa, korronte maila hauekarako ez dela nahikoa frogatu da, eta gainera, maiztasun handiko proben kasuan, ferritazko nukleoak ere berotu egiten direla ikusi da.

Potentzia-faktoreari dagokionez, hasteko, aipatu beharra dago, proba hauek egiteko erabili den sare trifasikoaren sarrerako tentsioaren kalitatea ez dela izan optimoa (%1.78-ko *THD*-a). Horrek sarrerako korrontearen potentzia-faktorea guztiz baldintzatu du. Nolanahi ere, % 3.91-ko *THD*-a duten sarrerako korronte trifasikoak lortu dira 100 *kHz*-eko konmutazio-maiztasuna erabili den kasuan, uneoro tentsioak eta korronteak guztiz fasean daudela bermatuz. Datu horiekin potentzia-faktorea % 99,92-koa dela ondorioztatu da, tesiaren helburu nagusietako bat betetzea lortuz. Proba gehigarrien kasuan, %5.09 eta % 6.18-ko *THD*ak lortu dira, hurrenez hurren 200 *kHz* eta 400 *kHz*-eko kasuetarako. Datu horiekin % 99,87 eta % 99,81-ko potentzia-faktoreak lortzen direla kalkulatu da.

Diseinatu diren konmutazio-zeldak (*PCell* eta *NCell*) probatu dira eta 22 – 23 nH inguruko begiztak diseinatzea lortu da, zelda-kontzeptuak ondo funtzionatzeko duela ondorioztatuz. Gainera, kontuan izan behar da TO-247 kapsulatudun osagai diskretuak erabili direla, eta horrek begiztaren inдукtantzia handitzen du *bare die*-z osatzen diren potentzia-moduluekin alderatuz.

Irteerako tentsioaren azkerta egin da, non 400 *V*-eko batazbesteko baliodun tentsioak lortu diren kasu guztietan. Tentsio horien maiztasun handiko kizkurdurak 20 *V* inguruko balioa du, eta balio hauek batazbestekoaren % 5-a suposatzen dute. Kontuan izan behar da, gainera, implementatu den *Vienna 6-switch* artezgailuaren guztizko kondentsadoreen balioa 155 μF izan dela. Tentsioaren kizkurdura hori murrizteko, hainbat irtenbide daude. Lehendabizikoa, errazena, kapazitate handiagoko kondentsadoreak jartzean datza, potentzia-dentsitatea txartuz. Hala ere, izan liteke kizkurdura hori kondentsadoreen ESRaren (*equivalent series resistance*, ingelesez) ondorioz gertatzea. Kasu horretan ESR txi-

kidun kondentsadoreak aukeratuko lirateke. Bestalde, ikusi da kommutazio-maiztasuna igotzeak ez duela eragin handirik implementatu den *Vienna 6-switch* artezgailuaren irteerako tentsioaren kalitatean.

Nahiz eta sistemaren dinamika ez izan oso kritikoa EVen karga aplikaziorako, aspektu hau ere aztertu egin da. Kommutazio-maiztasun ezberdinetarako ondorioztatu ahal da, sistemak ez duela arazorik tentsioaren aldaketa bizkor bati diseinatutako ezarpen-denboran (30 ms) erantzuteko. Gainera, aldi berean, korrante-begiztak (askoz bizkorragoa denak) ez du inolako arazorik tentsioaren aldaketa horri jarraitzeko. Bestalde, kommutazio-maiztasun handien kasuan (400 kHz), neurtutako *id* korrontearen kizkurdura handiagoa dela ikusi da, eta horrek sarrerako korrontearen kalitatean eragin negatiboa du.

Azkenik, *PCell* eta *NCell* kommutazio-zelden konfigurazio ezberdin posibleak aztertu dira. Ondorioztatu da *interleaving* teknika erabiliz gero sarrerako korrontearen kizkurdura txikitu egin daitekela, nulua izateraino. Teknika hau aplikatzeak, ordea, zailtasuna gehitzen dio artezgailuaren implementazioari.

7. Kapituluia

Ondorioak eta etorkizuneko lanak

7.1. Tesiaren Ondorioak

Ingurumenaren babesa eragile sozial, politiko eta zientifikoek kezka nagusietako bat bihurtu da, besteak beste, berotegi-efektuko gasen emisioak, erregai fosilen eskasia eta prezioen hegazkortasuna direla eta. Egoera hau hobetzeko, ibilgailu elektrikoek erabilera bultzatzen dihardute mundu-mailako hainbat eragilek. Mota askotako ibilgailu elektrikoek etorrerak, erronka ugari sortzen dizkiote automobilgintza industriari. Testuinguru honetan, sektore hau ikerkuntza eta garapen inbertsio handiak egiten ari da, merkatu-joera berriei erantzuna emateko.

Tesi hau bere osotasunean ibilgailu elektrikoek karga-sistamarako hobekuntzak proposatzen zentratu da. Literaturan aurkitutako artezgainu-topologiaren artean iragazketa arretatsu bat egin da, ondoren topologiaren arteko konparaketa egiteko. Hainbat irizpide izan dira kontuan, besteak beste, eraginkortasuna, sarrerako eta irteerako uhinformen kalitateak, potentzia-faktorea eta osagaien bizitzaren denbora. Topologia guztien artean *Vienna 6-switch* artezgainua hautatu da, aurretik esandako irizpideak betetzeaz gain, bere konmutazio-zelden ezaugarriek konmutazio-maiztasuna igotzea errazten dutelako. Honek, eragin zuzena du potentzia-dentsitatean, zenbat eta konmutazio-maiztasun handiagoa izan,

are eta txikiagoak baitira osagai inductibo eta kapazitiboak. Gainera, frogatu da osagaien arteko galera-banaketa oso ona duela topologia honek, gailuen bizitza-erabilgarria luzatzea lortuz.

Vienna 6-switch artezgailuak 100 kHz, 200 kHz eta 400 kHz-etan funtzionatu dezakeela frogatu da, hurrenez hurren, % 91, % 84 eta % 82ko eraginkortasunak, eta, % 99.92, % 99.87 eta % 99.81ko potentzia-faktoreak lortuz. Kontuan izan behar da, egindako diseinu guztia 100 kHz-eko konmutazio-maiztasunerako egin dela, eta hortaz, 200 kHz eta 400 kHz-ko kasuetan, eraginkortasunean asko eragiten dutela sarrerako harilek maiztasun horietan dituzten galerek. Potentzia-faktorearen balio hauek hobea izan zitezkeen sareko tentsio trifasikoaren kalitatea hobea izango balitz. Neurtutako tentsioaren *THD*a % 1.78-koa izan da, eta horrek eragina izan du sarrerako korronteen uhinformatan ere. Gainera, unibertsitateko sare trifasikoaren hiru tentsioen anplitudeak neurtu dira, eta ikusi da ez direla guztiz berdinak. Horrek PLL bloketik lortutako anplitudean (A edo U_d) eta fasean (θ) distortsioak eragin ditu, beraz, aldi berean, *Clark-Park* transformazioen eta korronte-begiztaren doikuntzaren emaitzak baldintzatu ditu.

Topologiaren inplementazioa *PCell* eta *NCell* konmutazio-zeldak erabiliz egin da, eta ondorioztatu da, (i) konmutazio oso garbiak eta bizkorak ematen direla zelda hauek erabilia, konmutazio-galera txikiak izatea bermatuz, eta (ii) MOSFETetik oso gertu jarritako *push-pull*-en erabilerak ateko seinaleen osotasuna hobetzen duela, MOSFETa babestea lortuz, ez baita neurtu gaintentsiorik ezta oszilaziorik ere MOSFETaren ateetan.

Muntatutako osagaien temperaturak neurtu dira konmutazio-maiztasun ezberdinetan, eta, harilen kasuan izan ezik, ez da hauteman aldaketa handiegirik beste gailuetan. Frogatu da, egindako harilak ez daudela optimizatuta konmutazio-maiztasun handietarako, eta hortaz, sistemaren eraginkortasuna hobetzeko, beste nukleo batzuk erabili beharko lirake. Bestalde, konmutazio-maiztasun ezberdinetarako SiC gailuen temperaturak izan duten joera ikusita, frogatu da eroate-galerak gailentzen direla konmutazio-galerekin alderatuta, ez baitago proba ezberdinen artean temperatura alde handirik. Honekin, ondorioztatu daiteke, *Vienna 6-switch* topologiak, eta bereziki diseinatutako *PCell* eta *NCell* konmutazio-zeldek, ibilgailu elektrikoan karga aplikazioetarako gain, potentzial handia dutela maiztasun handiko beste aplikazio posible batzuetarako.

Vienna 6-switch artezgailua 400 kHz-eko konmutazio-maiztasunarekin mar txan jartzeak, bidea irekitzen du kontrol bizkorrago bat diseinatuz. Inplementatu den kontrolak 50 kHz-eko maiztasuna izan du, baina kontrolaren abia-

dura eraginkorra modulagailuaren maiztasunak mugatzen duenez, posible da, 400 kHz -eko konmutazio-maiztasuna erabiliz kontrola bizkorrago egitea. Honak, sistemaren dinamika are bizkorrago egitea ahalbidetzen du, eta horretaz gain, inplementatutako PIek modu eraginkoragoan egin dezakete lan. Testuinguru horretan, kalitate handiagoko artezgailu bat diseinatzea posible da.

RLC iragazki sintonizatuari dagokionez, *Vienna 6-switch* artezgailuaren kasuan ez da erabili behar izan, ez baitira identifikatu maiztasun bereko oszilazioak MOSFETaren ateko tentsioan (v_{GS}), D eta S puntuen arteko tentsioan (v_{DS}) eta korrontean (i_{DS}). Oszilazio hauek ez dute zertan beti agertu, PCBaren diseinuaren eta muntatutako osagaien arabera berrelikaduren ondorioz azaltzen baitira. Hala eta guztiz ere, potentzia-moduluaren diseinuak egiterakoan MOSFETaren atetik ahalik eta hurbilen RLC iragazki sintonizatu bat sartzeko aztarnak sartzeari gomendatzen da, frogatu baita, arazo hau existitzen denean, irtenbide egoki bat izan daitekeela.

7.2. Ekarpen garrantzitsuenen laburpena

Atal honetan, doktoretza-tesien ekarpen nagusiak laburbiltzen dira. Ekarpen bakoitza zientzia-argitalpenekin eta dagokion dokumentu-kapituluekin lotzen da:

1. **Ibilgailu elektrikoaren kargarako baliagarriak diren AC/DC bihur-gailu trifasikoaren azterketa bibliografikoa.**

Azterketa bibliografiko sakon bat egin da ibilgailu elektrikoaren kargarako baliagarriak diren artezgailu-topologiak identifikatu, eta ondoren, ezarritako irizpideen arabera, aukeratutako topologiaren arteko konparaketa egin da.

Bilaketa bibliografiko eta ondorengo topologiaren konparaketatik lortutako emaitzak aldizkarian publikatzeko bidali dira (*RSER-A1*).

Tesi-dokumentu honetan, 2. kapituluaren kokatzen da ekarpen honi dagokion testua.

2. **Zelda-kontzeptua potentzia-moduluetara sartzeko proposamena.**

Tesi dokumentu honetan prozesu hau ez da hau deskribatu, tesiaren testuinguru zehatzetik kanpo landu delako. Zelda-kontzeptua potentzia-moduluetan nola aplikatu daitekeen frogatu da, batez ere, diseinu hauetan erabiltzen diren kanpo-diodoen posizioa birkokatzea proposatuz.

Kontzeptu hau lantzeko garatu den lanean lortutako emaitzak estatu-mailako kongresu batera bidali dira (*SAAEI-EK1*).

3. ***Push-pull* anizkoitzaren erabileraren proposamena.**

Paraleloan konektatutako gailu edo moduluen arteko sinkronizazioa bermatzeko *push-pull* anizkoitza erabiltzearen aspektu positiboak frogatu dira. Sinkronizazioaz gain, proposamen honek potentzia-bihurgailuen diseinuan potentzia-atala eta *driver*-atala banantzea ahalbidetzen duela frogatu da. Honela, potentzia-ataleko simetriak bermatuz egin daiteke diseinua, paralelizatutako gailuen arteko korronteen banaketa hobetzeko, eta ondoren, *driver*-atala simetriak bete gabe garatu daiteke, frogatu baita *driver*-etik *push-pull*-etara doazen bideen simetria-ezak eragin handiegirik ez duela, *push-pull* anizkoitza inplementatuz gero.

Push-pull anizkoitzaren onurak frogatzeko egindako lanean lortutako emaitzak aldizkarian publikatzeko bidali dira (*PEL-A2*).

Tesi-dokumentu honetan, 5.2 atalean kokatzen da ekarpen honi dagokion testua.

4. **RLC iragazki sintonizatu bidezko oszilazioen murrizketa.**

SiC MOSFETen potentzial osoa aprobetxatzeko ateko erresistentzia handitu beharrean RLC iragazki sintonizatu bat erabiltzea proposatu da, gailuaren osilazioek maiztasun jakin bat duten kasuetan. Frogatu da RLC iragazki honen erabilerak sistemaren funtzionamendua hobetzen duela.

Tesi-dokumentu honetan, 5.4. kapituluan kokatzen da ekarpen honi dagokion testua.

RLC iragazki sintonizatua erabiltzeak emandako onuren emaitzak aldizkarian publikatzeko bidali dira (*IEEE-A3*).

5. ***Vienna 6-switch* artezgailuaren garapena eta inplementazioa.**

Tesi-dokumentuko *Vienna artezgailua hobetzeko proposamenak* ataleko hobekuntza proposamen guztiak uztartu dituen diseinuaren garapena eta inplementazioa egin da. *Vienna* artezgailuaren funtzionamendua 100 kHz, 200 kHz eta 400 kHz-eko konmutazio-maiztasunarekin probatu da. Potentzia-faktorearen ikuspuntutik oso emaitza onak lortu dira, eraginkortasun-maila onargarriekin.

Tesi-dokumentu honetan, 6. kapituluan kokatzen da ekarpen honi dagokion testua.

7.3. Tesitik eratorritako argitalpenak

7.3.1. Aldizkari zientifiko-teknikoak

- A1) **I. Aretxabaleta**, I. Martínez de Alegría, J. Andreu, I. Kortabarria, E. Robles. “*Three-phase fast-charging unidirectional unity power factor rectifiers for high voltage battery electric vehicle stations*”, Renewable & Sustainable Energy Reviews - **berrikusketa-fasean**.

Inpaktu-faktorea (**JCR**): **12.11** (2019). Ranking-ak: Q1 (1/41) *Green and Sustainable Science and Technology*, Q1 (7/112) *Energy and Fuels*.

- A2) **I. Aretxabaleta**, I. Martínez de Alegría, J.I. Garate, U. Ugalde, J.L. Martín. “*Multiple current amplifier-based gate driving for parallel operation of discrete SiC MOSFETs*”, IET Power Electronics - **berrikusketa-fasean**.

Inpaktu-faktorea (**JCR**): **2.672** (2019). Ranking-a: Q2 (113/266) *Engineering, electrical & electronic*.

- A3) **I. Aretxabaleta**, I. Martínez de Alegría, J.I. Garate, A. Matallana, J. Andreu. “*Wide bandgap semiconductor HF-oscillation attenuation method with tuned gate RLC filter*”, IEEE Transactions on Power Electronics, 35. liburukia, 8. zenbakia, 8025-8033. orrialdeak.

Inpaktu-faktorea (**JCR**): **6.373** (2019). Ranking-a: Q1 (22/266) *Engineering, electrical & electronic*.

- A4) **I. Aretxabaleta**, E. Robles, M. Fernandez, I. Martínez de Alegría, J. Andreu. “*Ibilgailu elektrikoaren joera: 2030. urtea helburu*”, Elhuyar - **berrikusketa-fasean**.

7.3.2. Nazioarteko kongresuak

- NK1) A. Matallana, J. Andreu, J. I. Garate, **I. Aretxabaleta** and I. Kortabarria. “*Analysis and design of a multilayer DC bus with low stray inductance and homogenous current distribution*”, Power International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM), pages 1652-1659, Nuremberg (Germany), 2018.

- NK2) A. Matallana, J. Andreu, J. I. Garate, **I. Aretxabaleta** and E. Planas. “*Analysis and modelling of IGBTs parallelization fundamentals*”, Annual

Conference of the IEEE Industrial electronics Society (IECON), pages 3247-3252, Florence (Italy), 2016. DOI: 10.1109/IECON.2016.7793367

7.3.3. Estatu-mailako kongresuak

EK1) **I. Aretxabaleta**, I. Martínez de Alegría, J. Andreu, J.I. Garate, I. Kortabarria. “*Criterios de ubicación de diodos en PCB para mejora de prestaciones en ramas de conmutación*”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)-ko aktetan. 2017eko uztaila.

7.4. Etorkizuneko lanak

1. *Vienna 6-switch* artezgailua *interleaving* teknikarekin probatzea. Literatura zientifikoan ez da aurkitu topologia zehatz honetan inplementatutako teknika hori, eta tesi honetan topologia honek potentzial handia duela erakutsi da, gehienbat kommutazio-maiztasunetan gora egin nahi den kasuetarako.
2. Kommutazio-maiztasun altuekin modu eraginkorragoan lan egin dezaketen haril berriak diseinatzea (nukleoen materiala aldatuz), eta probak beregitea, sistemaren eraginkortasuna hobetzen den aztertzeke.
3. Egin diren probetan SiC MOSFET eta diodoek kommutazio-maiztasun altuetan erakutsi dituzten emaitzak ikusita, kontrolaren maiztasuna igotzea proposatzen da, honek eragin zuzena baitu lortutako uhinformen kalitatean. Horretarako, kontrolaren inplementazioa FPGA-n egingo da zuzenean.
4. Inplementatu den *Vienna 6-switch* topologiaren bertsio konpatu bat diseinatzea. Bertsio horretan, aurreko hiru puntuetako aspektu guztiak inplementatuko dira.

I. Atala

Eranskinak

A. Eranskina

Harmonikoen analisia

Eranskin honetako informazioa Schaffner-en *white paper*-etik egokitu da¹.

Artezgailuak askoz sofistikatutakoak bihurtu dira azkenaldian, eta orain zirkuituak baino gehiago sistemak dira. Potentzia-ekipoiei lotutako uhin-forma gehienak ez-sinusoidalak eta peridiokoak dira. Horren arrazoa nahi ez diren lineako korronte-harmonikoak dira, eta hortaz, potentzia faktore txikiak.

Edozein funtzio periodiko Fourier-en serie baten bidez deskriba daiteke. *Seinale periodiko* deritza propietate hau egiaztatzen duenari seinaleari:

$$f(t) = f(t + T_0) \quad T_0 \neq 0$$

non T_0 seinalearen periodoa den. Seinale periodiko bat $t = -\infty$ -tik $t = \infty$ -ra hedatzen da.

Uhin periodiko baten serieko adierazpena osagai jarrai batek, eta, funtzioaren funtsezko osagai eta osagai harmonikoei dagozkien sinu eta kosinuko terminokopuru infinitu batek ematen dute. $f(t)$ funtzioa T_0 periododun funtzioa bada, honela adieraz daiteke Fourierren serie baten bidez:

¹https://www.schaffner.com/fileadmin/media/downloads/white_paper/Schaffner_Whitepaper_Harmonic_distortion.pdf

$$f(t) = a_0 + \sum_{n=1}^{\infty} (a_n \sin(nw_0t) + b_n \cos(nw_0t))$$

non a_0 $f(t)$ funtzioaren osagai jarraitua edo batez besteko balioa den, eta, a_n eta b_n Fourier-en koefizienteak edo osagai harmonikoen anplitudeak diren.

Lehenengo maiztasuna, osagai alternoan, uhinaren periodoak zehazten du, $w_0 = 2\pi f_0 = 2\pi/T_0$, eta maiztasun-fundamentalak deritzo. Gainerako maiztasunak oinarritzkoaren multiploak dira, eta maiztasun harmoniko deitzen zaie. Fourier-en koefizienteak honela kalkulatu dira:

$$a_0 = \frac{1}{T_0} \int_{-T_0/2}^{+T_0/2} f(t) dt$$

$$a_n = \frac{1}{T_0} \int_{-T_0/2}^{+T_0/2} f(t) \sin(nw_0t) dt$$

$$b_n = \frac{1}{T_0} \int_{-T_0/2}^{+T_0/2} f(t) \cos(nw_0t) dt$$

Integrazio-limiteak $-T_0/2$ -tik $T_0/2$ -ra doaz. Muga horiek periodo berarekin neur daitezke edozein tartetan, 0-tik T_0 -ra, edo T_0 -tik $2T_0$ -ra, etab.

Egokiagoa izan daiteke uhin-forma zenbait sinu edo kosinu gisa adieraztea:

$$f(t) = a_0 + \sum_{n=1}^{\infty} f_n \cos(nw_0t + \varphi_n)$$

$$f_n = \sqrt{a_n^2 + b_n^2}$$

$$\varphi_n = \arctan \frac{a_n}{b_n}$$

edo, bestela,

$$f(t) = a_0 + \sum_{n=1}^{\infty} f_n \sin(nw_0t + \phi_n)$$

$$g_n = \sqrt{a_n^2 + b_n^2}$$

$$\phi_n = \arctan \frac{-b_n}{a_n}$$

Uhin simetrien arabera, Fourier-en koefizienteak lortzea sinplifikatu egin daiteke kasu batzuetan:

- Uhin simetriko bikoitiak: uhin bat simetriko bikoitia dela esan daiteke, baldin eta:

$$f(-t) = f(t)$$

Kosinuaren terminoek osatzen dute uhin bikoiti baterako Fourier-en seriea, hau da, a_n koefiziente guztiak zero dira, jarraian frogatzen den bezala:

$$f(t) = a_0 + \sum_{n=1}^{\infty} (a_n \sin(nw_0t) + b_n \cos(nw_0t))$$

Identitateen arabera, $\cos(-x) = \cos(x)$ eta $\sin(-x) = -\sin(x)$ direnez,

$$f(-t) = a_0 + \sum_{n=1}^{\infty} (-a_n \sin(nw_0t) + b_n \cos(nw_0t))$$

$f(-t) = f(t)$ denez, Fourierren koefizientek terminoz termino konparatuz gero, $a_n = -a_n$ berdintasuna behar dela onartzen da, eta hori $a_n = 0$ denean bakarrik gerta daiteke.

- Uhin simetriko bakoitiak: uhin bat simetriko bakoitia dela esan daiteke, baldin eta:

$$-f(-t) = f(t)$$

Bere Fourier-en seriea sinu-terminoek osatzen dute, hau da, b_n termino guztiak zero dira. Ondoren frogatzen da:

$$f(t) = a_0 + \sum_{n=1}^{\infty} (a_n \sin(nw_0t) + b_n \cos(nw_0t))$$

Izan ere, $\cos(-x) = \cos(x)$ eta $\sin(-x) = -\sin(x)$ baitira.

$$f(-t) = a_0 + \sum_{n=1}^{\infty} (-a_n \sin(nw_0t) + b_n \cos(nw_0t))$$

$-f(-t) = f(t)$ izateko, $b_n = -b_n$ eta $a_0 = -a_0$ bete behar dira, hau da, $b_n = 0 \quad \forall n$

- Uhin erdiko simetria: uhin batek uhin erdiko simetria duela esaten da, edo simetriko alternoa dela, baldin eta:

$$f(t) = -f(t - (T/2))$$

Fourier-en seriea garatzean, termino bakoitiak baino ez ditugu aurkitzen, eta, beraz, harmoniko bikoiti guztien anplitudeak zero dira.

Jakinda,

$$\cos(x - n\pi) = (-1)^n \times \cos(x)$$

$$\sin(x - n\pi) = (-1)^n \times \sin(x)$$

orduan

$$f(t - (T/2)) = -a_0 + \sum_{n=1}^{\infty} -(-1)^n a_n \cos(nw_0 t) - (-1)^n b_n \sin(nw_0 t)$$

Aurreko ekuazioa $f(t)$ -rekin alderatuz, $a_0 = -a_0$, $a_n = -(-1)^n a_n$ eta $b_n = -(-1)^n b_n$ lortuko ditugu. Hori gertatzeko modu bakarra $a_0 = 0$ da, eta $a_n = b_n = 0$, non n bikoitiak diren. Serie honetan, termino bakoitiak baino ez daude. Simetria alternoa simetria parearen edo bakoitiaren ondoan ager daiteke uhin-forma batzuetan.

Uhin-erdiko simetriak adierazten du uhin baten bigarren erdia lehenengo erdiaren aurkakoa dela. Simetria hori duen funtzio batek ez du zertan simetria bikoitia edo bakoitia izan, propietate horrek desplazatutako seinaleak kontrako zeinua izatea besterik ez baitu eskatzen.

Fourier-en serieak batezbestekoa terminoetan

Ikus dezagun bi terminaleko bi zirkuituren arteko potentzia-transmisioa. $i(t)$ korrantea eta $v(t)$ tentsioa Fourier-en serie gisa adierazten baditugu (kosinu-terminoetan soilik adierazita)

$$v(t) = v_0 + \sum_{n=1}^{\infty} v_n \cos(nw_0 t + \varphi_n)$$

$$i(t) = i_0 + \sum_{n=1}^{\infty} i_n \cos(nw_0 t + \theta_n)$$

batez besteko potentziaren eta harmonikoen arteko erlazioa lor dezakegu. Ziklo batean transmititutako energia:

$$W_{avg} = \int_{-T_0/2}^{+T_0/2} v(t)i(t)dt$$

eta batez besteko potentzia hau lirateke:

$$P_{avg} = W_{avg}/T_0$$

Fourier-en seriearen terminoetan adierazita, honela geratzen da:

$$P_{avg} = 1/T_0 \int_{-T_0/2}^{+T_0/2} (v_0 + \sum_{n=1}^{\infty} v_n \cos(n\omega_0 t + \varphi_n)) \times \\ (i_0 + \sum_{n=1}^{\infty} i_n \cos(n\omega_0 t + \theta_n)) dt$$

Harmonikoen ortogonaltasuna kontuan hartuta

$$\int_0^{2\pi} \sin(n\omega_0 t) \sin(m\omega_0 t + \varphi) d\omega_0 t = 0 \quad \text{baldin eta } n \neq m \\ \int_0^{2\pi} \sin(n\omega_0 t) \cos(n\omega_0 t) d\omega_0 t = 0 \\ 1/2\pi \int_0^{2\pi} \sin(n\omega_0 t) \cos(n\omega_0 t + \varphi) d\omega_0 t = 1/2 \cos(\varphi)$$

batez besteko potentzia honela adierazi daiteke:

$$P_{avg} = v_0 i_0 + \sum_{n=1}^{\infty} \frac{v_n i_n}{2} \cos(\varphi_n - \theta_n)$$

Beraz, tentsioa eta korronea maiztasun bereko harmonikoak direnean bakarrik gertatzen da energia-transmisio garbia. (Maiztasun bateko harmonikoen arteko desfasea 90° bada, harmoniko horiek ez dute potentziarik transmititzen.

Uhin baten balio efikaza Fourier seriearen terminoetan

Uhin periodiko baten balio efikaza honela definitzen da:

$$v_{rms} = \sqrt{\frac{1}{T_0} \int_0^{T_0} v(t) dt}$$

Tentsioa Fourier-en seriearekin ordeztuz, eta harmonikoen ortogonaltasuna kontuan hartuz,

$$v_{rms} = v_0^2 + \sum_{n=1}^{\infty} \frac{V_n^2}{2}$$

Korrontearen kasuan berdina da

$$i_{rms} = \sqrt{\frac{1}{T_0} \int_0^{T_0} i(t) dt}$$

Korrontea Fourier-en seriearekin ordeztuz, eta harmonikoen ortogonaltasuna kontuan hartuz,

$$i_{rms} = i_0^2 + \sum_{n=1}^{\infty} \frac{i_n^2}{2}$$

Adierazpenean ikusten denez, zenbat eta harmoniko gehiago izan, orduan eta handiagoa da balio efikaza, baina horrek ez du esan nahi potentzia garbia handitzen denik. Oro har, harmonikoez galerak areagotzen dituzte. Energia eraginkortasunez transmititzeko, beharrezkoa da emandako batez besteko potentzia maximizatzea eta tentsioaren eta korrontearen balio eraginkorra minimizatzea.

Potentzia-elektronikako tentsio- eta korrante-uhinen kalitate-faktoreak

Zenbait parmetro definitzen dira karga ez-linealek sortutako tentsio-uhinen eta korrante periodikoen kalitatea kuantifikatzeko. Hona hemen erabilienak:

- Forma-faktorea:

$$FF = X_{rms}/X_{avg}$$

- Punta-faktorea:

$$FP = X_{max}/X_{avg}$$

- n harmonikoaren distortsioa:

$$D_n = X_n/X_1$$

- Distortsio harmoniko osoa²:

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} X_n^2}}{X_1} \times 100\%$$

Zenbait arauk zehazten dute zenbat harmoniko sartu behar diren kalkulua egiteko orduan; esate baterako, IEEE 519-2014 estandarrak 50 harmonikotara mugatzen ditu kontuan hartu beharrekoak; beraz, kasu horretan:

$$THD_{IEEE519} = \frac{\sqrt{\sum_{n=1}^{50} X_n^2}}{X_1} \times 100\%$$

²IEEE 519: total harmonic distortion (THD): The ratio of the root mean square of the harmonic content, considering harmonic components up to the 50th order and specifically excluding interharmonics, expressed as a percent of the fundamental. Harmonic components of order greater than 50 may be included when necessary.

- Distortsio harmoniko partzial haztatua (PWH_D) harmoniko-talde baten rms balioaren eta oinarritzko osagaiaren rms balioaren arteko zatidura da. Hurrengo ekuazioan 14. harmonikoaren eta 40. harmonikoaren arteko taldea erabiltzen da (61000-3-2 arauan zehaztutako balioa)³.

$$PWH_D = \sqrt{\sum_{n=14}^{40} n \frac{X_n^2}{X_1^2}} \times 100\%$$

- Itxurazko potentzia:

$$V_{rms} I_{rms}$$

- Potentzia-faktorea:

$$PF = \frac{P_{avg}}{V_{rms} I_{rms}}$$

Karga dinamiko ez-lineala, tentsio sinusoidala

Kasu honetan, tentsioak funtsezko osagai bat badu, baina ez badu DC osagai bat edo osagai harmoniko bat, hau da, tentsio sinusoidala bada, orduan korronteen harmonikoek ez dute energia kargara transmititzea lortzen. Kasu horretan batazbesteko potentziaren ekuazioak hurrengo forma hartzen du:

$$P_{avg} = \frac{V_1 I_1}{2} \cos(\varphi_1 - \theta_1)$$

Hala ere, korronte harmonikoek rms korrontearen balioari eragiten diote:

$$i_{rms} = \sqrt{i_0^2 + \sum_{n=1}^{\infty} \frac{i_n^2}{2}}$$

³The partial weighted harmonic distortion is employed in order to ensure that the effects of the higher order harmonic currents on the results are reduced sufficiently and individual limits need not be specified.

Ekuazio bi hauek potentzia faktorearen ekuazioan ordezkaturaz gero, tentsio sinusoidalaren potentzia-faktorea honela adieraz dezakegu:

$$PF = \frac{\frac{i_1}{\sqrt{2}}}{\sqrt{i_0^2 + \sum_{n=1}^{\infty} \frac{i_n^2}{2}}} \cos(\varphi_1 - \theta_1)$$

$$PF = (\text{distortsio} - \text{faktorea})(\text{desplazamendu} - \text{faktorea})$$

Beraz, tentsioak harmonikorik ez duenean, potentzia-faktorea bi terminoren biderkadura gisa idatz daiteke. Lehenengoa, distortsio-faktorea deritzona, oinarritzko osagaiaren rms korrontearen eta korrontearen rms balio totalaren arteko erlazioa da.

$$(\text{distortsiofaktorea}) = \frac{\frac{i_1}{\sqrt{2}}}{\sqrt{i_0^2 + \sum_{n=1}^{\infty} \frac{i_n^2}{2}}} = \frac{i_{\text{oinarrizko}_{rms}}}{i_{\text{totala}_{rms}}}$$

Bigarren terminoari desplazamendu-faktorea deitzen zaio, eta tentsioaren oinarritzko osagaien eta korronte-uhinen arteko angeluaren kosinua da.

Distortsio Harmoniko Totala (THD) oinarritzko rms magnitudearen funtsezkoa ez duen uhin-formaren rms balioaren erlazio gisa definitzen da. DC osagairik ez dagoenean, honela idatz daiteke:

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} \frac{i_n^2}{2}}}{i_1}$$

Distortsio harmoniko totala eta distortsio-faktorea estuki lotuta daude. $i_0 = 0$ denean,

$$(\text{distortsiofaktorea}) = \frac{1}{\sqrt{1 + THD^2}}$$

Distortsio txikia duen uhin-forma baten distortsio-faktorea unitatetik nahiko gertu dagoela baieztatu daiteke.

THD neurtzeko denbora-leiho

IEEE 519-2014 arauak aldi baterako bi leiho definitzen ditu (oso laburra eta laburra) harmonikoak neurtzeko:

- Denbora-leiho oso laburreko neurriak:

Oso leiho motzeko neurketak 3 segundoko tartetan egiten dira, 60 Hz-eko sistemetan 12 ziklotako 15 leiho gehitzean oinarrituta (10 ziklotako 15 leiho 50 Hz-eko sistemetan).

Banakako maiztasun-osagaiak balio efikazaren neurketaren arabera gehitzen dira, ekuazioaren arabera:

$$F_{n,vs} = \sqrt{\frac{1}{15} \sum_{i=1}^{15} F_{n,i}^2} \quad (\text{A.1})$$

non F-k tentsioa (V) edo korronea (I) balio efikazean edo rms denean adierazten baitu, n-k harmonikoaren ordena adierazten baitu, eta vs azpiindizeak leiho oso laburrean neurtuta adierazten baitu.

Neurriaren iraupena: 24 ordu.

Leiho oso laburreko neurketetarako, 99 pertzentila (neurketa-denboraren %1 gainditzen duen balioa) 24 orduko tarte bakoitzerako kalkulatu behar da, arauaren 5. klausulan gomendatutako mugekin konparatzeko. Tentsio-eta korrone-harmonikoei aplikatzen zaie.

- Denbora-leiho laburreko neurriak:

Leiho laburreko neurketak 10 minutuko tartetan egiten dira, maiztasun-osagai espezifikoetarako elkarren segidako 200 ziklo oso laburren agregazioan oinarrituta. 200 balioak ekuazioak emandako balio eraginkorraren kalkuluan oinarrituta gehitzen dira:

$$F_{n,sh} = \sqrt{\frac{1}{200} \sum_{i=1}^{200} F_{(n,vs),i}^2} \quad (\text{A.2})$$

non F-k tentsioa (V) edo korronea (I) balio efikazean edo rms-tan adierazita, n harmonikoaren ordena diren, eta sh azpiindizeak leiho laburrean neurtuta adierazten baitu.

Neurriaren iraupena: 7 egun.

Leiho laburreko neurketen kasuan, 95 eta 99 pertzentil balioak (neurketadenboraren %5 eta %1 balioak gaintitzen dituztenak) 7 eguneko tarte bakoitzerako kalkulatu behar dira, arauaren 5. klausulan gomendatutako mugekin konparatzeko.

Bibliografia

- [1] “2050 long-term EU strategy for reducing greenhouse gas emissions,” European Commission, Tech. Rep., 2018.
- [2] “Inventory of U.S. greenhouse gas emissions and sinks: 1990-2015.” United States Environmental Protection Agency (EPA), Tech. Rep., 2017.
- [3] “World population prospects: The 2017 revision.” United Nations, Tech. Rep., 2018.
- [4] “Annual energy outlook,” U.S. Energy Information Administration, Tech. Rep., 2018.
- [5] F. Un-Noor, S. Padmanaban, L. Mihet-Popa, M. Mollah, and E. Hosain, “A Comprehensive Study of Key Electric Vehicle (EV) Components, Technologies, Challenges, Impacts, and Future Direction of Development,” *Energies*, vol. 10, no. 8, p. 1217, 2017.
- [6] L. Kumar and S. Jain, “Electric propulsion system for electric vehicular technology: A review,” *Renewable and Sustainable Energy Reviews*, vol. 29, pp. 924–940, 2014.
- [7] “Electric vehicle initiative,” Clean Energy Ministerial (CEM), Tech. Rep., 2019.
- [8] “2030 global electrified vehicle outlook,” Energy Institute - University of Michigan, Tech. Rep., 2019.
- [9] “EV100 progress and insights report,” The Climate Group, Tech. Rep., 2020.

-
- [10] “Global EV Outlook,” International Energy Agency (IEA), Tech. Rep., 2020.
- [11] “GEF-7 Strategy: strategic framework for the next cycle of the GEF investments,” Global Environment Facility (GEF), Tech. Rep., 2019.
- [12] I. López, E. Ibarra, A. Matallana, J. Andreu, and I. Kortabarria, “Next generation electric drives for HEV/EV propulsion systems: Technology, trends and challenges,” *Renewable and Sustainable Energy Reviews*, vol. 114, pp. 1–23, 2019.
- [13] “3-phase AC-DC seminar,” Infineon Technologies, Tech. Rep., 2020.
- [14] H. S. Das, M. M. Rahman, S. Li, and C. W. Tan, “Electric vehicles standards, charging infrastructure, and impact on grid integration: A technological review,” *Renewable and Sustainable Energy Reviews*, vol. 120, pp. 1–27, 2020.
- [15] J. Y. Yong, V. K. Ramachandramurthy, K. M. Tan, and N. Mithulananthan, “A review on the state-of-the-art technologies of electric vehicle, its impacts and prospects,” *Renewable and Sustainable Energy Reviews*, vol. 49, pp. 365–385, 2015.
- [16] C. C. Chan, “The State of the Art of Electric, Hybrid, and Fuel Cell Vehicles,” in *Proc. of the IEEE*, vol. 95, no. 4, 2007, pp. 704–718.
- [17] K. V. Singh, H. O. Bansal, and D. Singh, “A comprehensive review on hybrid electric vehicles: architectures and components,” *Journal of Modern Transportation*, vol. 27, no. 2, pp. 77–107, 2019.
- [18] M. Yilmaz and P. T. Krein, “Review of Battery Charger Topologies, Charging Power Levels, and Infrastructure for Plug-In Electric and Hybrid Vehicles,” *IEEE Transactions on Power Electronics*, vol. 28, no. 5, pp. 2151–2169, 2013.
- [19] Z. Li, A. Khajepour, and J. Song, “A comprehensive review of the key technologies for pure electric vehicles,” *Energy*, vol. 182, pp. 824–839, 2019.
- [20] T. Chen, X. P. Zhang, J. Wang, J. Li, C. Wu, M. Hu, and H. Bian, “A Review on Electric Vehicle Charging Infrastructure Development in the UK,” *Journal of Modern Power Systems and Clean Energy*, vol. 8, no. 2, pp. 193–205, 2020.

-
- [21] B. W. M. Woodward, J. Hamilton, "Electric vehicles - setting a course for 2030," Deloitte Insights, Tech. Rep., 2020.
- [22] "Voltage classes for electric mobility," ZVEI: Die Elektroindustrie, Tech. Rep., 2013.
- [23] C. Jung, "Power Up with 800-V Systems: The benefits of upgrading voltage power for battery-electric passenger vehicles," *IEEE Electrification Magazine*, vol. 5, no. 1, pp. 53–58, 2017.
- [24] A. Meintz et al., "Enabling fast charging - Vehicle considerations," *Journal of Power Sources*, vol. 367, pp. 216–227, 2017.
- [25] V. Reber, "New possibilities with 800-volt charging," *Porsche Engineering MAGAZINE*, 2020.
- [26] A. Engstle, M. Deiml, A. Angermaier, and W. Schelter, "800 Volt for Electric Vehicles Voltage Level Suitable for Calibration," *ATZ worldwide*, vol. 115, no. 9, pp. 38–43, 2013.
- [27] R. W. D. Doncker, "Fast Charging (350 kW) for Electric Vehicles - Possibilities and Issues," *Seminar*, 2016.
- [28] "Electricity storage and renewables: Costs and markets to 2030," International Renewable Energy Agency (IRENA), Tech. Rep., 2017.
- [29] "Smart charging for electric vehicles," International Renewable Energy Agency (IRENA), Tech. Rep., 2019.
- [30] "Battery innovation roadmap 2030," Association of European Automotive and Industrial Battery Manufacturers (EUROBAT), Tech. Rep., 2019.
- [31] Nykvist, B. and Nilsson, M., "Rapidly falling costs of battery packs for electric vehicles," *Nature Climate Change*, vol. 5, pp. 329–332, 2015.
- [32] S. I. Sun, A. J. Chipperfield, M. Kiaee, and R. G. A. Wills, "Effects of market dynamics on the time-evolving price of second-life electric vehicle batteries," *Journal of Energy Storage*, vol. 19, pp. 41–51, 2018.
- [33] X. Tian, Y. Wu, P. Hou, S. Liang, S. Qu, M. Xu, and T. Zuo, "Environmental impact and economic assessment of secondary lead production: Comparison of main spent lead-acid battery recycling processes in china," *Journal of Cleaner Production*, vol. 144, pp. 142–148, 2017.

- [34] M. Caruso, V. Castiglia, R. Miceli, C. Ñevoloso, P. Romano, G. Schettino, F. Viola, M. G. Insinga, A. Moncada, R. L. Oliveri, F. Ganci, C. Sunseri, S. Piazza, and R. Inguanta, "Nanostructured lead acid battery for electric vehicles applications," in *Proc. of the International Conference of Electrical and Electronic Technologies for Automotive (AEIT AUTOMOTIVE)*, 2017, pp. 1–5.
- [35] U. Akram, M. Ñadarajah, R. Shah, and F. Milano, "A review on rapid responsive energy storage technologies for frequency regulation in modern power systems," *Renewable and Sustainable Energy Reviews*, vol. 120, pp. 1–18, 2020.
- [36] X. Fan, B. Liu, J. Liu, J. Ding, X. Han, Y. Deng, X. Lv, Y. Xie, B. Chen, W. Hu, and C. Zhong, "Battery technologies for grid-level large-scale electrical energy storage," *Transactions of Tianjin University*, vol. 26, no. 2, pp. 92–103, 2020.
- [37] M. A. Hannan, M. M. Hoque, A. Mohamed, and A. Ayob, "Review of energy storage systems for electric vehicle applications: Issues and challenges," *Renewable and Sustainable Energy Reviews*, vol. 69, pp. 771–789, 2017.
- [38] M. A. Hannan, M. M. Hoque, A. Hussain, Y. Yusof, and P. J. Ker, "State-of-the-art and energy management system of lithium-ion batteries in electric vehicle applications: Issues and recommendations," *IEEE Access*, vol. 6, pp. 19362–19378, 2018.
- [39] D. Stroe, V. Knap, M. Swierczynski, A. Stroe, and R. Teodorescu, "Operation of a grid-connected lithium-ion battery energy storage system for primary frequency regulation: A battery lifetime perspective," *IEEE Transactions on Industry Applications*, vol. 53, no. 1, pp. 430–438, 2017.
- [40] U. K. Das, P. Shrivastava, K. S. Tey, M. Y. I. Bin Idris, S. Mekhilef, E. Jamei, M. Seyedmahmoudian, and A. Stojcevski, "Advancement of lithium-ion battery cells voltage equalization techniques: A review," *Renewable and Sustainable Energy Reviews*, vol. 134, pp. 1–29, 2020.
- [41] P. T. Moseley, D. A. J. Rand, J. Garche, J. Garche, E. Karden, P. T. Moseley, and D. A. J. Rand, *Lead-acid batteries for future automobiles: Status and prospects*. Amsterdam: Elsevier, 2017.
- [42] "Electric vehicle outlook 2020," BloombergNEF, Tech. Rep., 2020.

- [43] A. Matallana, E. Ibarra, I. López, J. Andreu, J. I. Garate, X. Jordá, and J. Rebollo, "Power module electronics in HEV/EV applications: New trends in wide-bandgap semiconductor technologies and design aspects," *Renewable and Sustainable Energy Reviews*, vol. 113, pp. 1–33, 2019.
- [44] V. Prasanth, D. Foley, and S. Ravi, "Demystifying automotive safety and security for semiconductor developer," in *Proc. of the IEEE International Test Conference (ITC)*, 2017, pp. 1–10.
- [45] J. Bablo, "Electric vehicle infrastructure standardization," *World Electric Vehicle Journal*, vol. 8, no. 2, pp. 576–586, 2016.
- [46] K. Knezovic, S. Martinenas, P. B. Andersen, A. Zecchino, and M. Marinelli, "Enhancing the role of electric vehicles in the power grid: Field validation of multiple ancillary services," *IEEE Transactions on Transportation Electrification*, vol. 3, no. 1, pp. 201–209, 2017.
- [47] M.-H. Lu and M. Jen, "Safety Design of Electric Vehicle Charging Equipment," *World Electric Vehicle Journal*, vol. 5, no. 4, pp. 1017–1024, 2012.
- [48] "Charging technology for electro-mobility," Phoenix Contact, Tech. Rep., 2020.
- [49] Z. Lin and D. L. Greene, "Promoting the market for plug-in hybrid and battery electric vehicles: Role of recharge availability," *Journal of the transportation research board*, vol. 2252, no. 1, pp. 49–56, 2011.
- [50] M. E. Kabir, C. Assi, H. Alameddine, J. Antoun, and J. Yan, "Demand aware deployment and expansion method for an electric vehicles fast charging network," in *Proc. of the IEEE International Conference on Communications, Control, and Computing Technologies for Smart Grids (Smart-GridComm)*, 2019, pp. 1–7.
- [51] T. Tanim, E. Dufek, M. Evans, C. Dickerson, A. Jansen, B. Polzin, A. Dunlop, S. Trask, R. Jackman, I. Bloom, Z. Yang, and E. Lee, "Extreme fast charge challenges for lithium-ion battery: Variability and positive electrode issues," *Journal of The Electrochemical Society*, vol. 166, no. 10, pp. A1926–A1938, 2019.
- [52] Y. Cao, O. Kaiwartya, C. Han, K. Wang, H. Song, and N. Aslam, "Toward distributed battery switch based electro-mobility using publish/subscribe system," *IEEE Transactions on Vehicular Technology*, vol. 67, no. 11, pp. 10 204–10 217, 2018.

- [53] X.-G. Yang and C.-Y. Wang, "Understanding the trilemma of fast charging, energy density and cycle life of lithium-ion batteries," *Journal of Power Sources*, vol. 402, pp. 489–498, 2018.
- [54] F. Sehar, M. Pipattanasomporn, and S. Rahman, "Demand management to mitigate impacts of plug-in electric vehicle fast charge in buildings with renewables," *Energy*, vol. 120, pp. 642–651, 2017.
- [55] P. Morrissey, P. Weldon, and M. OMahony, "Informing the strategic rollout of fast electric vehicle charging networks with user charging behavior data analysis," *Journal of the transportation research board*, vol. 2572, no. 1, pp. 9–19, 2016.
- [56] J. W. Kolar and T. Friedli, "The Essence of Three-Phase PFC Rectifier Systems-Part I," *IEEE Transactions on Power Electronics*, vol. 28, no. 1, pp. 176–198, 2013.
- [57] Institute of Transport Economics: Oslo, "Learning from norwegian battery electric and plug-in hybrid vehicle users. results from a survey of vehicle owners," Tech. Rep., 2016.
- [58] —, "Electromobility status in norway. mastering long distances - the last hurdle to mass adoption," Tech. Rep., 2018.
- [59] S. Hardman, A. Jenn, G. Tal, J. Axsen, G. Beard, N. Daina, and Figenbaum, "A review of consumer preferences of and interactions with electric vehicle charging infrastructure," *Journal of the transportation research board*, vol. 62, pp. 508–523, 2018.
- [60] T. Friedli, M. Hartmann, and J. W. Kolar, "The Essence of Three-Phase PFC Rectifier Systems-Part II," *IEEE Transactions on Power Electronics*, vol. 29, no. 2, pp. 543–560, 2014.
- [61] A. Kuperman, U. Levy, J. Goren, A. Zafranski, and A. Savernin, "High power Li-Ion battery charger for electric vehicle," in *Proc. of the International Conference-Workshop Compatibility and Power Electronics (CPE)*, 2011, pp. 342–347.
- [62] S. Kim and P. N. Enjeti and I. J. Pitel, "A new approach to improve power factor and reduce harmonics in a three-phase diode rectifier type utility interface," *IEEE Transactions on Industry Applications*, vol. 30, no. 6, pp. 993–1000, 1994.

- [63] S. Bala, T. Tengner, P. Rosenfeld, and F. Delince, "The effect of low frequency current ripple on the performance of a Lithium Iron Phosphate (LFP) battery energy storage system," in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, pp. 3485–3492.
- [64] K. Uddin, A. D. Moore, A. Barai, and J. Marco, "The effects of high frequency current ripple on electric vehicle battery performance," *Applied Energy*, vol. 178, pp. 142–154, 2016.
- [65] V. S. Nguyen, V.-L. Tran, W. Choi, and D.-W. Kim, "Analysis of the Output Ripple of the DC-DC Boost Charger for Li-Ion Batteries," *Journal of Power Electronics*, vol. 14, pp. 135–142, 2014.
- [66] T. Soeiro and M. Heldwein, "Bidirectional three-phase buck-boost-type PFC rectifier for bipolar DC distribution systems," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2013.
- [67] M. Leibl, J. W. Kolar, and J. Deuringer, "Sinusoidal Input Current Discontinuous Conduction Mode Control of the VIENNA Rectifier," *IEEE Transactions on Power Electronics*, vol. 32, no. 11, pp. 8800–8812, 2017.
- [68] J. W. Kolar, H. Ertl, and F. C. Zach, "Design and experimental investigation of a three-phase high power density high efficiency unity power factor PWM (VIENNA) rectifier employing a novel integrated power semiconductor module," in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 1996, pp. 514–523.
- [69] T. Viitanen and H. Tuusa, "A steady-state power loss consideration of the 50kW VIENNA I and PWM full-bridge three-phase rectifiers," in *Proc. of the IEEE Power Electronics Specialists Conference*, 2002, pp. 915–920.
- [70] Q. Wang, X. Zhang, R. Burgos, D. Boroyevich, A. White, and M. Kheraluwala, "Design and implementation of interleaved Vienna rectifier with greater than 99% efficiency," in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2015, pp. 72–78.
- [71] K. Mahmud, L. Tao, and M. S. Alam, "A variable speed three phase generator voltage hook up with a DC bus by VIENNA rectifier," in *Proc. of the International Conference on Electrical Information and Communication Technology (EICT)*, 2014, pp. 1–6.
- [72] X. Zhang, L. Zhou, D. Qiu, W. Xiao, B. Zhang, and F. Xie, "Phase-

- modular three-phase isolated bridgeless PFC converter,” in *Proc. of the IEEE Industrial Electronics Society (IECON)*, 2015, pp. 1723–1728.
- [73] K. Hirachi, K. Nishimura, N. Baba, L. Gamage, A. Chibani, and M. Nakaoka, “Engine-driven generator interactive three-phase switched-mode PFC converter and its performance evaluations,” in *Proc. of the IEEE International Symposium on Industrial Electronics (ISIE)*, 1997, pp. 612–618.
- [74] S. M. Ulhaq, E. Hiraki, M. Nakaoka, and H. Takano, “Object-oriented simulation of DSP controlled three phase active PFC converter,” in *Proc. of the International Conference on Power Electronics and Variable Speed Drives*, 1998, pp. 28–33.
- [75] E. Hiraki, M. Yoshida, M. Nakaoka, H. Hatano, and Y. Sugawara, “Feasible evaluations of space vector modulated three-phase soft-switching PFC rectifier with instantaneous power feedback scheme,” in *Proc. of the Power Electronics and Drive Systems (PEDS)*, vol. 2, 2003, pp. 1126–1131.
- [76] J. Wu, H. Dai, K. Xing, F. C. Lee, and D. Boroyevich, “Implementation of a ZCT soft switching technique in a 100 kW PEBB based three-phase PFC rectifier,” in *Proc. of the IEEE Annual Power Electronics Specialists Conference (PESC)*, 1999, pp. 647–652.
- [77] R. Zhang, F. C. Lee, and D. Boroyevich, “Four-legged three-phase PFC rectifier with fault tolerant capability,” in *Proc. of the IEEE Annual Power Electronics Specialists Conference (PESC)*, 2000, pp. 359–364.
- [78] D. Yazdani, A. R. Bakhshai, H. Norouzzadeh, and T. Abaspour, “Introducing a novel space vector classification technique for performance improvement of a three-phase PFC converters,” in *Proc. of the International Conference on Power Electronics and Drive Systems (PEDS)*, 2003, pp. 582–585.
- [79] R. Li, K. Ma, and D. Xu, “A novel 40kW ZVS-SVM controlled three-phase boost PFC converter,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2009, pp. 376–382.
- [80] Y. Chen and K. M. Smedley, “Parallel operation of one-cycle controlled three-phase PFC rectifiers,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 6, pp. 3217–3224, 2007.
- [81] C. Bing, X. Yunxiang, and T. Fei, “A novel three-phase buck PFC conver-

- ter based on one-cycle control,” in *Proc. of the International Conference on Power System Technology (POWERCON)*, 2006, pp. 1–7.
- [82] J. Itoh and I. Ashida, “A novel three-phase PFC rectifier using a harmonic current injection method,” *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp. 715–722, 2008.
- [83] B. Huang, R. Burgos, F. Wang, and D. Boroyevich, “D-Q-0 synchronous frame average model for three-phase arrays of single-phase PFC converter loads,” in *Proc. of the IEEE Workshops on Computers in Power Electronics*, 2006, pp. 83–88.
- [84] T. Takahara, M. Okamoto, E. Hiraki, T. Tanaka, T. Hashizume, and T. Kachi, “Performance verification of a novel soft switching three-phase utility frequency AC to high frequency AC direct power converter with PFC function for industrial IH applications,” in *Proc. of the Power Electronics and Motion Control Conference (EPE-PEMC)*, 2010, pp. 54–60.
- [85] P. Cortes, J. W. Kolar, and J. Rodriguez, “Comparative evaluation of predictive control schemes for three-phase buck-type PFC rectifiers,” in *Proc. of the International Power Electronics and Motion Control Conference (IPEMC)*, 2012, pp. 666–672.
- [86] D. F. Cortez and I. Barbi, “A three-phase multilevel hybrid switched-capacitor PWM PFC rectifier for high-voltage-gain applications,” *IEEE Transactions on Power Electronics*, vol. 31, no. 5, pp. 3495–3505, 2016.
- [87] D. C. Morais, F. J. M. de Seixas, L. C. Souza, L. S. C. e Silva, and J. C. P. Junior, “Three-phase half-controlled boost PFC rectifier with new variable duty cycle control,” in *Proc. of the IEEE International Conference on Industry Applications (INDUSCON)*, 2018, pp. 131–137.
- [88] D. M. Xu, C. Yang, J. H. Kong, and Z. Qian, “Quasi soft-switching partly decoupled three-phase PFC with approximate unity power factor,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 1998, pp. 953–957.
- [89] N. Takeuchi, K. Matsui, I. Yamamoto, M. Hasegawa, F. Ueda, and H. Mori, “A novel PFC circuit for three-phase utilizing a single switching device,” in *Proc. of the IEEE International Telecommunications Energy Conference (INTELEC)*, 2008, pp. 1–5.
- [90] K. Yao, X. Ruan, C. Zou, and Z. Ye, “Three-phase single-switch boost po-

- wer factor correction converter with high input power factor,” *IET Power Electronics*, vol. 5, no. 7, pp. 1095–1103, 2012.
- [91] Y. Jang and M. M. Jovanovic, “The TAIPEI rectifier—a new three-phase two-switch ZVS PFC DCM boost rectifier,” *IEEE Transactions on Power Electronics*, vol. 28, no. 2, pp. 686–694, 2013.
- [92] N. Olarescu, M. Ancuti, C. Sorandaru, S. Musuroi, M. Svoboda, A. Hedes, D. Popovici, and M. Wienmann, “Performances/efficiency analysis for high efficiency three-phase buck-type PFC rectifiers,” in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2015, pp. 1–9.
- [93] M. Ancuti, C. Sorandaru, S. Musuroi, and V. Olarescu, “High efficiency three-phase interleaved buck-Type PFC rectifier concepts,” in *Proc. of the IEEE Industrial Electronics Society (IECON)*, 2015, pp. 004 990–004 995.
- [94] M. Ancuti, V. Olarescu, C. Sorandaru, and S. Musuroi, “Performances of the eight-switch versus interleaved eight-switch three-phase buck-type PFC rectifiers,” in *Proc. of the International Symposium on Advanced Electromechanical Motion Systems (ELECTROMOTION)*, 2015, pp. 382–387.
- [95] M. W. Albader and P. Enjeti, “A modular three phase power factor correction (PFC) approach with two single phase PFC stages and an electronic phase shifter,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2015, pp. 79–83.
- [96] A. H. Abedin, K. L. Bashar, S. Islam, and M. A. Choudhury, “Output regulated one-switch three-phase boost and boost-buck (SEPIC) PFC rectifiers,” in *Proc. of the IEEE International Conference on Power System Technology (POWERCON)*, 2016, pp. 1–6.
- [97] S. Ali and J. Mutale, “Reactive power management at Transmission/Distribution interface,” in *Proc. of the International Universities Power Engineering Conference (UPEC)*, 2015, pp. 1–6.
- [98] X. Huang and X. Zhang, “A novel three-phase single-stage PFC converter with limited double-polarity control,” in *Proc. of the IEEE Industrial Electronics Society (IECON)*, 2017, pp. 4088–4093.
- [99] J. W. Kolar and T. Friedli, “The essence of three-phase PFC rectifier

- systems,” in *Proc. of the IEEE International Telecommunications Energy Conference (INTELEC)*, 2011, pp. 1–27.
- [100] C. Qiao and K. M. Smedley, “A general three-phase PFC controller for rectifiers with a series-connected dual-boost topology,” *IEEE Transactions on Industry Applications*, vol. 38, no. 1, pp. 137–148, 2002.
- [101] —, “A general three-phase PFC controller for rectifiers with a parallel-connected dual boost topology,” *IEEE Transactions on Power Electronics*, vol. 17, no. 6, pp. 925–934, 2002.
- [102] L. Zhou, X. Du, Q. Luo, and L. Ran, “A new high efficiency three-phase boost type PFC circuit with integration reset control,” in *Proc. of the IEEE Industrial Electronics Society (IECON)*, 2004, pp. 790–795.
- [103] A. Stupar, T. Friedli, J. Minibock, and J. W. Kolar, “Towards a 99 efficient three-phase buck-type PFC rectifier for 400-V DC distribution systems,” *IEEE Transactions on Power Electronics*, vol. 27, no. 4, pp. 1732–1744, 2012.
- [104] L. Hang, M. Zhang, L. M. Tolbert, and Z. Lu, “Digitized feedforward compensation method for high-power-density three-phase vienna PFC converter,” *IEEE Transactions on Industrial Electronics*, vol. 60, no. 4, pp. 1512–1519, 2013.
- [105] L. Wang, D. Zhang, Y. Wang, and Y. Gu, “Dynamic performance optimization for high-power density three-phase Vienna PFC rectifier,” in *Proc. of the IEEE International Future Energy Electronics Conference (IFEEEC)*, 2015, pp. 1–4.
- [106] M.Ñ. Uddin, A. H. Abedin, K. L. Bashar, S. Islam, and M. A. Choudhury, “Three phase one switch modular-boost/vienna power factor corrected (PFC) rectifier,” in *Proc. of the IEEE International Conference on Industrial Technology (ICIT)*, 2017, pp. 230–235.
- [107] L. Schrittwieser, J. W. Kolar, and T. B. Soeiro, “99% efficient three-phase buck-type SiC MOSFET PFC rectifier minimizing life cycle cost in DC data centers,” *Transactions on Power Electronics and Applications*, vol. 2, no. 1, pp. 47–58, 2017.
- [108] Q. Wang, X. Zhang, R. Burgos, D. Boroyevich, A. M. White, and M. Kheraluwala, “Design and implementation of a two-channel interleaved vienna-

- type rectifier with 99 efficiency,” *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 226–239, 2018.
- [109] P. S. Prakash, R. Kalpana, B. Singh, and G. Bhuvaneshwari, “Design and implementation of sensorless voltage control of front-end rectifier for power quality improvement in telecom system,” *IEEE Transactions on Industry Applications*, vol. 54, no. 3, pp. 2438–2448, 2018.
- [110] R. Limpaecher, R. Rodriguez, M. Bush, K. Vinacco, and M. Gatewood, “High power harmonic-free AC to DC rectification,” in *Proc. of the IEEE Conference Record of Power Modulator Symposium*, 1996, pp. 213–217.
- [111] R. Limpaecher and R. Rodriguez, “Harmonic free rectification with unity power factor for multi-megawatt applications,” in *Proc. of the IEEE Conference Record of Power Modulator Symposium*, 1998, pp. 42–47.
- [112] R. Limpaecher, R. Rodriguez, and J. O’Loughlin, “Harmonic free new inverter topology for high voltage, high power applications,” in *Proc. of the IEEE Conference Record of Power Modulator Symposium*, 2000, pp. 101–106.
- [113] E. Limpaecher, M. Holveck, and B. Ryder, “Development of a low-EMI advanced variable speed drive for shipboard applications,” in *Proc. of the IEEE Electric Ship Technologies Symposium (ESTS)*, 2007, pp. 478–482.
- [114] R. Limpaecher and R. Rodriguez, “Resonant link PFN charger and modulator power supply,” in *Proc. of the IEEE International Pulsed Power Conference*, 2007, pp. 1495–1499.
- [115] E. Limpaecher, G. Deffley, F. Hoffmann, and W. Zhou, “750kW AC-link power converter for renewable generation and energy storage applications,” in *Proc. of the IEEE EnergyTech (ENERGYTECH)*, 2011, pp. 1–6.
- [116] E. S. Kim, Y. B. Byun, M. H. Kye, K. Y. Joe, H. H. Koo, Y. H. Kim, and B. D. Yoon, “A leading current compensation control in three phase PWM AC/DC converter,” in *Proc. of the International Telecommunications Energy Conference (INTELEC)*, 1996, pp. 556–561.
- [117] M. Annoukoubi, A. Essadki, H. Laghradat, and T. Nasser, “Comparative study between the performances of a three-level and two-level converter for a Wind Energy Conversion System,” in *Proc. of the International*

- Conference on Wireless Technologies, Embedded and Intelligent Systems (WITS)*, 2019, pp. 1–6.
- [118] M. Z. Sujod and I. Erlich, “Harmonics and common mode voltage in a DFIG with two-level and three-level NPC converter using standard PWM techniques,” in *Proc. of the IEEE Industrial Electronics Society (IECON)*, 2013, pp. 1650–1655.
- [119] R. H. Baker, “Bridge converter circuit - Patent 4270163A,” USA Patent, 1981.
- [120] M. Stempfle, M. Fischer, M. Nitzsche, J. Wolffe, and J. Roth-Stielow, “Efficiency analysis of three-level NPC and T-Type voltage source inverter for various operation modes optimizing the overall drive train efficiency by an operating mode selection,” in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2016, pp. 1–10.
- [121] C. Roncero-Clemente, E. Romero-Cadaval, V. F. Pires, J. F. Martins, N. Vilhena, and O. Husev, “Efficiency and loss distribution analysis of the 3L-Active NPC QZS inverter,” in *Proc. of the IEEE International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG)*, 2018, pp. 1–6.
- [122] W. Phipps, R. T. Harris, and A. G. Roberts, “New Generation Three-Phase Rectifier,” *SAIEE Africa Research Journal*, vol. 100, no. 3, pp. 62–67, . 2009.
- [123] L. Ma, T. Kerekes, P. Rodriguez, X. Jin, R. Teodorescu, and M. Liserre, “A New PWM Strategy for Grid-Connected Half-Bridge Active NPC Converters With Losses Distribution Balancing Mechanism,” *IEEE Transactions on Power Electronics*, vol. 30, no. 9, pp. 5331–5340, . 2015.
- [124] R. Katebi, J. He, T. A. Bobeck, W. A. Khan, and N. Weise, “High-Efficiency Fault-Tolerant Three-Level SiC Active NPC Converter for Safety-Critical Renewable Energy Applications,” in *Proc. of the IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, 2019, pp. 665–669.
- [125] Z. Hao, H. Bing, Q. Kewang, L. Yan, and T. Chaonan, “The efficiency analysis for three-level grid-connected photovoltaic inverters,” in *Proc. of the IEEE International Symposium on Industrial Electronics (ISIE)*, 2012, pp. 1086–1090.

- [126] B. Guo, F. Wang, and E. Aeloiza, "A novel three-phase current source rectifier with delta-type input connection to reduce the device conduction loss," *IEEE Transactions on Power Electronics*, vol. 31, no. 2, pp. 1074–1084, 2016.
- [127] P. Grzeszczak, A. Kulpa, and R. Barlik, "Design of a high-efficiency three-phase three-level NPC converter based on GaN HEMT and SiC SB diode," in *Proc. of the Applied Electrical Engineering (PAEE)*, 2019, pp. 1–6.
- [128] R. Teichmann and S. Bernet, "A comparison of three-level converters versus two-level converters for low-voltage drives, traction, and utility applications," *IEEE Transactions on Industry Applications*, vol. 41, no. 3, pp. 855–865, 2005.
- [129] T. Bruckner, S. Bernet, and H. Guldner, "The active NPC converter and its loss-balancing control," *IEEE Transactions on Industrial Electronics*, vol. 52, no. 3, pp. 855–868, 2005.
- [130] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A Survey on Neutral-Point-Clamped Inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2219–2230, 2010.
- [131] J. W. Kolar and F. C. Zach, "A novel three-phase utility interface minimizing line current harmonics of high-power telecommunications rectifier modules," *IEEE Transactions on Industrial Electronics*, vol. 44, no. 4, pp. 456–467, 1997.
- [132] J. Holtz, "Self-commutated three-phase inverters with staircase voltage waveforms for high-power applications at low switching frequency," *Siemens Res. Dev. Rep.*, vol. 6, no. 3, pp. 164–171, 1977.
- [133] L. Wang, D. Zhang, Y. Wang, and Y. Gu, "Dynamic performance optimization for high-power density three-phase Vienna PFC rectifier," in *Proc. of the IEEE International Future Energy Electronics Conference (IFEEEC)*, 2015, pp. 1–4.
- [134] X. Zhang, Q. Wang, R. Burgos, and D. Boroyevich, "Discontinuous pulse width modulation methods with neutral point voltage balancing for three phase Vienna rectifiers," in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, . 2015, pp. 225–232.
- [135] M. Held, P. Jacob, G. Nicoletti, P. Scacco, and M. . Poech, "Fast power cycling test of IGBT modules in traction application," in *Proc. of the In-*

- ternational Conference on Power Electronics and Drive Systems (PEDS)*, 1997, pp. 425–430.
- [136] K. Aikawa, T. Shiida, R. Matsumoto, K. Umetani, and E. Hiraki, “Measurement of the common source inductance of typical switching device packages,” in *Proc. of the IEEE International Future Energy Electronics Conference (IFEEEC)*, 2017, pp. 1172–1177.
- [137] F. Denk, K. Haehre, S. E. Cabrera, C. Simon, M. Heidinger, R. Kling, and W. Heering, “RDS(on) vs. inductance: comparison of SiC MOSFETs in 7pin D2Pak and 4pin TO-247 and their benefits for high-power MHz inverters,” *IET Power Electronics*, vol. 12, no. 6, pp. 1349–1356, 2019.
- [138] T. Liu, T. T. Y. Wong, and Z. J. Shen, “A new characterization technique for extracting parasitic inductances of SiC power MOSFETs in discrete and module packages based on two-port s-parameters measurement,” *IEEE Transactions on Power Electronics*, vol. 33, no. 11, pp. 9819–9833, 2018.
- [139] S. Li, L. M. Tolbert, F. Wang, and F. Z. Peng, “P-cell and N-cell based IGBT module: Layout design, parasitic extraction, and experimental verification,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2011, pp. 372–378.
- [140] —, “Stray Inductance Reduction of Commutation Loop in the P-cell and N-cell-Based IGBT Phase Leg Module,” *IEEE Transactions on Power Electronics*, vol. 29, no. 7, pp. 3616–3624, 2014.
- [141] F. Yang, Z. J. Wang, Z. Zhang, S. Campbell, F. Wang, and M. Chinthavali, “Understanding middle-point inductance’s effect on switching transients for multi-chip SiC package design with P-cell/N-cell concept,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2018, pp. 1742–1749.
- [142] M. Joko, A. Goto, M. Hasegawa, S. Miyahara, and H. Murakami, “Snubber circuit to suppress the voltage ringing for SiC device,” *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, pp. 1–6, 2015.
- [143] H. Zaman, X. Wu, X. Zheng, S. Khan, and H. Ali, “Suppression of Switching Crosstalk and Voltage Oscillations in a SiC MOSFET Based Half-Bridge Converter,” *Energies*, vol. 11, p. 3111, 2018.

- [144] R. E. Best, *Phase-Locked Loops: Design, Simulation and Applications*, 5th ed. McGraw-Hill Professional, 2003.
- [145] C. Cecati, A. Dell'Aquila, M. Liserre, and V. Monopoli, "Design of H-bridge multilevel active rectifier for traction systems," *IEEE Transactions on Industry Applications*, vol. 39, no. 5, pp. 1541 – 1550, 2003.
- [146] M. Malinowski and S. Bernet, "Simple control scheme of three-level PWM converter connecting wind turbine with grid," *Renewable Energy and Power Quality Journal*, vol. 1, pp. 88–93, 2004.
- [147] T. Brekken, N. Bhiwapurkar, M. Rathi, N. Mohan, C. Henze, and L. Mounneh, "Utility-connected power converter for maximizing power transfer from a photovoltaic source while drawing ripple-free current," in *Proc. of the Power Electronics Specialists Conference*, vol. 3, 2002, pp. 1518 – 1522.
- [148] C. Klumpner, M. Liserre, and F. Blaabjerg, "Improved control of an active-front-end adjustable speed drive with a small dc-link capacitor under real grid conditions," in *Proc. of the IEEE Annual Power Electronics Specialists Conference (PESC)*, 2004, pp. 1156–1162.
- [149] Z. Liang, "Status and trend of automotive power packaging," in *Proc. of the Power Semiconductor Devices and ICs (ISPSD)*, pp. 325–331.
- [150] A. Mauder, T. Laska, and L. Lorenz, "Dynamic behaviour and ruggedness of advanced fast switching IGBTs and diodes," in *Proc. of the IEEE Industry Applications Annual Meeting (IAS)*, 2003, pp. 995–999.
- [151] M. Mori, K. Oyama, T. Arai, J. Sakano, Y. Nishimura, K. Masuda, K. Saito, Y. Uchino, and H. Homma, "A planar-gate high-conductivity IGBT (HiGT) with hole-barrier layer," *IEEE Transactions on Electron Devices*, vol. 54, no. 6, pp. 1515–1520, 2007.
- [152] K. Xiaosong, A. Caiafa, E. Santi, J. L. Hudgins, and P. R. Palmer, "Characterization and modeling of high-voltage field-stop IGBTs," *IEEE Transactions on Industry Applications*, vol. 39, no. 4, pp. 922–928, 2003.
- [153] H. Ruthing, F. Umbach, O. Hellmund, P. Kanschat, and G. Schmidt, "600 V-IGBT3: Trench field stop technology in 70 μm ultra thin wafer technology," *IET Circuits, Devices and Systems*, vol. 151, no. 3, pp. 211–214, 2004.

- [154] H. Li, “SiC technologies adoption is going to accelerate with a tipping point in 2019 - Power SiC 2017: Materials, devices, modules and applications,” Tech. Rep., 2017.
- [155] P. Godignon, V. Soler, M. Cabello, J. Montserrat, J. Rebollo, L. Knoll, E. Bianda, and A. Mihaila, “New trends in high voltage MOSFET based on wide band gap materials,” in *Proc. of the International Semiconductor Conference (CAS)*, 2017, pp. 3–10.
- [156] P. Godignon, G. Rius, M. Cabello, V. Soler, and J. Montserrat, “New trends in high voltage mosfet based on wide band gap materials,” in *Actas del Seminario Anual de Automática, Electrónica Industrial e Instrumentación (SAAEI)*, 2017, pp. 3–10.
- [157] S. Araujo, M. Kazanbas, M. Wendt, T. Kleeb, and P. Zacharias, “Prospects of GaN devices in automotive electrification,” in *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, 2014, pp. 1–8.
- [158] J. Biela, M. Schweizer, S. Waffler, and J. W. Kolar, “SiC versus Si - Evaluation of potentials for performance improvement of inverter and DC-DC converter systems by SiC power semiconductors,” *IEEE Transactions on Industrial Electronics*, vol. 58, no. 7, pp. 2872–2882, 2011.
- [159] J. Millán and P. Godignon, “Wide band gap power semiconductor devices,” in *Proc. of the Electron Devices (CDE)*, 2013, pp. 293–296.
- [160] J. Millán, P. Godignon, X. Perpina, A. Pérez-Tomás, and J. Rebollo, “A survey of wide band gap power semiconductor devices,” *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155–2163, 2014.
- [161] K. S. Boutros, C. Rongming, and B. Hughes, “GaN power electronics for automotive application,” in *Proc. of the International Semiconductor Conference (CAS)*, 2012, pp. 1–4.
- [162] J. C. Balda and A. Mantooth, “Power-semiconductor devices and components for new power converter developments: A key enabler for ultrahigh efficiency power electronics,” *IEEE Power Electronics Magazine*, vol. 3, no. 2, pp. 53–56, 2016.
- [163] K. Shenai, “The figure of merit of a semiconductor power electronics switch,” *IEEE Transactions on Electron Devices*, vol. 65, no. 10, pp. 4216–4224, 2018.

- [164] A. S. Abdelrahman, Z. Erdem, Y. Attia, and M. Z. Youssef, "Wide band gap devices in electric vehicle converters: A performance survey," *Canadian Journal of Electrical and Computer Engineering*, vol. 41, no. 1, pp. 45–54, 2018.
- [165] P. Friedrichs, J. Millán, T. Harder, N. Kaminski, A. Lindemann, L. Lorenz, L. Schindele and P. Ward, "Next generation power electronics based on wide band gap devices - Challenges and opportunities for Europe," ECPE - European Center for Power Electronics, Tech. Rep., 2016.
- [166] P. Godignon, X. Jorda, M. Vellvehi, X. Perpina, V. Banu, D. Lopez, J. Barbero, P. Brosselard, and S. Massetti, "SiC Schottky diodes for harsh environment space applications," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 7, pp. 2582–2590, 2011.
- [167] Z. Dong, X. Wu, and K. Sheng, "Suppressing methods of parasitic capacitance caused interference in a SiC MOSFET integrated power module," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 2, pp. 745–752, 2019.
- [168] A. Dutta and S. S. Ang, "Electromagnetic interference simulations for wide band gap power electronic modules," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 4, no. 3, pp. 757–766, 2016.
- [169] D. Han, S. Li, Y. Wu, W. Choi, and B. Sarlioglu, "Comparative analysis on conducted CM EMI emission of motor drives: WBG versus Si devices," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8353–8363, 2017.
- [170] F. Zare, D. Kumar, M. Lungeanu, and A. Andreas, "Electromagnetic interference issues of power, electronics systems with wide band gap semiconductor devices," in *Proc. of the International Semiconductor Conference (CAS)*, 2015, pp. 5946–5951.
- [171] X. Yuan, "Application of silicon carbide (SiC) power devices: Opportunities, challenges and potential solutions," in *Proc. of the International Semiconductor Conference (CAS)*, 2017, pp. 893–900.
- [172] Y. Shi, Y. Zhang, L. Wang, and H. Li, "Reduction of EMI noise due to nonideal interleaving in a 100 kW SiC PV converter," *IEEE Transactions on Power Electronics*, vol. 34, no. 1, pp. 13–19, 2019.
- [173] Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, and D. Costinett, "Un-

- derstanding the limitations and impact factors of wide band gap devices' high switching-speed capability in a voltage source converter," in *Proc. of the International Semiconductor Conference (CAS)*, 2014, pp. 7–12.
- [174] X. She, A. Q. Huang, O. Lucía, and B. Ozpineci, "Review of silicon carbide power devices and their applications," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8193–8205, 2017.
- [175] L. Min-Sub, L. Jun-Ho, J. Bum-Seung, L. Jun-Bae, C. Dae-Woong, and W. Frank, "New intelligent power module with silicon carbide diode," in *Proc. of the International Conference on Power Electronics (ICPE-ECCE)*, 2011, pp. 1083–1086.
- [176] J. Millán, "A review of WBG power semiconductor devices," in *Proc. of the International Semiconductor Conference (CAS)*, 2012, pp. 57–66.
- [177] H. A. Mantooth, K. Peng, E. Santi, and J. L. Hudgins, "Modeling of wide band gap power semiconductor devices - Part I," *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 423–433, 2015.
- [178] P. Brosselard, X. Jorda, M. Vellvehi, A. Pérez-Tomás, P. Godignon, and J. Millan, "1.2 kV rectifiers thermal behaviour: Comparison between Si PiN, 4H-SiC Schottky and JBS diodes," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2007, pp. 1–9.
- [179] E. Santi, K. Peng, H. A. Mantooth, and J. L. Hudgins, "Modeling of wide band gap power semiconductor devices - Part II," *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 434–442, 2015.
- [180] M. Ostling, R. Ghandi, and C. M. Zetterling, "SiC power devices - present status, applications and future perspective," in *Proc. of the Power Semiconductor Devices and ICs (ISPSD)*, 2011, pp. 10–15.
- [181] R. Green, A. Lelis, and D. Habersat, "Threshold-voltage bias-temperature instability in commercially-available SiC MOSFETs," *Japanese Journal of Applied Physics*, vol. 55, no. 4, pp. 1–8, 2016.
- [182] P. Friedrichs and R. Rupp, "Silicon carbide power devices - Current developments and potential applications," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2005, pp. 11–22.
- [183] T. Nakamura and Y. Nakano and M. Aketa and R. Nakamura and S. Mitani and H. Sakairi and Y. Yokotsuji, "High performance SiC trench

- devices with ultra-low R_{on} ,” in *Proc. of the International Electron Devices Meeting (IEDM)*, 2011, pp. 1–3.
- [184] V. Soler, M. Cabello, M. Berthou, J. Montserrat, J. Rebollo, P. Godignon, A. Mihaila, M. R. Rogina, A. Rodríguez, and J. Sebastián, “High-voltage 4H-SiC power MOSFETs with Boron-doped gate oxide,” *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 8962–8970, 2017.
- [185] V. Pala, E. V. Brunt, S. H. Ryu, B. Hull, S. Allen, J. Palmour, and A. Hefner, “Physics of bipolar, unipolar and intermediate conduction modes in Silicon Carbide MOSFET body diodes,” in *Proc. of the Power Semiconductor Devices and ICs (ISPSD)*, 2016, pp. 227–230.
- [186] S. Ryu, C. Capell, C. Jonas, L. Cheng, M. O’Loughlin, A. Burk, A. Agarwal, J. Palmour, and A. Hefner, in *Proc. of the Power Semiconductor Devices and ICs (ISPSD)*.
- [187] H. Mirzaee, A. De, A. Tripathi, and S. Bhattacharya, “Design comparison of high-power medium-voltage converters based on a 6.5-kV Si-IGBT/Si-PiN diode, a 6.5-kV Si-IGBT/SiC-JBS diode, and a 10-kV SiC-MOSFET/SiC-JBS diode,” *IEEE Transactions on Industry Applications*, vol. 50, no. 4, pp. 2728–2740, 2014.
- [188] J. Rabkowski, D. Peftitsis, and H. P. Nee, “Silicon carbide power transistors: A new era in power electronics is initiated,” *IEEE Industrial Electronics Magazine*, vol. 6, no. 2, pp. 17–26, 2012.
- [189] H. Yu, J. Lai, X. Li, Y. Luo, L. Fursin, J. H. Zhao, P. Alexandrov, B. Wright, and M. Weiner, “An IGBT and MOSFET gated SiC bipolar junction transistor,” in *Proc. of the IEEE Industry Applications Annual Meeting (IAS)*, 2002, pp. 2609–2613.
- [190] J. Fabre and P. Ladoux, “Parallel Connection of 1200-V/100-A SiC-MOSFET Half-Bridge Modules,” *IEEE Transactions on Industry Applications*, vol. 52, no. 2, pp. 1669–1676, 2016.
- [191] J. Colmenares, D. Peftitsis, J. Rabkowski, D.-P. Sadik, G. Tolstoy, and H.-P. Nee, “High-Efficiency 312-kVA Three-Phase Inverter Using Parallel Connection of Silicon Carbide MOSFET Power Modules,” *IEEE Transactions on Industry Applications*, vol. 51, no. 6, pp. 4664–4676, 2015.
- [192] Q. Xiao, Y. Yan, X. Wu, N. Ren, and K. Sheng, “A 10kV/200A SiC MOSFET module with series-parallel hybrid connection of 1200V/50A

- dies,” in *Proc. of the International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2015, pp. 349–352.
- [193] A. Guerrero-Guerrero, A. Ustariz-Farfan, H. Tacca, and E. Cano-Plata, “High Voltage Switch with MOSFET Series/Parallel Connection,” in *Proc. of the IEEE ANDESCON*, 2018, pp. 1–6.
- [194] J. Donlon, E. Motto, M. Kato, M. Shiramizu, and T. Tanaka, “New high efficiency transfer mold module with parallel IGBT and Super Junction MOSFET,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2015, pp. 2464–2468.
- [195] Y. He and D. Xu, “Novel three-phase DC-AC series parallel resonant IGBT converter,” *Journal of Northwestern Polytechnical University*, vol. 18, no. 3, pp. 421–424, 2000.
- [196] I. Hofsjager, A. Melkonyan, M. Mantel, S. Round, and J. Kolar, “A simple, low cost gate drive method for practical use of SiC JFETs in SMPS,” in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2005.
- [197] L. Shu, J. Zhang, F. Peng, and Z. Chen, “Active Current Source IGBT Gate Drive with Closed-Loop di/dt and dv/dt Control,” *IEEE Transactions on Power Electronics*, vol. 32, no. 5, pp. 3787–3796, 2017.
- [198] M. Li, Y. Wang, X. Fang, L. Zhang, and Z. Wang, “Active gate control for high power IGBTs with separated gains,” in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2010, pp. 197–200.
- [199] C. Xu, Q. Ma, P. Xu, T. Cui, and P. Zhang, “An Improved Active Gate Drive Method for SiC MOSFET Better Switching Performance,” in *Proc. of the IEEE Advanced Information Technology, Electronic and Automation Control Conference (IAEAC)*, 2018, pp. 1114–1119.
- [200] T. Cui, Q. Ma, P. Xu, and Y. Wang, “Analysis and Optimization of Power MOSFETs Shaped Switching Transients for Reduced EMI Generation,” *IEEE Access*, vol. 5, pp. 20 440–20 448, 2017.
- [201] H. Ghorbani, V. Caselles, A. Camacho, and J. Martinez, “Embedding a feedforward controller into the IGBT gate driver for turn-on transient improvement,” *Microelectronics Reliability*, vol. 80, pp. 230–240, 2018.

- [202] K. Yamaguchi, J. Magome, and Y. Sasaki, “Fast and Low Loss Gate Driver for SiC-MOSFET,” *Electronics and Communications in Japan*, vol. 99, no. 10, pp. 13–23, 2016.
- [203] S. K. Biswas, B. Basak, and K. S. Rajashekara, “Gate drive methods for IGBTs in bridge configurations,” in *Proc. of the IEEE Industry Applications Annual Meeting (IAS)*, 1994, pp. 1310–1316.
- [204] K. Kim, H.-W. Kim, K. Lee, and J. Park, “Gate Driver for SiC Power MOSFETs Using Soft-Switching Technique,” *Journal of Electrical Engineering and Technology*, vol. 14, pp. 1311–1319, 2019.
- [205] P. Anthony, N. McNeill, and D. Holliday, “High-speed resonant gate driver with controlled peak gate voltage for silicon carbide MOSFETs,” *IEEE Transactions on Industry Applications*, vol. 50, no. 1, pp. 573–583, 2014.
- [206] F. Bertling and S. Soter, “Increasing efficiency of an DSP-controlled converter by on-the-fly changing of the gate drive method,” in *Proc. of the International Conference on Power Electronics and Drive Systems (PEDS)*, vol. 1, 2005, pp. 448–451.
- [207] K. Tan, T. Xie, Z. Wang, B. Ji, and P. Lefley, “Investigation of optimal IGBT switching behaviours under advanced gate control,” in *Proc. of the IEEE International Future Energy Electronics Conference (IFEEC)*, 2017, pp. 1771–1776.
- [208] K. Tan, Y. Fu, Z. Wang, B. Ji, and P. Lefley, “Optimal switching performance of IGBT using active gate drive for PWM converters,” in *Proc. of the International Conference for Students on Applied Engineering (ICSAE)*, 2017, pp. 362–367.
- [209] P. Palmer, J. Zhang, and X. Zhang, “SiC MOSFETs connected in series with active voltage control,” in *Proc. of the IEEE Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2015, pp. 60–65.
- [210] G. Belverde, A. Galluzzo, M. Melito, S. Musumeci, and A. Raciti, “On the series connection of insulated gate power devices,” in *Proc. of the IEEE International Caracas Conference on Devices, Circuits and Systems*, 2000, pp. 1–6.
- [211] A. F. Guerrero-Guerrero, A. J. Ustariz-Farfan, and E. A. Cano-Plata, “Snubberless balancement in MOSFET stacks by signals gate synchronization with passive components,” in *Proc. of the IEEE Workshop on*

- Power Electronics and Power Quality Applications (PEPQA)*, 2015, pp. 1–5.
- [212] D. Pefitsis, R. Baburske, J. Rabkowski, J. Lutz, G. Tolstoy, and H.-P. Nee, “Challenges regarding parallel connection of SiC JFETs,” *IEEE Transactions on Power Electronics*, vol. 28, no. 3, pp. 1449–1463, 2013.
- [213] R. Horff, T. Bertelshofer, A. Maerz, and M. Bakran, “Current Measurement and Gate-Resistance Mismatch in Paralleled Phases of High Power SiC MOSFET Modules,” in *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, 2016, pp. 1–8.
- [214] G. Wang, J. Mookken, J. Rice, and M. Schupbach, “Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2014, pp. 1478–1483.
- [215] A. Raciti, M. Melito, M. Nania, and G. Montoro, “Effects of the Device Parameters and Circuit Mismatches on the Static and Dynamic Behavior of Parallel Connections of Silicon Carbide MOSFETs,” in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, 2018, pp. 1846–1852.
- [216] Q. Haihong, Z. Ying, Z. Ziyue, W. Dan, F. Dafeng, W. Shishan, and Z. Chaohui, “Influences of circuit mismatch on paralleling silicon carbide MOSFETs,” in *Proc. of the IEEE Conference on Industrial Electronics and Applications (ICIEA)*, 2017, pp. 556–561.
- [217] H. Li, S. Munk-Nielsen, X. Wang, R. Maheshwari, S. Beczkowski, C. Uhrenfeldt, and W. Franke, “Influences of Device and Circuit Mismatches on Paralleling Silicon Carbide MOSFETs,” *IEEE Transactions on Power Electronics*, vol. 31, no. 1, pp. 621–634, 2016.
- [218] T. Funaki, “A study on the self turn-on phenomenon of power MOSFET induced by the turn-off operation of body diodes,” *IEICE Electronics Express*, vol. 11, no. 13, pp. 1–13, 2014.
- [219] W. Zhang, Z. Zhang, F. Wang, D. Costinett, L. Tolbert, and B. Blalock, “Common source inductance introduced self-turn-on in MOSFET turn-off transient,” in *Proc. of the IEEE Applied Power Electronics Conference (APEC)*, 2017, pp. 837–842.
- [220] D. Dalal, N. Christensen, A. Jorgensen, S. Sonderskov, S. Beczkowski,

- C. Uhrenfeldt, and S. Munk-Nielsen, "Gate driver with high common mode rejection and self turn-on mitigation for a 10 kV SiC MOSFET enabled MV converter," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2017, pp. 1–10.
- [221] K. Murata, K. Harada, and T. Harimoto, "Self turn-on loss of MOSFET as synchronous rectifier in DC/DC buck converter - in case of a low driving impedance," in *Proc. of the IEEE Annual Power Electronics Specialists Conference (PESC)*, 2008, pp. 3348–3353.
- [222] M. Kamon, M. J. Tsuk, and J. White, "FastHenry: A Multipole-Accelerated 3-D Inductance Extraction Program," in *Proc. of the IEEE Design Automation Conference (ACM)*, 1993, pp. 678–683.
- [223] J. Biela, M. Schweizer, S. Waffler, and J. W. Kolar, "SiC versus Si," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 7, pp. 2872–2882, 2011.
- [224] J. Millan, P. Godignon, X. Perpi, A. Perez-Tomas, and J. Rebollo, "A survey of wide bandgap power semiconductor devices," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2155–2163, 2014.
- [225] D. Han, S. Li, Y. Wu, W. Choi, and B. Sarlioglu, "Comparative Analysis on Conducted CM EMI Emission of Motor Drives: WBG Versus Si Devices," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 8353–8363, 2017.
- [226] T. Zhao, J. Wang, A. Q. Huang, and A. Agarwal, "Comparisons of SiC MOSFET and Si IGBT Based Motor Drive Systems," in *Proc. of the IEEE Industry Applications Annual Meeting (IAS)*, 2007, pp. 331–335.
- [227] M. Chinthavali, P. Otaduy, and B. Ozpineci, "Comparison of Si and SiC inverters for IPM traction drive," in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, 2010, pp. 3360–3365.
- [228] J. Biela, M. Schweizer, S. Waffler, and J. Kolar, "SiC versus Si - Evaluation of potentials for performance improvement of inverter and DCDC converter systems by SiC power semiconductors," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 7, pp. 2872–2882, 2011.
- [229] C. Wilhelm, J. Thoma, and D. Derix, "Analysis of power losses of a grid connected PV inverter with Si- and SiC-transistors for generation of reactive power," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2013, pp. 1–9.

- [230] T. Kim, M. Jang, and V. Agelidis, "Experimental performance evaluation of SiC BJT and Si MOSFET for 1.2 kW 300 kHz boost converter as a solar PV pre-regulator," in *Proc. of the IEEE International Conference on Industrial Technology (ICIT)*, 2014, pp. 284–288.
- [231] S. Hazra, A. De, S. Bhattacharya, L. Cheng, J. Palmour, M. Schupbach, B. Hull, and S. Allen, "High switching performance of 1.7kV, 50A SiC power MOSFET over Si IGBT for advanced power conversion applications," in *Proc. of the International Power Electronics Conference (IPEC-ECCE)*, 2014, pp. 3447–3454.
- [232] M. Swamy, J.-K. Kang, and K. Shirabe, "Power loss, system efficiency, and leakage current comparison between Si IGBT VFD and SiC FET VFD with various filtering options," in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, 2014, pp. 5828–5835.
- [233] J. Jordan, V. Esteve, E. Sanchis-Kilders, E. Dede, E. Maset, J. Ejea, and A. Ferreres, "A comparative performance study of a 1200 V Si and SiC MOSFET intrinsic diode on an induction heating inverter," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2550–2562, 2014.
- [234] N. Apruzzese, J. and Maset, E. and Busquets-Monge, S. and Esteve, V. and Bordonau, J. and Calle-Prado, A. and Jordan, J., "Efficiency comparison between SiC- and Si-based active neutral-point clamped converters," in *Proc. of the IEEE International Conference on Industrial Technology (ICIT)*, 2015, pp. 3058–3063.
- [235] J. Rabkowski and T. Platek, "Comparison of the power losses in 1700V Si IGBT and SiC MOSFET modules including reverse conduction," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2015, pp. 1–10.
- [236] T. Bertelshofer, R. Horff, A. Maerz, A.rz, and M.-M. Bakran, "A performance comparison of a 650 V Si IGBT and SiC MOSFET inverter under automotive conditions," in *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, 2016, pp. 653–660.
- [237] Y. Ando, T. Oku, M. Yasuda, Y. Shirahata, K. Ushijima, and M. Murozono, "Comparative study of SiC- and Si-based photovoltaic inverters," in *Proc. of the American Institute of Physics Conference (AIP)*, 2017, pp. 1–9.

- [238] S. Alharbi, S. Alharbi, A. Al-Bayati, and M. Matin, "A comparative performance evaluation of Si IGBT, SiC JFET, and SiC MOSFET power devices for a non-isolated DC-DC boost converter," in *Proc. of the North American Power Symposium (NAPS)*, 2017, pp. 1–6.
- [239] G.-J. Su, "Comparison of Si, SiC, and GaN based Isolation Converters for Onboard Charger Applications," in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, 2018, pp. 1233–1239.
- [240] M. Rahman, P. Niknejad, and M. Barzegaran, "Comparing the performance of Si IGBT and SiC MOSFET switches in modular multilevel converters for medium voltage PMSM speed control," in *Proc. of the IEEE Texas Power and Energy Conference (TPEC)*, 2018, pp. 1–6.
- [241] T. Kestler, V. Damec, and M.-M. Bakran, "Differences in Dimensioning SiC MOSFETs and Si IGBTs for Traction Inverters," in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2018.
- [242] A. Kempitiya and W. Chou, "An electro-thermal performance analysis of SiC MOSFET vs Si IGBT and diode automotive traction inverters under various drive cycles," in *Proc. of the Semiconductor Thermal Measurement and Management Symposium (SEMI-THERM)*, 2018, pp. 213–217.
- [243] M. Kasprzak and K. Przybyla, "Comparison of 300 kHz Class D-ZVS inverters for induction heating with MOSFET transistors based on Si and SiC," *Przegląd Elektrotechniczny*, vol. 94, no. 3, pp. 60–64, 2018.
- [244] L. Zhang, X. Yuan, X. Wu, C. Shi, J. Zhang, and Y. Zhang, "Performance Evaluation of High-Power SiC MOSFET Modules in Comparison to Si IGBT Modules," *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1181–1196, 2019.
- [245] A. Lemmon, M. Mazzola, J. Gafford, and C. Parker, "Stability considerations for silicon carbide field-effect transistors," *IEEE Transactions on Power Electronics*, vol. 28, no. 10, pp. 4453–4459, 2013.
- [246] J. Rabkowski and D. Pefitsis and H. Nee, "Silicon carbide power transistors: A new era in power electronics is initiated," *IEEE Industrial Electronics Magazine*, vol. 6, no. 2, pp. 17–26, 2012.
- [247] J. Wang and H. S.-H. Chung, "Impact of parasitic elements on the spurious

- triggering pulse in synchronous buck converter,” *IEEE Transactions on Power Electronics*, vol. 29, no. 12, pp. 6672–6685, 2014.
- [248] A. Lemmon, M. Mazzola, J. Gafford, and C. Parker, “Gate-Drive Considerations for Silicon Carbide FET-Based Half-Bridge Circuits,” *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, pp. 311–318, 2013.
- [249] T. Yanagi, H. Otake, K. Nakahara, and T. Hikiyara, “Self-sustained oscillation in half bridge circuit of silicon carbide devices with inductive load,” in *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, 2015, pp. 876–879.
- [250] H. Li and S. Munk-Nielsen, “Challenges in switching SiC MOSFET without ringing,” in *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, 2014, pp. 1–6.
- [251] X. Wang, Z. Zhao, Y. Zhu, K. Chen, and L. Yuan, “A comprehensive study on the gate-loop stability of the SiC MOSFET,” in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 3012–3018.
- [252] A. Lemmon, M. Mazzola, J. Gafford, and C. Parker, “Instability in half-bridge circuits switched with wide band-gap transistors,” *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2380–2392, 2014.
- [253] J. Wang, Z. Li, X. Jiang, C. Zeng, and Z. Shen, “Gate Control Optimization of Si/SiC Hybrid Switch for Junction Temperature Balance and Power Loss Reduction,” *IEEE Transactions on Power Electronics*, vol. 34, no. 2, pp. 1744–1754, 2019.
- [254] S. Horie, “Analysis of gate voltage oscillation in a module with combination of Si-IGBT and SiC Schottky Diodes,” in *Proc. of the European Conference on Power Electronics and Applications (EPE-ECCE)*, 2018, pp. 1–5.
- [255] P. Krzysztof, “Verification of power losses in the gate circuit in selected MOSFET transistors based on Si and SiC,” *Przegląd Elektrotechniczny*, vol. 94, no. 1, pp. 129–132, 2018.
- [256] S. Yin, K. Tseng, R. Simanjorang, and P. Tu, “Experimental Comparison of High-Speed Gate Driver Design for 1.2-kV/120-A Si IGBT and SiC MOSFET Modules,” *IET Power Electronics*, vol. 10, pp. 979–986, 2017.

- [257] K. Saito, T. Miyoshi, D. Kawase, S. Hayakawa, T. Masuda, and Y. Sasajima, "Suppression of self-excited oscillation for common package of Si-IGBT and SiC-MOS," in *Proc. of the International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2017, pp. 427–430.
- [258] S. Frankeser, H. Muhsen, and J. Lutz, "Comparison of drivers for SiC-BJT, Si-IGBTs and SiCMOSFETs," in *Proc. of the International Exhibition and Conference for Power Electronics (PCIM)*, 2015.
- [259] Sivkov, O. and Novak, M. and Novak, J., "Comparison between Si IGBT and SiC MOSFET Inverters for AC Motor Drive," in *Proc. of the International Conference on Mechatronics*, 2019.
- [260] K. Wang, X. Yang, L. Wang, and P. Jain, "Instability Analysis and Oscillation Suppression of Enhancement-Mode GaN Devices in Half-Bridge Circuits," *IEEE Transactions on Power Electronics*, vol. 33, no. 2, pp. 1585–1596, 2018.
- [261] P. Xue, L. Maresca, M. Riccio, G. Breglio, and A. Irace, "Investigation on the Self-Sustained Oscillation of Superjunction MOSFET Intrinsic Diode," *IEEE Transactions on Electron Devices*, vol. 66, no. 1, pp. 605–612, 2019.
- [262] S. Hazra, S. Madhusoodhanan, G. K. Moghaddam, K. Hatua, and S. Bhattacharya, "Design Considerations and Performance Evaluation of 1200-V 100-A SiC MOSFET-Based Two-Level Voltage Source Converter," *IEEE Transactions on Industry Applications*, vol. 52, no. 5, pp. 4257–4268, 2016.
- [263] W. Choi, D. Son, M. Hallenberger, and S. Young, "Driving and Layout Requirements for Fast Switching MOSFETs," *Fairchild Semiconductor Power Seminar*, 2010.
- [264] F. Zhao, Y. Li, Q. Tang, and L. Wang, "Analysis of oscillation in bridge structure based on GaN devices and ferrite bead suppression method," *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 391–398, 2017.
- [265] E. V. J. Hancock, F. Stueckler, "CoolMOS C7: Mastering the Art of Quickness," *Infineon Technologies*, vol. 1, no. 1, pp. 1–30, 2013.
- [266] A. Bagheri, H. Iman-Eini, and S. Farhangi, "A Gate Driver Circuit for Series-Connected IGBTs Based on Quasi-Active Gate Control," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 2, pp. 791–799, 2018.

- [267] H. C. P. Dymond, J. Wang, D. Liu, J. J. O. Dalton, N. McNeill, D. Pamunuwa, S. J. Hollis, and B. H. Stark, "A 6.7-GHz Active Gate Driver for GaN FETs to Combat Overshoot, Ringing, and EMI," *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 581–594, 2018.
- [268] P. Nayak and K. Hatua, "Active Gate Driving Technique for a 1200 V SiC MOSFET to Minimize Detrimental Effects of Parasitic Inductance in the Converter Layout," *IEEE Transactions on Industry Applications*, vol. 54, no. 2, pp. 1622–1633, 2018.
- [269] A. P. Camacho, V. Sala, H. Ghorbani, and J. L. R. Martinez, "A Novel Active Gate Driver for Improving SiC MOSFET Switching Trajectory," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 9032–9042, 2017.
- [270] X. Wu, H. Chen, J. Zhang, F. Peng, and Z. Qian, "Interleaved Phase-Shift Full-Bridge Converter With Transformer Winding Series-Parallel Autoregulated (SPAR) Current Doubler Rectifier," *IEEE Transactions on Power Electronics*, vol. 30, no. 9, pp. 4864–4873, 2015.
- [271] G. Li, J. Ruan, K. Wang, Y. Deng, X. He, and Y. Wang, "An Interleaved Three-Phase PWM Single-Stage Resonant Rectifier With High-Frequency Isolation," *IEEE Transactions on Industrial Electronics*, vol. 67, no. 8, pp. 6572–6582, 2020.
- [272] G. Li, J. Xia, K. Wang, Y. Deng, X. He, and Y. Wang, "A single-stage interleaved resonant bridgeless boost rectifier with high-frequency isolation," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 2, pp. 1767–1781, 2020.
- [273] M. H. Granza, R. Gules, and C. H. Illa Font, "Hybrid and Three-Level Three-Phase Rectifiers Using Interleaved DCM Boost Converters," *IEEE Access*, vol. 7, pp. 160 168–160 176, 2019.
- [274] T. Wang, C. Chen, P. Liu, T. Liu, Z. Chao, and S. Duan, "A hybrid space-vector modulation method for harmonics and current ripple reduction of interleaved vienna rectifier," *IEEE Transactions on Industrial Electronics*, vol. 67, no. 10, pp. 8088–8099, 2020.
- [275] Q. Wang, X. Zhang, R. Burgos, D. Boroyevich, A. M. White, and M. Kheraluwala, "Design and implementation of a two-channel interleaved vienna-type rectifier with 99% efficiency," *IEEE Transactions on Power Electronics*, vol. 33, no. 1, pp. 226–239, 2018.