

Reducción de la corriente por el condensador del bus de continua mediante modulación y entrelazado para máquinas asimétricas duales trifásicas

Ander DeMarcos , Adriano Navarro-Temoche , Asier Matallana , Endika Robles , Unai Ugalde 
 Universidad del País Vasco/Euskal Herriko Unibertsitatea (UPV/EHU)
 e-mail: ander.demarcosa@ehu.eus
 www.ehu.eus/es/web/apert

Abstract—El condensador del bus de continua (bus d.c.) desempeña un papel fundamental en lo que respecta a la densidad de potencia y la fiabilidad del inversor. Los accionamientos de máquinas asimétricas duales trifásicas (*asymmetrical dual three-phase*, ADTP) están ganando relevancia en el sector del vehículo eléctrico. Este trabajo aborda la reducción del impacto que tienen la familia de técnicas PWM de inyección de doble secuencia cero (*double zero-sequence injection*, DZSI), ampliamente utilizadas, sobre un componente tan voluminoso y propenso a fallos como es el condensador del bus d.c., en una disposición ADTP mediante técnicas de entrelazado (*interleaving*). Utilizando el formalismo de la transformada doble de Fourier, se han obtenido los espectros de corriente de entrada de estas técnicas PWM y su valor eficaz. Las simulaciones han demostrado que un entrelazado adecuado reduce significativamente el valor de esta corriente eficaz en comparación con el funcionamiento convencional sin entrelazado que alcanzan hasta un 84 %. Esto mejorará la fiabilidad y reducirá el tamaño de los condensadores del bus d.c. de los futuros vehículos eléctricos.

Index Terms—Multifase, condensador del bus d.c., corriente espectral del de continua, DZSI-PWM, modulación PWM.

I. INTRODUCCIÓN

Los vehículos eléctricos están experimentando un enorme cambio mediante la introducción de semiconductores WBG, motores sin dependencia de tierras raras y nuevas arquitecturas de convertidores. Los fabricantes de automóviles y programas internacionales como Horizon Europe, USCAR, DOE y UN ESCAP se centran en mejorar la potencia específica (kW/kg), la densidad de potencia (kW/ℓ), la eficiencia (%) y el coste (\$/kW) [1]. En este contexto, los sistemas de propulsión multifásicos ofrecen varias ventajas a un coste asequible en comparación con los sistemas trifásicos clásicos. Entre esas ventajas figuran: el reparto de potencia entre fases, la reducción del rizado de par, la mejora de la densidad de par, menor rizado de corriente en el bus d.c. y funcionamiento tolerante a fallos [2], [3].

Con el fin de beneficiarse de las mencionadas ventajas de los sistemas multifásicos, la literatura científica reciente muestra que la topología trifásica dual es una de las soluciones multifásicas más extendidas [4]. Estas configuraciones son las más interesantes, pues (i) representan un buen compromiso entre rendimiento y complejidad; (ii) posibilitan una fácil migración desde tecnologías trifásicas ya que se pueden usar dos inversores fuente de tensión (*voltage source inverter*, VSI) trifásicos genéricos para alimentar ambos conjuntos de devanados trifásicos de forma independiente; y (iii) exhiben

un buen comportamiento en términos de tolerancia a fallos (circuito abierto y cortocircuito, así como en la alimentación d.c.) [4]. En general, 0°, 30° y 60° son los desfases preferidos entre los dos conjuntos trifásicos. Sin embargo, el de 30°, que comúnmente se denomina como máquina asimétrica de seis fases o asimétrica dual trifásica (*assymetrical dual three-phase*, ADTP, Fig. 1), proporciona una mayor densidad de par y un menor rizado que las demás, ya que elimina el sexto armónico mediante la sincronización de los dos conjuntos de devanados [5].

Las técnicas basadas en portadora (*carrier-based PWM*, CB-PWM) aplicadas en un inversor ADTP se conocen comúnmente como técnicas PWM de doble inyección de secuencia cero (*double zero-sequence injection*, DZSI) porque implican inyectar dos componentes de secuencia homopolar (v_{0s}) iguales pero desfasadas el ángulo de decalaje entre cada conjunto trifásico que componen el ADTP [6]. Pueden clasificarse como continuas o discontinuas [7]. La PWM sinusoidal (*sinusoidal PWM*, SPWM), la PWM de inyección de tercer armónico (*third harmonic injection PWM*, THI-PWM) y el método MINMAX-PWM (a veces también denominado PWM vectorial simétrica) se conocen como modulaciones continuas (C-PWM). En todas estas técnicas, todas las ramas del inversor conmutan continuamente. Por otro lado, D-PWMMIN, D-PWMMAX, D-PWM0, D-PWM1, D-PWM2 y D-PWM3 se conocen como técnicas PWM discontinuas (D-PWM), ya que que una rama no conmuta mientras que su señal moduladora está enclavada a ± 1 , Fig. 2. De este modo, las pérdidas de conmutación en los dispositivos semiconductores del inversor se reducen ya que sólo dos de las tres ramas conmutan en un mismo instante. La Fig. 2 muestra cómo se implementan estas técnicas CB-PWM trifásicas, donde $v^* = M \cos(\theta_1)$ es la señal moduladora, v_{0s} es la componente homopolar inyectada, $v^{**} = v^* + v_{0s}$ es la señal moduladora modificada, θ_1 es la posición angular de la señal moduladora y el índice de modulación (M) se define como $M = \hat{V}_1 / (0.5 \cdot V_{DC})$ [7], donde \hat{V}_1 es el valor de pico de la tensión fase-neutro y V_{DC} es la tensión en el bus d.c..

A nivel de hardware, el condensador (C_{DC} , Fig. 1) es un elemento clave del VSI. Este condensador se encarga de reducir el rizado de tensión de baja frecuencia a la entrada del convertidor, así como de almacenar la energía necesaria para permitir un equilibrio de potencia instantáneo entre la entrada y la salida del convertidor. Debe proporcionar una vía de baja impedancia para las corrientes de alta frecuencia con el fin de

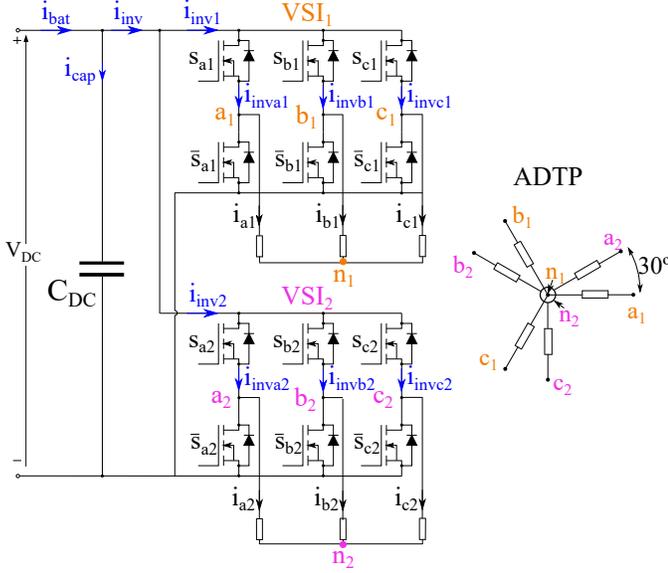


Fig. 1: Máquina ADTP con dos VSIs trifásicos en paralelo.

desacoplar y reducir el rizado de la corriente proveniente de la batería. Y lo que es más importante, en las aplicaciones de tracción, el condensador es un componente caro y voluminoso, ya que representa hasta el 40 % del volumen total del VSI [8]–[11]. Además, los condensadores también se consideran uno de los elementos más críticos de la electrónica de potencia, ya que están directamente relacionados con el 30 % del número total de fallos de los VSIs [12]–[14]. Por este motivo, la fiabilidad de estos componentes reactivos se ha analizado en profundidad durante los últimos años [15], [16].

Dado que el condensador es un componente crítico, se están realizando importantes esfuerzos para mejorar su dimensionamiento. Algunos trabajos proponen minimizar la corriente del condensador mediante la sincronización de inversores monofásicos [17], [18] o inversores trifásicos [19], [20]. Generalmente, los trabajos que tratan el entrelazado (*interleaving*) en los ADTP [21]–[24] son escasos y con poco desarrollo analítico. Por esa razón, en este trabajo se decide profundizar en el efecto del ángulo de entrelazado sobre la cancelación de ciertos armónicos de la corriente por el bus d.c. y la minimización de su valor eficaz en una disposición ADTP.

II. CORRIENTE EN EL CONDENSADOR DEL BUS D.C. PARA MAQUINAS DUAL THREE-PHASE ASIMÉTRICAS

A la hora de seleccionar un condensador adecuado para el bus d.c., el valor eficaz del rizado de corriente desempeña un papel fundamental. Esta variable depende del espectro de corriente por el condensador (i_{cap} , Fig. 1), que a su vez depende de la corriente de entrada al inversor (i_{inv} , Fig. 1).

A. Espectro de corriente de entrada para un inversor ADTP

El desarrollo de la doble serie de Fourier caracteriza una función doble periódica en el dominio de la frecuencia [25]. Tal es el caso de una forma de onda PWM genérica $g[x(t), y(t)]$, donde $x(t) = 2\pi f_{sw}t$ y $y(t) = 2\pi f_1t = \theta_1$ son dos variables temporales independientes, f_{sw} es la

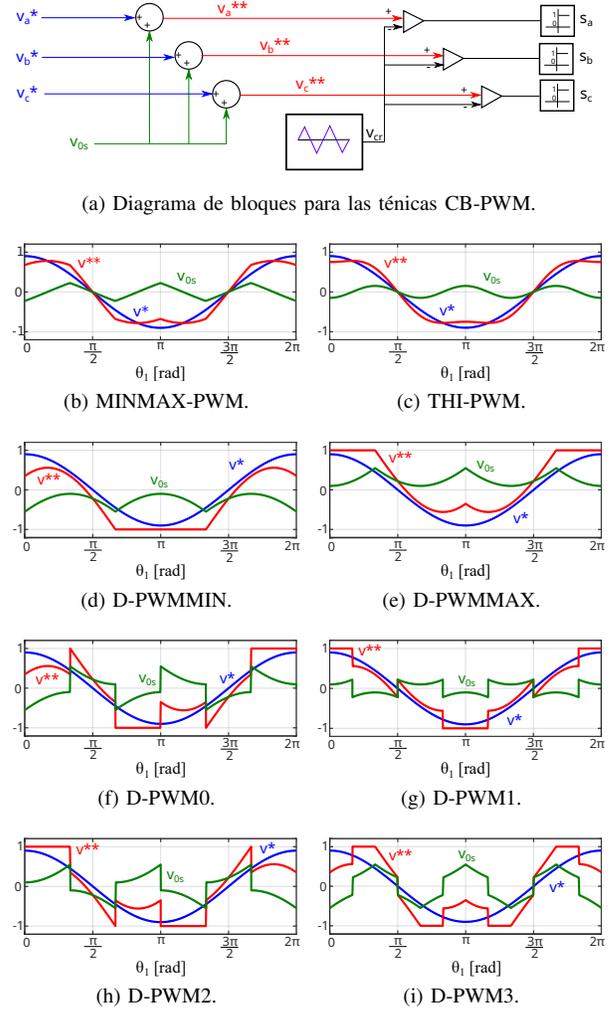


Fig. 2: Diagrama de bloques de las técnicas CB-PWM junto con sus tensiones de referencia y señales de secuencia cero.

frecuencia portadora y $f_1 < f_{sw}$ es la frecuencia de la fundamental. Así

$$\begin{aligned}
 g(x, y) = & \underbrace{\frac{A_{00}}{2}}_{\text{Valor DC}} + \underbrace{\sum_{n=1}^{\infty} [A_{0n} \cos ny + B_{0n} \sin ny]}_{\text{Fundamental, y armónicos de banda base}} \\
 & + \underbrace{\sum_{m=1}^{\infty} [A_{m0} \cos mx + B_{m0} \sin mx]}_{\text{Armónicos de portadora}} \\
 & + \underbrace{\sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} [A_{mn} \cos (mx + ny) + B_{mn} \sin (mx + ny)]}_{\text{Armónicos de bandas laterales}},
 \end{aligned} \quad (1)$$

donde los coeficientes A_{mn} y B_{mn} pueden agruparse en un coeficiente complejo

$$C_{mn} = A_{mn} + jB_{mn} = \frac{1}{2\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} g(x, y) e^{j(mx+ny)} dx dy. \quad (2)$$

De esta forma, $|C_{mn}| = \sqrt{A_{mn}^2 + B_{mn}^2}$ representa la magnitud de cada armónico, que emergen a valores de frecuencia

$f_h = m f_{sw} + n f_1$, también indicado en este trabajo como (m, n) , donde m es el índice asociado al múltiplos de la frecuencia de la portadora y n es el índice relacionado con los armónicos de banda base.

A partir de (1)-(2) pueden obtenerse los valores de C_{mn} correspondientes al caso de la corriente a través de una rama del VSI (i.e. i_{inva1} , Fig. 1) [26], [27]. Para ello, suponiendo que $f_{sw} \gg f_1$, que $g(x, y)$ son pulsos rectangulares y que la corriente de fase de salida $i_a = \hat{I}_{out} \cos(y - \phi)$, se obtiene

$$C_{mn}^{i_{inv1a}} = \frac{\hat{I}_{out}}{2\pi^2} \int_0^{2\pi} \left(\int_{-\frac{\pi}{2}[1+v^{**}(y)]}^{\frac{\pi}{2}[1+v^{**}(y)]} \cos(y - \phi) \cdot e^{j(mx+ny)} dx \right) dy. \quad (3)$$

La ecuación (3) muestra que los coeficientes de Fourier, y por tanto, el espectro de corriente de i_{inva1} , dependen del ángulo de desfase de la carga ϕ , y a través de $v^{**}(y)$ en los límites de la integral, de la técnica PWM seleccionada y del índice de modulación (M).

Debido al desfase de $2\pi/3$ rad $4\pi/3$ rad que tienen las ramas 'b1' y 'c1' respecto a 'a1', y dado que $i_{inv1} = i_{inva1} + i_{invb1} + i_{invc1}$, se obtiene

$$\begin{aligned} C_{mn}^{i_{inv1}} &= C_{mn}^{i_{inv1a}} \cdot \left[1 + e^{jn\frac{2\pi}{3}} + e^{jn\frac{4\pi}{3}} \right] \\ &= C_{mn}^{i_{inv1a}} \cdot \left[1 + 2 \cos \left(n \frac{2\pi}{3} \right) \right]; \end{aligned} \quad (4)$$

donde, debido al término entre corchetes, se puede deducir que $C_{mn}^{i_{inv1}} = 0$ para todos los valores de n excepto para 0 y múltiplos de 3. Esto significa que, a diferencia de lo que ocurre en las corrientes de fase de salida un VSI trifásico convencional, donde los armónicos múltiplos de 3 se anulan entre sí, en la entrada ocurre lo contrario. Es decir, en la entrada del convertidor sólo existen armónicos de alta frecuencia múltiplos de la frecuencia de la portadora ($n = 0$) o en sus bandas laterales múltiplos de 3 veces la fundamental ($n = \pm 3, \pm 6, \pm 9, \pm 12, \dots$), ya que las técnicas PWM eliminan todos los armónicos de banda base de bajo orden.

Por otro lado, el ADTP se compone de dos devanados trifásicos desplazados $\pi/6$ rad. Por lo tanto, los coeficientes de Fourier para los armónicos de corriente de entrada del segundo set trifásico del ADTP resultan

$$C_{mn}^{i_{inv2}} = C_{mn}^{i_{inv1a}} \cdot \left[1 + 2 \cos \left(n \frac{2\pi}{3} \right) \right] \cdot e^{jn\frac{\pi}{6}}, \quad (5)$$

donde $e^{jn\frac{\pi}{6}}$ corresponde al desplazamiento $\pi/6$ rad del segundo devanado con respecto al primero. De (4)-(5) se obtienen los coeficientes de Fourier de la corriente de entrada del ADTP

$$C_{mn}^{i_{inv}} = C_{mn}^{i_{inv1a}} \cdot \left[1 + 2 \cos \left(n \frac{2\pi}{3} \right) \right] \cdot \left[1 + e^{j(n\frac{\pi}{6})} \right]. \quad (6)$$

La diferencia entre los armónicos de corriente de entrada de un sistema trifásico (4) y un VSI propio de un ADTP (6) es el término $\left[1 + e^{j(n\frac{\pi}{6})} \right]$, se anula para $n = \pm 6, \pm 18, \pm 30$, etc.

Esto conlleva a la cancelación de algunos de los armónicos de alta frecuencia existentes en la entrada de un VSI trifásico.

La Fig. 3 muestra los espectros de corriente normalizados ($i_{inv,norm} = i_{inv}/\hat{I}_{out}$) del inversor ADTP para las técnicas DZSI-PWM mencionadas, además de la SPWM, en función de diferentes valores de M y para $\cos \phi = 1$, típico para maquinas síncronas de imanes permanentes. Estos espectros se han obtenido mediante los coeficientes de la doble serie de Fourier (C_{mn}) de (3) y (6). Así, para las modulaciones continuas, cabe observar:

- El armónico dominante está situado en (2, 0).
- SPWM presenta armónicos en bandas laterales de mayor amplitud en (1, ± 3) que MINMAX-PWM y THI-PWM. Estas dos últimas técnicas son bastante similares en todo el rango frecuencias y M .

En cuanto a las discontinuas:

- Todas las técnicas PWM discontinuas analizadas tienen un armónico significativo alrededor de f_{sw} ($m = 1$).
- D-PWM0, D-PWM1, D-PWM2 y D-PWM3 presentan una ancha gama de armónicos en banda laterales alrededor de $m = 1$. Los de mayor amplitud se sitúan en (1, ± 3) y (2, 0).
- D-PWMMAX y D-PWMMIN son equivalentes; los armónicos en bandas laterales alrededor de $m = 1$ no son tan relevantes; los de mayor amplitud se encuentran en los armónicos de portadora (1, 0) y (2, 0).

B. Corriente eficaz del condensador del bus d.c.

El peor escenario para el condensador del bus d.c. ocurre cuando todo el rizado de la corriente de entrada al ADTP procede del condensador ($i_{cap} = i_{inv,AC}$) y la batería sólo se encarga de suministrar la corriente media del inversor ($I_{bat} = I_{inv,avg}$) [19], [28], [29]. Considerando lo anterior, el valor eficaz de la corriente por el bus d.c. se puede calcular como

$$I_{cap,rms} = \sqrt{I_{inv,rms}^2 - I_{inv,avg}^2},$$

donde el valor eficaz de la corriente de entrada es

$$I_{inv,rms} = \sqrt{\sum_{n=0}^{\infty} \left(\frac{|C_{0n}^{i_{inv}}|}{\sqrt{2}} \right)^2 + \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \left(\frac{|C_{mn}^{i_{inv}}|}{\sqrt{2}} \right)^2},$$

y mediante el balance de potencias de la entrada y salida del inversor, se obtiene que el valor medio de la corriente de entrada del ADTP es

$$I_{inv,avg} = \frac{6}{4} M \hat{I}_{out} \cos \phi.$$

III. ENTRELAZADO EN ADTPS PARA REDUCIR LA CORRIENTE EN EL BUS D.C.

El valor eficaz de los pulsos de corriente rectangulares depende de la amplitud \hat{I}_{out} y de la raíz cuadrada del ciclo de trabajo ($I_{inv1,rms} = \sqrt{D} \cdot \hat{I}_{out}$).

La Fig. 4 muestra el concepto de entrelazado para pulsos rectangulares de corriente. Cuando no se aplica ningún entrelazado entre los dos inversores ($\zeta = 0$ rad, Fig. 4a), los

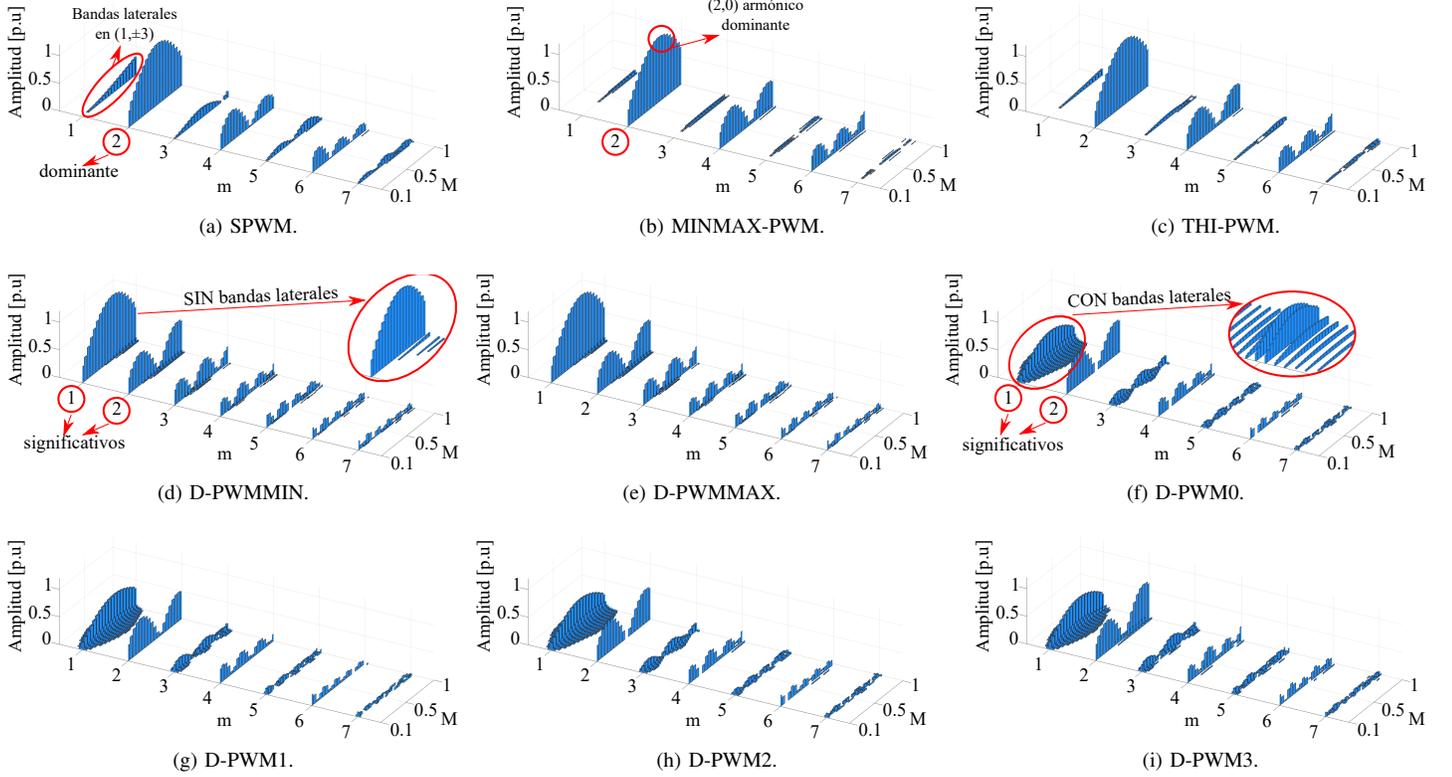


Fig. 3: Amplitudes normalizadas de los espectros de alta frecuencia de la corriente de entrada al VSI propio de un ADTP ($C_{mn}^{i_{inv}}$) en función del valor de M para las técnicas DZSI-PWM analizadas con $\cos \phi = 1$.

pulsos de corriente se solapan; lo que da lugar a que los pulsos de corriente resultantes dupliquen su amplitud y valor eficaz ($I_{inv,rms} = 2 \cdot \sqrt{D} \cdot \hat{I}_{out}$). Cuando el ángulo de entrelazado es lo suficientemente grande como para que no se solapen ($\zeta \geq D$, Fig. 4b), es como si se duplicara el ciclo de trabajo ($I_{inv,rms} = \sqrt{2} \cdot \sqrt{D} \cdot \hat{I}_{out}$). De esta forma, se consigue que el valor eficaz de los pulsos de corriente sea mínimo.

Teniendo en cuenta lo anterior, a continuación se analiza en profundidad la relación entre el entrelazado y los armónicos de corriente del bus d.c. para la disposición ADTP.

El concepto de entrelazado puede aplicarse al desarrollo de la doble serie de Fourier para una disposición ADTP: se le añade un desfase adicional a la corriente de entrada del VSI₂ (i_{inv2} , Fig. 1) con respecto a la corriente de entrada del VSI₁ (i_{inv1} , Fig. 1). Dado que $x(t)$ es la variable relacionada con el ángulo de la portadora, los coeficientes de Fourier para la rama 'a' del inversor consecutivo '2' ($C_{mn}^{i_{inv2a}}$) pueden calcularse tomando (3) y sustituyendo $m\alpha$ por $m(x + \zeta)$. Ésto también se puede representar como

$$C_{mn}^{i_{inv2a}} = C_{mn}^{i_{inv1a}} \cdot e^{jm\zeta}, \quad (7)$$

donde $e^{jm\zeta}$ corresponde al desplazamiento aplicado sobre la segunda portadora (v_{cr2} , Fig. 4) debido al entrelazado.

La introducción de este nuevo parámetro afecta a $C_{mn}^{i_{inv2}}$ de (5) y a $C_{mn}^{i_{inv}}$ de (6), dando lugar a

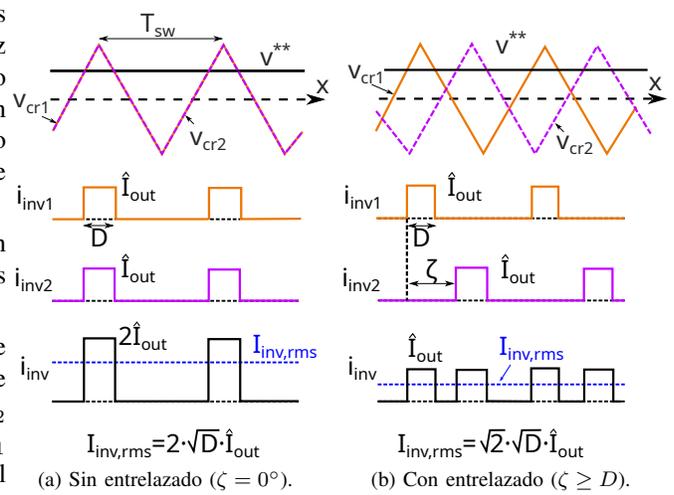


Fig. 4: Concepto de entrelazado en pulsos de corriente rectangulares.

$$C_{mn}^{i_{inv2}} = C_{mn}^{i_{inv1a}} \cdot \left[1 + 2 \cos \left(n \frac{2\pi}{3} \right) \right] \cdot e^{jn\frac{\pi}{6}} \cdot e^{jm\zeta},$$

$$C_{mn}^{i_{inv}} = C_{mn}^{i_{inv1a}} \cdot \left[1 + 2 \cos \left(n \frac{2\pi}{3} \right) \right] \cdot \left[1 + e^{j(n\frac{\pi}{6} + m\zeta)} \right]. \quad (8)$$

En (8) se puede observar que al anular el factor $\left[1 + e^{j(n\frac{\pi}{6} + m\zeta)} \right]$, se obtiene un ángulo de entrelazado ζ que

Tabla I: Armónicos (m, n) eliminados en función del ángulo de entrelazado (ζ) según (9).

	$k = 0$	$k = 1$	$k = 2$
$\zeta = \pi/2$ rad	(2,0)	(6,0)	(10,0)
	(1,3)	(5,3)	(9,3)
	(3,-3)	(7,-3)	(11,-3)
$\zeta = \pi$ rad	(1,0)	(3,0)	(5,0)
	(2,6)	(4,6)	(6,6)
	(2,-6)	(4,-6)	(6,-6)

cancela ciertos armónicos de la corriente de entrada

$$\zeta = \frac{(2k+1) \cdot \pi - n \frac{\pi}{6}}{m} \quad \forall k \in \mathbb{Z}^+. \quad (9)$$

En este sentido, y dado que el armónico dominante es el componente más importante a la hora de computar el valor eficaz del espectro de corriente a través del condensador del bus d.c., este valor de ζ debe eliminar este armónico dominante. Para ello, la Tabla I resume los ángulos de entrelazado más significativos y los armónicos que anulan: $\zeta = \pi/2$ rad elimina los armónicos (2, 0) y (1, 3), mientras que $\zeta = \pi$ rad elimina el armónico (1, 0). Como efecto colateral, a veces, otros armónicos pueden aumentar ligeramente su amplitud. Por lo tanto, el ángulo que elimina el armónico dominante de corriente de entrada y el que minimiza $I_{cap,rms}$ pueden ser diferentes.

Por esa razón, se han realizado cálculos numéricos en Matlab siguiendo el procedimiento explicado en la Sección II. Estos cálculos numéricos se han realizado para cada una de las técnicas DZSI-PWM, haciendo un barrido en el índice de modulación M y el ángulo de entrelazado ζ , para $\cos \phi = 1$. Los resultados de estos cálculos muestran que existe un ángulo constante de $\zeta = \pi/2$ rad, el cual se aplica durante todo el rango lineal, que minimiza $I_{cap,rms}$ para todas las técnicas DZSI-PWM analizadas excepto para D-PWMMIN y D-PWMMAX¹, en la que $\zeta = \pi$ rad puede considerarse la mejor opción para todo el rango lineal. Esto coincide con los espectros de la corriente de entrada analizados anteriormente en la Fig. 3, así como con la eliminación de los armónicos más significativos observada en la Tabla I.

IV. INFLUENCIA DEL ENTRELAZADO JUNTO A LAS TÉCNICAS DZSI-PWM EN LA CORRIENTE DEL BUS D.C. PARA LA DISPOSICIÓN ADTP.

A diferencia de los VSI trifásicos, en los que la corriente eficaz a través del condensador es independiente de la técnica PWM escogida [28], en los ADTP la elección de la técnica DZSI-PWM afecta a dicho valor eficaz. Esto ocurre debido a los 30° de desplazamiento entre los dos inversores trifásicos que componen el ADTP. El valor eficaz de la corriente de entrada del primer inversor y del segundo inversor no dependen de la técnica de modulación, pero su suma sí, lo que implica que

¹Del análisis numérico realizado, se ha visto que para D-PWMMIN y D-PWMMAX, el ángulo de entrelazado aplicado $\zeta = \pi$ sólo minimiza $I_{cap,rms}$ para $M \leq 0.75$. Para $M > 0.75$, el ángulo de entrelazado que minimiza el valor eficaz de la corriente del bus d.c. $\zeta < \pi$ rad.

$$I_{inv,rms} \neq I_{inv1,rms} + I_{inv2,rms}. \quad (10)$$

La Fig. 5 muestra las curvas de corrientes eficaces para las técnicas DZSI-PWM utilizando el análisis de doble serie de Fourier, presentado en la Sección II. Aquí se puede observar que todas las técnicas DZSI-PWM reducen su $I_{cap,rms}$ cuando se aplica el entrelazado correctamente. Las técnicas PWM continuas (SPWM, MINMAX-PWM y THI-PWM) junto con D-PWMMAX y D-PWMMIN pasan de ser las técnicas con mayor $I_{cap,rms}$ a ser las que menos producen. De hecho, para modulaciones continuas con un entrelazado de $\zeta = \pi/2$ rad se obtienen reducciones de hasta el 62 % para SPWM, 84 % para MINMAX-PWM y 80 % para THI-PWM.

V. CONCLUSIONES

Este trabajo aborda en la reducción de la corriente que atraviesa el condensador del bus d.c.. Para ello, se han analizado los espectros de corriente de entrada de los inversores que accionan los ADTP utilizando el método de la doble serie de Fourier para cada una de las técnicas DZSI-PWM. Aunque una rama de la VSI presente ciertos armónicos de corriente de entrada, la interacción entre las distintas ramas, inherente a la arquitectura ADTP, modifica la amplitud y/o cancela algunos de estos armónicos.

Los armónicos de corriente de entrada dependen principalmente de la técnica DZSI-PWM seleccionada, así como de M y $\cos \phi$. Se ha observado que las técnicas PWM continuas (SPWM, MINMAX-PWM y THI-PWM) generan un armónico dominante en $2f_{sw}$; D-PWM0, D-PWM1, D-PWM2 y D-PWM3 tienen un amplio rango de armónicos en bandas laterales alrededor de f_{sw} , aunque no se puede despreciar el de $2f_{sw}$; finalmente, las técnicas D-PWMMIN y D-PWMMAX producen los armónicos de corriente más significativos en f_{sw} y $2f_{sw}$.

Se ha obtenido analíticamente la relación entre el espectro armónico de la corriente de entrada y el ángulo de entrelazado (ζ) . Esta relación puede aprovecharse para cancelar ciertos armónicos dominantes inherentes a estas técnicas DZSI-PWM. Como resultado, se ha reducido significativamente el valor eficaz de la corriente a través del condensador del bus d.c. ($I_{cap,rms}$). Esto confirma que, en general, la eliminación de los armónicos dominantes de corriente de entrada está directamente relacionada con la minimización de $I_{cap,rms}$.

Para las técnicas PWM continuas (SPWM, MINMAX-PWM y THI-PWM) además de D-PWM0, D-PWM1, D-PWM2 y D-PWM3, es conveniente utilizar el valor $\zeta = \pi/2$ rad, ya que elimina el armónico dominante de $2f_{sw}$ y armónico de banda lateral $f_{sw} + 3f_1$ (propio de estas técnicas discontinuas). Por otro lado, D-PWMMIN y D-PWMMAX prefieren $\zeta \leq \pi$ rad porque elimina o atenúa el armónico de corriente de entrada dominante f_{sw} .

Todas las técnicas DZSI-PWM analizadas en las que se aplica el entrelazado han mostrado un menor $I_{cap,rms}$ en comparación con el funcionamiento convencional sin entrelazado. En general, la mayor reducción se obtiene con la técnica MINMAX-PWM donde $I_{cap,rms}$ se reduce hasta un 84 %.

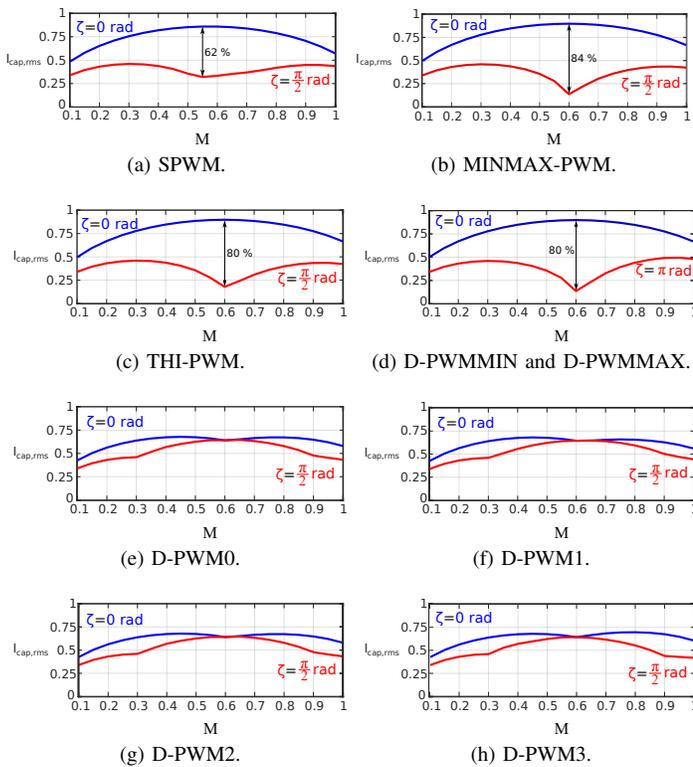


Fig. 5: Corriente eficaz nominalizada por el bus d.c. para técnicas DZSI-PWM en función de M y $\cos \phi = 1$.

VI. AGRADECIMIENTOS

Este trabajo ha sido financiado en parte por el Gobierno Vasco dentro del fondo para grupos de investigación del sistema universitario vasco IT1440-22 y por el MCIN/AEI/10.13039/501100011033 dentro del proyecto PID2020-115126RB-I00, así como el apoyo del programa predoctoral de la UPV/EHU (PIF20-305).

REFERENCIAS

- [1] "2021 Electrification Annual Progress Report," Vehicle Technologies Office - Department of Energy (DOE), Tech. Rep., 2022.
- [2] X. Wang, Z. Wang, Z. Xu, M. Cheng, W. Wang, and Y. Hu, "Comprehensive diagnosis and tolerance strategies for electrical faults and sensor faults in dual three-phase PMSM drives," *IEEE Transactions on Power Electronics*, vol. 34, no. 7, pp. 6669–6684, 2019.
- [3] G. Feng, C. Lai, M. Kelly, and N. C. Kar, "Dual three-phase PMSM torque modeling and maximum torque per peak current control through optimized harmonic current injection," *IEEE Transactions on Industrial Electronics*, vol. 66, no. 5, pp. 3356–3368, 2019.
- [4] H. M. Eldeeb, A. S. Abdel-Khalik, J. Kullick, and C. Hackl, "Pre- and postfault current control of dual three-phase reluctance synchronous drives," *IEEE Transactions on Industrial Electronics*, vol. 67, no. 5, pp. 3361–3373, 2020.
- [5] Z. Shen, D. Jiang, Z. Liu, D. Ye, and J. Li, "Common-mode voltage elimination for dual two-level inverter-fed asymmetrical six-phase PMSM," *IEEE Transactions on Power Electronics*, vol. 35, no. 4, pp. 3828–3840, 2020.
- [6] R. Bojoi, A. Tenconi, F. Profumo, G. Griva, and D. Martinello, "Complete analysis and comparative study of digital modulation techniques for dual three-phase ac motor drives," in *Proc. of the IEEE Power Electronics Specialists Conference (PESC)*, June 2002, pp. 851–857.
- [7] A. M. Hava, R. J. Kerkman, and T. A. Lipo, "Simple analytical and graphical methods for carrier-based PWM-VSI drives," *IEEE Transactions on Power Electronics*, vol. 14, no. 1, pp. 49–61, 1999.
- [8] W. Taha, P. Azer, A. D. Callegaro, and A. Emadi, "Multiphase traction inverters: State-of-the-art review and future trends," *IEEE Access*, vol. 10, pp. 4580–4599, 2022.

- [9] A. Salem and M. Narimani, "A review on multiphase drives for automotive traction applications," *IEEE Transactions on Transportation Electrification*, vol. 5, no. 4, pp. 1329–1348, Dec 2019.
- [10] H. Wen, W. Xiao, X. Wen, and P. Armstrong, "Analysis and evaluation of DC-Link capacitors for high power density electric vehicle drive systems," *IEEE Transactions on Vehicular Technology*, vol. 61, no. 7, pp. 2950–2964, Sep. 2012.
- [11] A. Rodionov, A. Acquaviva, and Y. Liu, "Sizing and energy efficiency analysis of a multi-phase FSCW PMSM drive for traction application," in *Proc. of the Annual Conference of the IEEE Industrial Electronics Society (IECON)*, Oct 2020, pp. 2069–2074.
- [12] A. Tcai, I. M. Alsofyani, I.-Y. Seo, and K.-B. Lee, "DC-Link ripple reduction in a DPWM-based two-level VSI," *Energies*, vol. 11, no. 11, pp. 1–16, 2018.
- [13] H. Wang, M. Liserre, and F. Blaabjerg, "Toward reliable power electronics: challenges, design tools, and opportunities," *IEEE Industrial Electronics Magazine*, vol. 7, no. 2, pp. 17–26, June 2013.
- [14] S. Yang, A. Bryant, P. Mawby, D. Xiang, L. Ran, and P. Tavner, "An industry-based survey of reliability in power electronic converters," *IEEE Transactions on Industry Applications*, vol. 47, no. 3, pp. 1441–1451, 2011.
- [15] H. Wang, P. Davari, H. Wang, D. Kumar, F. Zare, and F. Blaabjerg, "Lifetime estimation of DC-Link capacitors in adjustable speed drives under grid voltage unbalances," *IEEE Transactions on Power Electronics*, vol. 34, no. 5, pp. 4064–4078, May 2019.
- [16] H. Wang and F. Blaabjerg, "Reliability of capacitors for DC-Link applications in power electronic converters - an overview," *IEEE Transactions on Industry Applications*, vol. 50, no. 5, pp. 3569–3578, Sep. 2014.
- [17] S. Baburajan, H. Wang, D. Kumar, Q. Wang, and F. Blaabjerg, "DC-Link current harmonic mitigation via phase-shifting of carrier waves in paralleled inverter systems," *Energies*, vol. 14, no. 14, pp. 1–17, 2021.
- [18] S. Baburajan, H. Wang, F. Mandrile, B. Yao, Q. Wang, D. Kumar, and F. Blaabjerg, "Design of common DC-Link capacitor in multiple-drive system Based on reduced DC-Link current harmonics modulation," *IEEE Transactions on Power Electronics*, vol. 37, no. 8, pp. 9703–9717, 2022.
- [19] M. Schiedermeier, F. Schlamp, C. Rettner, and M. März, "Analytical calculation of the RMS value and the spectrum of the DC-Link current of a dual-inverter," *IEEE Transactions on Power Electronics*, vol. 37, no. 1, pp. 782–794, 2022.
- [20] M.-G. Jeong, H. U. Shin, J.-W. Baek, and K.-B. Lee, "An interleaving scheme for DC-Link current ripple reduction in parallel-connected generator systems," *Journal of Power Electronics*, vol. 17, no. 4, pp. 1004–1013, 2017.
- [21] S. Bhattacharya, D. Mascarella, and G. Joos, "Interleaved SVPWM and DPWM for dual three-phase inverter-PMSM: An automotive application," in *Proc. of the IEEE Transportation Electrification Conference and Expo (ITEC)*, June 2014, pp. 1–6.
- [22] A. Rodionov, X. Huang, and Y. Liu, "Analysis of DC Link current and voltage stress for motor drive application in dual three-phase configuration," in *Proc. of the Annual Conference of the IEEE Industrial Electronics Society (IECON)*, Oct 2020, pp. 1267–1272.
- [23] A. Hopkins, B. Hopfensperger, and P. Mellor, "DC-Link capacitor reduction in low voltage and high power integrated modular motor drives," in *Proc. of the IEEE Energy Conversion Congress and Exposition (ECCE)*, Sep. 2019, pp. 3208–3214.
- [24] P. A. Schirmer and D. Glose, "Optimal interleaved modulation for DC-Link loss optimization in six-phase drives," in *Proc. of the IEEE International Conference on Power Electronics and Drive Systems (PEDS)*, 2019, pp. 1–6.
- [25] D. G. Holmes and T. A. Lipo, *Pulse Width Modulation for Power Converters: Principles and Practice*. Wiley-IEEE Press, 2003.
- [26] M. H. Bierhoff and F. W. Fuchs, "DC-Link harmonics of three-phase voltage-source converters influenced by the pulsewidth-modulation strategy - An analysis," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 5, pp. 2085–2092, 2008.
- [27] G. I. Orfanoudakis, S. M. Sharkh, and M. A. Yuratich, "Analysis of DC-Link capacitor losses in three-level neutral point clamped and cascaded H-Bridge voltage source inverters," in *Proc. of the IEEE International Symposium on Industrial Electronics (ISIE)*, 2010, pp. 664–669.
- [28] J. Kolar and S. Round, "Analytical calculation of the RMS current stress on the DC-Link capacitor of voltage-PWM converter systems," *Electric Power Applications*, vol. 153, no. 4, pp. 535–543, 2006.
- [29] Z. Nie and N. Schofield, "Multi-phase VSI DC-Link capacitor considerations," *IET Electric Power Applications*, vol. 13, no. 11, pp. 1804–1811, 2019.