

# Análisis de las impedancias y distribuciones de corriente en diseños con IGBTs en paralelo

Asier Matallana, Jon Andreu, Jose Ignacio Garate, Iñigo Martínez de Alegría, Edorta Ibarra  
 Universidad del País Vasco/Euskal Herriko Unibertsitatea (UPV/EHU)

e-mail: asier.matallana@ehu.es

http://det.bi.ehu.es/~apert

**Resumen**—Las aplicaciones de electrónica de potencia requieren cada vez mayores tensiones y corrientes que son imposibles de alcanzar mediante dispositivos discretos. Una solución a esta problemática es el uso de la técnica de paralelización, que permite incrementar la capacidad de corriente de los convertidores de potencia. Sin embargo, en estas topologías se dan problemas de distribución de corriente que producen la reducción del tiempo de vida de los dispositivos y el mal funcionamiento del convertidor. La paralelización requiere una optimización total de los elementos parásitos del circuito que dependen de los materiales, topología y las dimensiones físicas del *layout*. El objetivo de este artículo es mostrar mediante simulaciones electromagnéticas (*EM model*), los efectos no ideales de un *layout* para circuitos de potencia, haciendo posible la comprensión y optimización de los elementos parásitos del circuito, especialmente las inductancias parásitas, y la distribución de las corrientes.

**Palabras Clave**—Paralelización, *layout*, inductancia parásita ( $L_p$ ), distribución de corriente, efecto parásito de acoplamiento ( $M_p$ ), simulación, *EM model*, efectos no ideales, ADS<sup>TM</sup>.

## I. INTRODUCCIÓN

Hoy en día, las aplicaciones de electrónica de potencia necesitan mayores niveles de tensión y corriente. Estos rangos se encuentran fuera del límite operacional de los módulos y dispositivos discretos, siendo alcanzables mediante configuraciones serie o paralelo. Una solución para incrementar la densidad de potencia de los convertidores es emplear la técnica de paralelización. Los diseños paralelizados están compuestos de varios *dies* (las soluciones comerciales suelen adoptar esta configuración) sobre los que se producen desequilibrios de corriente. Para el correcto funcionamiento de un diseño paralelizado, la distribución de corriente en los semiconductores de potencia debe ser lo más equilibrada posible, ya que los desequilibrios reducen el tiempo de vida y deterioran las propiedades eléctricas del diseño [1], [2]. El diseño depende de los parámetros característicos del semiconductor ( $V_{ce,sat}$ ,  $t_{don}$ ,  $t_{doff}$ , coeficiente de temperatura, etc), la impedancia compuerta-emisor ( $Z_{ge}$ ) y colector-emisor ( $Z_{ce}$ ) [3], [4].

Los *power printed circuit board* (PCB) y *direct bonded copper* (DBC) presentan unas impedancias parásitas, tales como las inductancias y resistencias de los *paths* junto a las capacidades del sustrato (figura 1) [5]. Es importante analizar los efectos de dichas inductancias parásitas porque sus  $di_L/dt$  generan caídas de voltaje y picos de corriente que afectan al circuito [6], [7]. En el diseño de un módulo de potencia, realizar un correcto diseño (teniendo en cuenta aspectos como las dimensiones físicas) es fundamental para poder emplear los semiconductores a máximo rendimiento. Por esta razón, el *layout* debe ser lo más simétrico posible a la hora de colocar los semiconductores, los *paths* y los pines externos, así se reducen los sobrevoltajes y los desequilibrios de corriente [8]. Además, los módulos de potencia cada vez operan a mayores frecuencias y los diseños son más compactos, lo que aumenta las emisiones electromagnéticas debido a los acoplamientos de

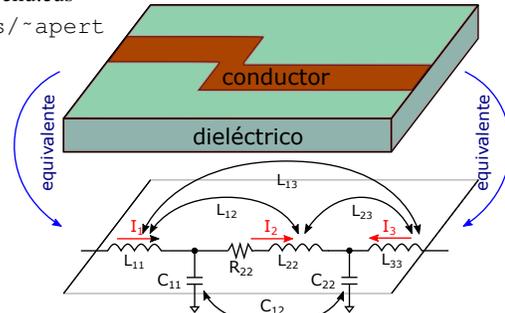


Fig. 1. Elementos parásitos de una pista de cobre en un *layout* de potencia. las inductancias parásitas [9]. Todo esto hace que los modelos sean cada vez más complejos, por lo que es esencial desarrollar un modelo electromagnético, *EM model*, de simulación para entender las distribuciones de las corrientes y predecir el comportamiento del circuito [10], [11].

Este trabajo analiza las impedancias del *layout*, voltajes y distribuciones de corriente de 4 diseños diferentes para un interruptor. El objetivo es comparar las simulaciones, usando el *software* Keysight ADS<sup>TM</sup>, de estos diseños de *layout* de potencia para comprender las variaciones debido a las geometrías durante la conmutación. Dicho estudio ayuda a establecer una serie de criterios para desarrollar el correcto diseño de un convertidor de potencia paralelizado.

## II. CIRCUITO ELÉCTRICO EQUIVALENTE

El diseño de los convertidores de potencia requiere modelos analíticos que tienen en cuenta los efectos no ideales de los diseños con cientos de pistas y conexiones.

### A. Extracción de los elementos parásitos del *layout*

Los elementos parásitos en un circuito de potencia pueden representarse mediante la técnica *partial element equivalent circuit* (PEEC) donde el *layout* se modela por elementos como resistencia (R), autoinductancia ( $L_p$ ) y la inductancia de acoplamiento mutuo ( $M_p$ ) existentes entre las conexiones [1], [7], [12], [13]. La figura 2 muestra el circuito PEEC equivalente de dos mallas con un segmento en común. El comportamiento eléctrico de la malla depende de los elementos del circuito proporcionales a las dimensiones físicas  $l$ ,  $w$  y  $t$  de la pista coplanar (figura 3) y características de los materiales como la resistividad,  $\rho$ , y la permeabilidad,  $\mu$ . Por lo que cada pista de conductor se simplifica como R (1),  $L_p$  (2) y  $M_p$  (3) para bajas frecuencias (<1 MHz) [14]–[16]. Además,  $M_p$  depende del sentido de la corriente para ser sumada/restada sobre el valor total de la inductancia en la malla ( $L_{loop}$ ).

$$R = \rho \cdot l \cdot 10^3 \cdot w/t; \quad (1)$$

$$L_{pi} = 0,00508 \cdot \left( \frac{l}{25,4} \right) \cdot \left( 2,303 \cdot \log_{10} \left( \frac{2 \cdot l}{w+t} \right) + 0,5 + 0,2235 \cdot \frac{w+t}{l} \right); \quad (2)$$

$$M_{pij} = \frac{\mu}{\pi} \cdot \cosh^{-1} \left( \frac{w+s}{w} \right) \cdot l. \quad (3)$$

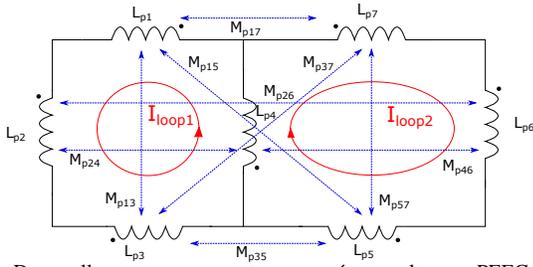


Fig. 2. Dos mallas con un segmento en común resuelto con PEEC.

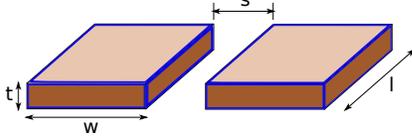


Fig. 3. Dimensiones físicas para las inductancias de tecnología coplanar.

En el circuito de la figura 2, los valores de  $M_p$  se suman ya que las mallas presentan corrientes del mismo sentido a través de las inductancias, por lo que  $L_{loop1}$  y  $L_{loop2}$  se obtienen a través de (4) y (5), siendo la inductancia mutua total  $M_{12}$  (6).

$$L_{loop1} = L_{p1} + L_{p2} + L_{p3} + L_{p4} + 2M_{p24} + 2M_{p13}; \quad (4)$$

donde  $M_{p24} = M_{p42}$ ;  $M_{p13} = M_{p31}$ ;

$$L_{loop2} = L_{p4} + L_{p5} + L_{p6} + L_{p7} + 2M_{p46} + 2M_{p57}; \quad (5)$$

donde  $M_{p46} = M_{p64}$ ;  $M_{p57} = M_{p75}$ ;

$$M_{12} = M_{21} = M_{p15} + M_{p17} + M_{p24} + M_{p26} + M_{p37} + M_{p35} + M_{p46} + L_{p4}. \quad (6)$$

Sin embargo, en el diseño de un *layout* existen cientos de conexiones con sus inductancias mutuas. Por lo que el modelo eléctrico llega a ser muy complejo para ser resuelto de forma analítica y solo proporciona un valor constante de densidad de corriente [17]. Por estas razones, es necesario emplear otros métodos para calcular los efectos de los elementos parásitos.

### B. Modelo mesh para simulación no ideal de circuitos

El método analítico PEEC fue desarrollado en la década de los 80 [7], [12], [13]. Sin embargo, es necesario el empleo de un simulador eléctrico para poder procesar las miles de conexiones. Además, con un mallado en 3D es posible visualizar las distribuciones no uniformes de la corriente con dos direcciones perpendiculares de propagación [2], [17]. El *software* Keysight ADST<sup>TM</sup> proporciona una herramienta para analizar las impedancias equivalentes del diseño. Está basado en la tecnología de entradas/salidas de microondas para obtener la matriz de parámetros *scattering* (7) [18] para una determinada frecuencia.

$$S_{ij} = \left. \frac{V_i^-}{V_j^+} \right|_{V_k^+ = 0 \text{ para } k \neq j} \quad (7)$$

Para cada diseño se calculan los parámetros  $S$  desde 0 Hz hasta 1 MHz (baja frecuencia) con un paso de 2,5 kHz. El mallado 3D se forma mediante cientos de celdas que incluyen los elementos parásitos de esa sección de circuito (figura 1). Mediante una co-simulación entre los modelos eléctricos de los semiconductores de potencia y los parámetros  $S$  del *layout* se obtiene el comportamiento no ideal del circuito durante el transitorio, permitiendo entender las tensiones y distribución de corrientes del diseño.

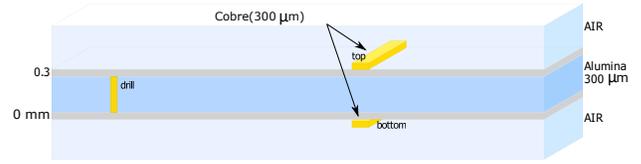


Fig. 4. Sustrato empleado en los diseños.

### III. TÉCNICA DE DISEÑO EN PARALELO

Con el objetivo de desarrollar el correcto diseño de convertidores de potencia con dispositivos en paralelo es fundamental controlar las corrientes de los mismos, ya que las inductancias parásitas producen caídas de tensión y picos de corriente.

El objetivo de esta sección es simular diferentes geometrías de *layouts* para estudiar los efectos de la paralelización, especialmente ver los efectos de las impedancias parásitas sobre la distribución de corriente en las distintas geometrías de los diseños. El circuito modelo consiste en un interruptor formado por 4 IGBTs en paralelo (AUIR4067D1 IGBT, 600 V/160 A, *automotive grade*) conectado a una carga. La configuración de los diversos diseños se muestra en la figura 5:

- 1) El diseño ① (figura 5(a)) es una topología con los IGBTs conectados en línea. Los terminales principales (compuerta (G), colector (C) y emisor (E)) se encuentran en la misma sección del *layout*, las corrientes  $I_c$  e  $I_e$  presentan sentidos opuestos a través de las pistas del conductor.
- 2) El diseño ② (figura 5(b)) es similar al diseño ①, pero el terminal principal de emisor se encuentra en el lado opuesto, de esta manera las corrientes  $I_g$ ,  $I_c$  e  $I_e$  presentan el mismo sentido.
- 3) En el diseño ③ (figura 5(c)) el terminal de emisor principal se encuentra en mitad de la pista. Por esta razón, existen dos corrientes  $I_e$  con sentidos opuestos sobre el mismo conductor, siendo una mezcla del diseño ① y ②.
- 4) El diseño ④ (figura 5(d)) presenta los IGBTs en una configuración cuadrada alrededor de las compuertas (simetría) y sobre dos capas conductoras (*top* y *bottom*) mejorando los efectos de acoplamiento [15].

Una vez definido el *layout*, el primer paso es obtener las impedancias parásitas equivalentes ( $Z_{ge}$  y  $Z_{ce}$ ) entre los terminales principales del diseño y los de cada IGBT. Se calculan y analizan las resistencias e inductancias parásitas equivalentes de las pistas de las señales de compuerta (lazo cerrado compuerta-emisor) y los caminos de la corriente de los IGBTs (lazo cerrado colector-emisor) para entender los efectos de la paralelización en cada diseño propuesto.

#### A. Extracción de las impedancias equivalentes $Z_{ge}$ y $Z_{ce}$

Para calcular las impedancias compuerta-emisor  $Z_{ge}$  y colector-emisor  $Z_{ce}$  es necesario conocer la topología del sustrato (figura 4) ya que los valores de las impedancias dependen de las propiedades del material.

El lazo cerrado compuerta-emisor proporciona la impedancia equivalente  $Z_{ge}$  medida entre los terminales principales compuerta-emisor y la compuerta-emisor de los IGBTs. Las medidas del lazo cerrado colector-emisor proporcionan el valor de  $Z_{ce}$  entre los terminales principales colector-emisor con sus correspondientes en los IGBTs. Los valores de impedancia se extraen de la matriz de parámetros  $S$  (números complejos) y se realizan las correspondientes transformaciones para obtener

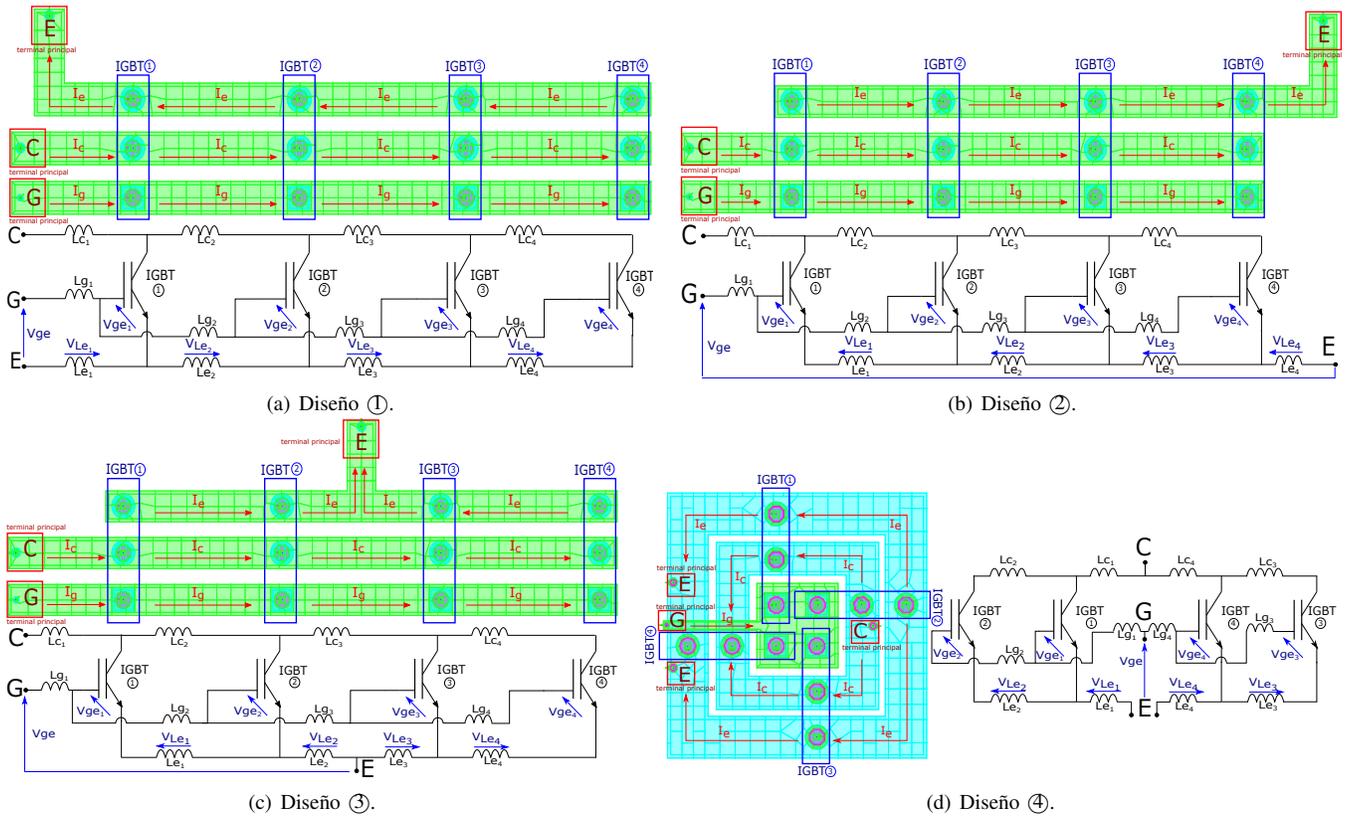


Fig. 5. Diferentes diseños de *layout* de un interruptor en paralelo con sus circuitos equivalentes.

los valores  $R$  y  $L$ . Para ello, hay que convertir los parámetros  $S$  en parámetros  $Y$  (8), ya que el parámetro  $Y_{11}$  proporciona el valor de admitancia con la carga cortocircuitada [18]. Los valores de  $R$  y  $L$  se calculan aplicando (9).

$$Y_{ij} = \left. \frac{I_i}{V_j} \right|_{V_k=0 \text{ para } k \neq j} ; \quad (8)$$

$$R = \text{Real} \left( \frac{1}{Y_{11}} \right) ; L = \frac{\text{Imag} \left( \frac{1}{Y_{11}} \right)}{2 \cdot \pi \cdot \text{freq}} . \quad (9)$$

Las tablas I(a) y I(b) muestran los valores  $R$  y  $L$  del lazo cerrado compuerta-emisor ( $R_{ge}$  y  $L_{ge}$ ), así como los valores del lazo cerrado colector-emisor ( $R_{ce}$  y  $L_{ce}$ ) para 10 kHz (frecuencia de conmutación del circuito). Los resultados muestran que el diseño ④ presenta los menores valores  $R_{ge}$ ,  $L_{ge}$ ,  $R_{ce}$  y  $L_{ce}$ , debido a la simetría en la disposición de los IGBTs, pistas de conductor pequeñas y mejor comportamiento de los efectos de acoplamiento.

A su vez, el diseño ② presenta valores máximos de  $Z_{ge}$  y  $Z_{ce}$ , por lo que las pérdidas son mayores. Pero las variaciones entre los valores  $R_{ge}$ ,  $L_{ge}$ ,  $R_{ce}$  y  $L_{ce}$  son mínimas, haciendo que la corriente por cada IGBT se distribuya más equitativamente, produciendo menores desequilibrios de corriente que en otros diseños. Esto se debe a que las corrientes  $I_g$ ,  $I_c$  y  $I_e$  tienen el mismo sentido en el *layout*.

La principal diferencia entre el diseño ① y ② es el sentido de la corriente  $I_e$ , por lo que, los valores de impedancia son distintos debido a los efectos de acoplamiento. Los valores  $R_{ge}$ ,  $L_{ge}$ ,  $R_{ce}$  y  $L_{ce}$  del diseño ① son menores que los del ②, pero las variaciones entre los IGBTs son mayores.

El diseño ③, con el emisor en medio del *layout*, reduce los valores de  $R_{ge}$ ,  $L_{ge}$ ,  $R_{ce}$  y  $L_{ce}$  comparado con el diseño ①, pero no es suficiente respecto a ② y ④.

TABLA I

MEDIDAS DE  $Z_{ge}$  Y  $Z_{ce}$  PARA CADA SIEÑO A 10 KHZ.

(a) Impedancia compuerta-emisor  $Z_{ge}$ .

Diseño	Lazo compuerta-emisor											
	IGBT1		IGBT2		IGBT3		IGBT4		Max. Variación		Máximo	
	Rge (mΩ)	Lge (nH)	Rge (mΩ)	Lge (nH)	Rge (mΩ)	Lge (nH)	Rge (mΩ)	Lge (nH)	Rge (mΩ)	Lge (nH)	Rge (mΩ)	Lge (nH)
1	0,67	12,68	1,34	31,47	2,00	50,65	2,67	69,90	1,99	57,22	2,67	69,90
2	1,64	72,01	1,64	72,32	1,64	72,32	1,65	72,58	0,01	0,56	1,65	72,58
3	0,99	33,46	1,00	33,53	1,33	43,15	1,99	62,14	1,00	28,69	1,99	62,14
4	0,90	11,93	1,03	16,59	0,97	14,48	0,73	8,70	0,30	7,89	1,03	16,59

(b) Impedancia colector-emisor  $Z_{ce}$ .

Diseño	Lazo colector-emisor											
	IGBT1		IGBT2		IGBT3		IGBT4		Max. Variación		Máximo	
	Rce (mΩ)	Lce (nH)	Rce (mΩ)	Lce (nH)	Rce (mΩ)	Lce (nH)	Rce (mΩ)	Lce (nH)	Rce (mΩ)	Lce (nH)	Rce (mΩ)	Lce (nH)
1	0,64	10,86	1,29	24,28	1,94	37,80	2,59	51,33	1,96	40,47	2,59	51,33
2	1,61	73,17	1,62	73,09	1,62	73,04	1,63	73,04	0,02	0,14	1,63	73,17
3	0,96	34,10	0,97	34,07	1,30	40,85	1,95	54,32	0,99	20,25	1,95	54,32
4	0,50	12,38	0,45	13,70	0,50	12,18	0,39	8,01	0,11	5,68	0,50	13,70

### B. Influencia del lazo compuerta-emisor sobre las señales $V_{ge}$

La conexión entre los IGBTs y el circuito de *driver* genera un lazo cerrado compuerta-emisor donde distintos efectos de realimentación producen variaciones entre los IGBTs en paralelo y las señales de compuerta ( $V_{ge}$ ). Estas variaciones de  $V_{ge}$  afectan, sobre todo, al proceso de apagado, generando diferentes pérdidas de conmutación.

Debido a la topología del emisor y a sus inductancias equivalentes (tablas I(a) y I(b)) se producen en los diseños diferentes efectos de realimentación. Las siguientes ecuaciones solo tienen en cuenta las inductancias de emisor (la más crítica debido a que  $\frac{di_e}{dt} \gg \frac{di_g}{dt}$ ) para simplificar el comportamiento ( $L_{e_i} \neq L_{ge_i}$ ):

- 1) El diseño ① presenta una realimentación asimétrica negativa (figuras 5(a) y 6(a)) causando que el IGBT4 se encienda más lento que el IGBT1 ya que las inductancias

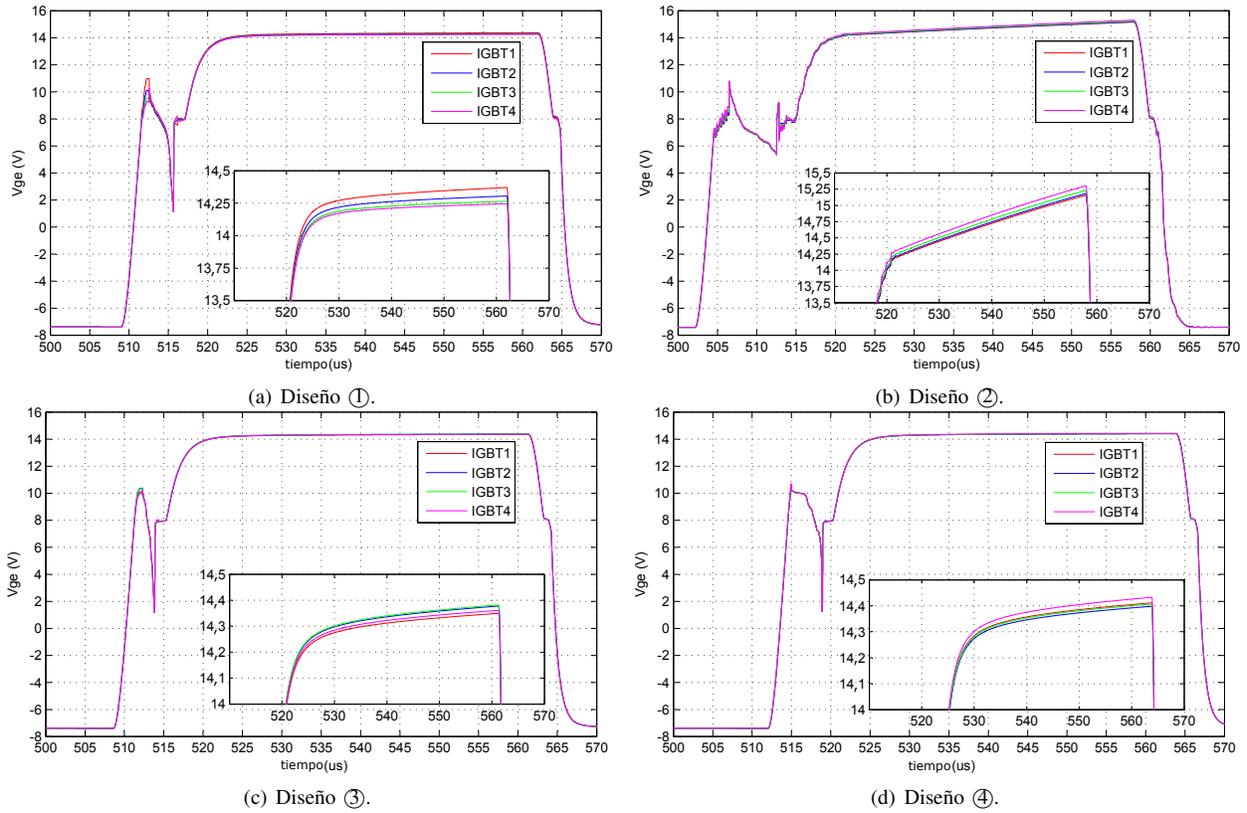


Fig. 6. Señales  $V_{ge}$  para los diferentes diseños de un interruptor con 4 IGBTs en paralelo.

parásitas ( $L = L_{e2} = L_{e3} = L_{e4} \neq L_{e1}$ ) debido al *layout* generan caídas de tensión ( $V_L = V_{L_{e2}} = V_{L_{e3}} = V_{L_{e4}} \neq V_{L_{e1}}$ ) (10).

$$\begin{aligned} V_{ge4} &= (V_{ge} - 3 \cdot V_L - V_{L_{e1}}) < V_{ge3} = \\ &= (V_{ge} - 2 \cdot V_L - V_{L_{e1}}) < V_{ge2} = \\ &= (V_{ge} - V_L - V_{L_{e1}}) < V_{ge1} = (V_{ge} - V_{L_{e1}}). \end{aligned} \quad (10)$$

- 2) El diseño ② tiene una realimentación asimétrica positiva (figuras 5(b) y 6(b)), por ello el IGBT1 se enciende más rápido que el IGBT4, teniendo en cuenta las inductancias ( $L = L_{e1} = L_{e2} = L_{e3} \neq L_{e4}$ ) en (11) y las simplificaciones de las caídas de tensión ( $V_L = V_{L_{e1}} = V_{L_{e2}} = V_{L_{e3}} \neq V_{L_{e4}}$ ).

$$\begin{aligned} V_{ge1} &= (V_{ge} - 3 \cdot V_L - V_{L_{e4}}) < V_{ge2} = \\ &= (V_{ge} - 2 \cdot V_L - V_{L_{e4}}) < V_{ge3} = \\ &= (V_{ge} - V_L - V_{L_{e4}}) < V_{ge4} = (V_{ge} - V_{L_{e4}}). \end{aligned} \quad (11)$$

- 3) El diseño ③ es una realimentación positiva y negativa (figuras 5(c) y 6(c)), debido a que hay corrientes de emisor en ambos sentidos. Las inductancias mutuas hacen que  $L_{e3} < L_{e2} < L_{e4} < L_{e1}$  y que las caídas de tensión en las inductancias sean  $V_{L_{e3}} < V_{L_{e2}} < V_{L_{e4}} < V_{L_{e1}}$  (12).

$$\begin{aligned} V_{ge3} &= (V_{ge} - V_{L_{e3}}) > V_{ge2} = (V_{ge} - V_{L_{e2}}) > \\ &> V_{ge4} = (V_{ge} - V_{L_{e3}} - V_{L_{e4}}) > V_{ge1} = \\ &= V_{ge} - V_{L_{e1}} - V_{L_{e2}}. \end{aligned} \quad (12)$$

- 4) El diseño ④ funciona como dos realimentaciones asimétricas positivas (figuras 5(d) y 6(d)) debido a la geometría de las pistas  $L_{e4} < L_{e1}$  y  $L_{e3} < L_{e2}$ , siendo las tensiones  $V_{L_{e4}} < V_{L_{e1}}$  y  $V_{L_{e3}} < V_{L_{e2}}$  (13).

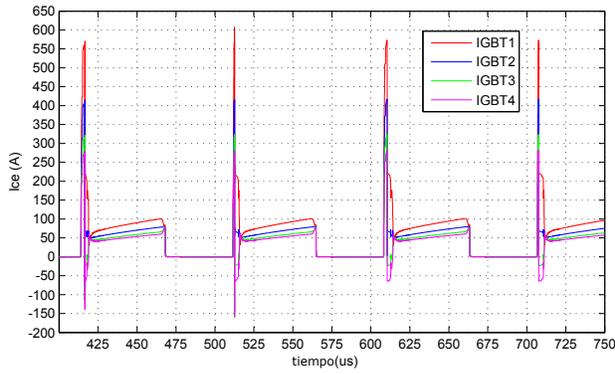
$$\begin{aligned} V_{ge4} &= (V_{ge} - V_{L_{e4}}) > V_{ge1} = (V_{ge} - V_{L_{e1}}) > \\ V_{ge3} &= (V_{ge} - V_{L_{e4}} - V_{L_{e3}}) > V_{ge2} = \\ &= (V_{ge} - V_{L_{e1}} - V_{L_{e2}}). \end{aligned} \quad (13)$$

Los diseños ② y ④ presentan menores variaciones de  $Z_{ge}$  y  $Z_{ce}$  y tienen menores variaciones de tensión  $V_{ge}$  entre los IGBTs. Todo esto hace que las corrientes a través de los IGBTs se encuentre más equilibrada. Por otro lado, el diseño ① presenta una mayor variación de  $V_{ge}$  debido a que las inductancias de emisor son muy distintas, causando grandes variaciones en la distribución de corriente entre los IGBTs. El diseño ③ presenta dos niveles de tensión  $V_{ge}$  diferentes (dos sentidos de corriente  $I_e$  sobre el mismo conductor) proporcionales a la distancia entre el emisor de cada IGBT y el emisor principal del *layout*.

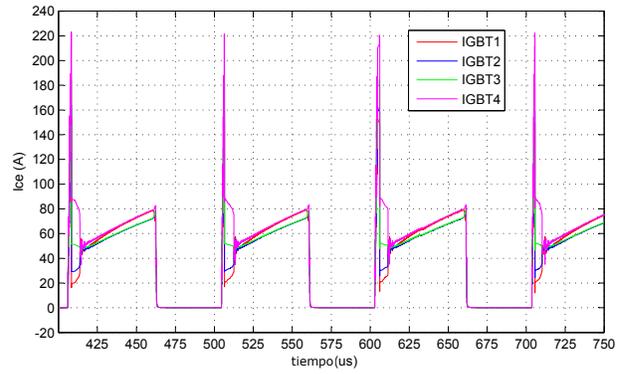
### C. Influencia del lazo colector-emisor sobre $I_{ce}$

Los IGBTs en paralelo presentan distintas distribuciones de corriente debido al *layout*. Aparte de las conexiones entre la compuerta del IGBT y el *driver*, que generan retardos entre la señales de compuerta ( $V_{ge}$ ), la conexión física entre los colectores y emisores es crítica. Las distribuciones de corriente en los diseños se analizan en la figura 7:

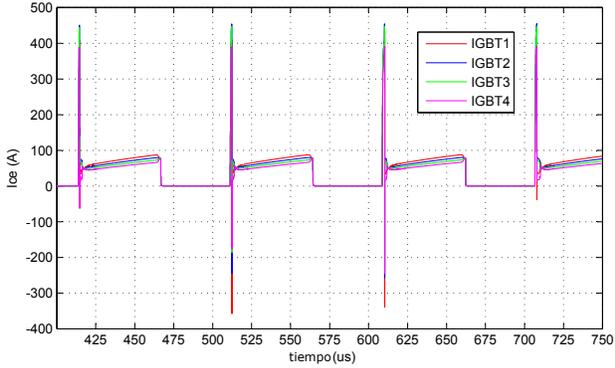
- 1) El diseño ① presenta la peor distribución de corriente para señales de conmutación de 10 kHz (figura 7(a)) con variaciones de corriente de hasta 47 A debido a las diferencias de  $Z_{ce}$  entre los IGBTs y la topología lineal del diseño.
- 2) El diseño ② tiene una distribución de corriente similar para cada IGBT (figura 7(b)) con una variación máxima de 8,5 A. Además, la oscilación inicial de encendido es menor que en otros diseños debido a los valores de  $Z_{ce}$ . A pesar de su topología lineal, los efectos de acoplamiento compensan las malas dimensiones geométricas.
- 3) El diseño ③ tiene los mismos problemas que el ①. La distribución de corriente presenta una variación máxima de 24,5 A entre IGBTs a 10 kHz (figura 7(c)) porque los



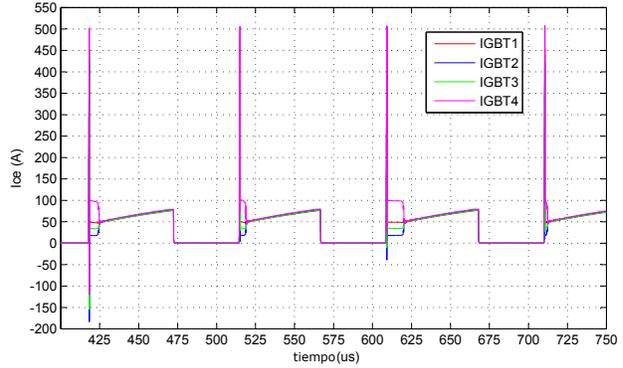
(a) Diseño ① corrientes a 10 kHz.



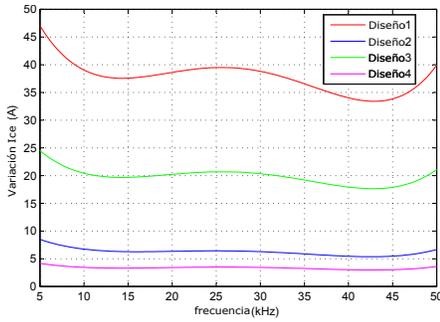
(b) Diseño ② corrientes a 10 kHz.



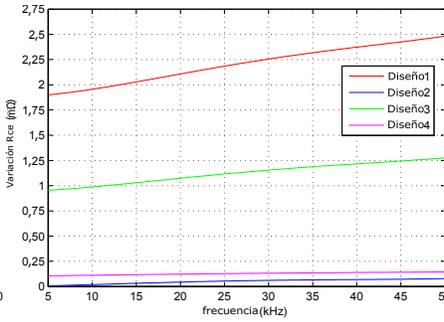
(c) Diseño ③ corrientes a 10 kHz.



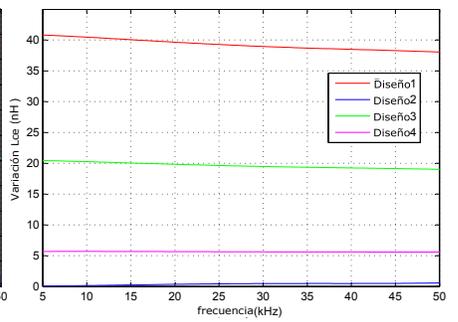
(d) Diseño ④ corrientes a 10 kHz.



(e) Variación de  $I_{ce}$  entre 5-50 kHz.



(f) Variación de  $R_{ce}$  entre 5-50 kHz.



(g) Variación de  $L_{ce}$  entre 5-50 kHz.

Fig. 7. Corriente de los IGBTs para cada diseño y las variaciones de  $I_{ce}$ ,  $R_{ce}$  y  $L_{ce}$  con la frecuencia.

valores  $R_{ce}$  y  $L_{ge}$  son muy dispares entre los IGBTs. Sin embargo, los resultados son mejores, ya que el terminal principal de emisor dota al diseño de simetría.

- 4) El diseño ④ tiene la mejor distribución de corriente con una variación máxima de 4,1 A a 10 kHz (figura 7(d)), debido a su simetría y a la igualdad de los valores  $Z_{ce}$  entre IGBTs y terminales principales.

La distribución de corriente depende de  $R_{ce}$  y  $L_{ce}$ . Cuando estos valores son dispares, la distribución de corriente presenta variaciones, como en los diseños ① y ③. Sin embargo, si los valores  $R_{ce}$  y  $L_{ce}$  son similares, las variaciones de corriente son mínimas, como en ② y ④. Este comportamiento se aprecia en las figuras 7(e), 7(f) y 7(g) entre 5 - 50 kHz (rango de frecuencias de conmutación de los IGBTs de silicio).

#### D. Distribución de la densidad de corriente

La distribución de corriente depende de  $Z_{ge}$  y  $Z_{ce}$ , que son proporcionales a las dimensiones del diseño, de las tensiones  $V_{ge}$ , que generan retardos entre los IGBTs, y del sentido de las corrientes, que aumenta/disminuye el acoplamiento.

Según las señales  $V_{ge}$  y las corrientes  $I_{ce}$ , el diseño ① (figura 8(a)) y ② (figura 8(b)) presentan malas distribuciones de la densidad de corriente sobre el *layout*, porque en ambos

diseños las señales de 10 kHz presentan en el área ⑥ (figuras 8(a) y 8(b)) una alta densidad de corriente, cuando el resto de las áreas presentan menores densidades, ya que los diseños ① y ② no son simétricos. El diseño ③ presenta una mejor distribución de la densidad de corriente (figura 8(c)), ya que el terminal de emisor principal (área ⑦ figura 8(c)) proporciona simetría para señales de 10 kHz y una corriente de emisor similar, pero el diseño ③ presenta una elevada densidad en el área ⑥ (figura 8(c)) que genera desequilibrios en el colector. El diseño ④ (figura 8(d)) tiene la mejor distribución de densidad de corriente siendo casi simétrica, porque las señales de 10 kHz presentan una densidad similar en las áreas ⑥ y ⑦ (figura 8(d)) con altos niveles de densidad de corriente.

#### IV. CONCLUSIONES

El principal problema de los diseños paralelizados es la distribución de la corriente que genera desequilibrios. Estos desequilibrios reducen el tiempo de vida del semiconductor y afectan a su eficiencia, por eso deben ser reducidos. Se deben controlar las dimensiones físicas y geométricas del diseño, ya que las impedancias equivalentes dependen de las formas y materiales del diseño. Teniendo en cuenta el sentido de las corrientes del circuito, ya que los valores de  $Z_{ge}$  y  $Z_{ce}$  pueden

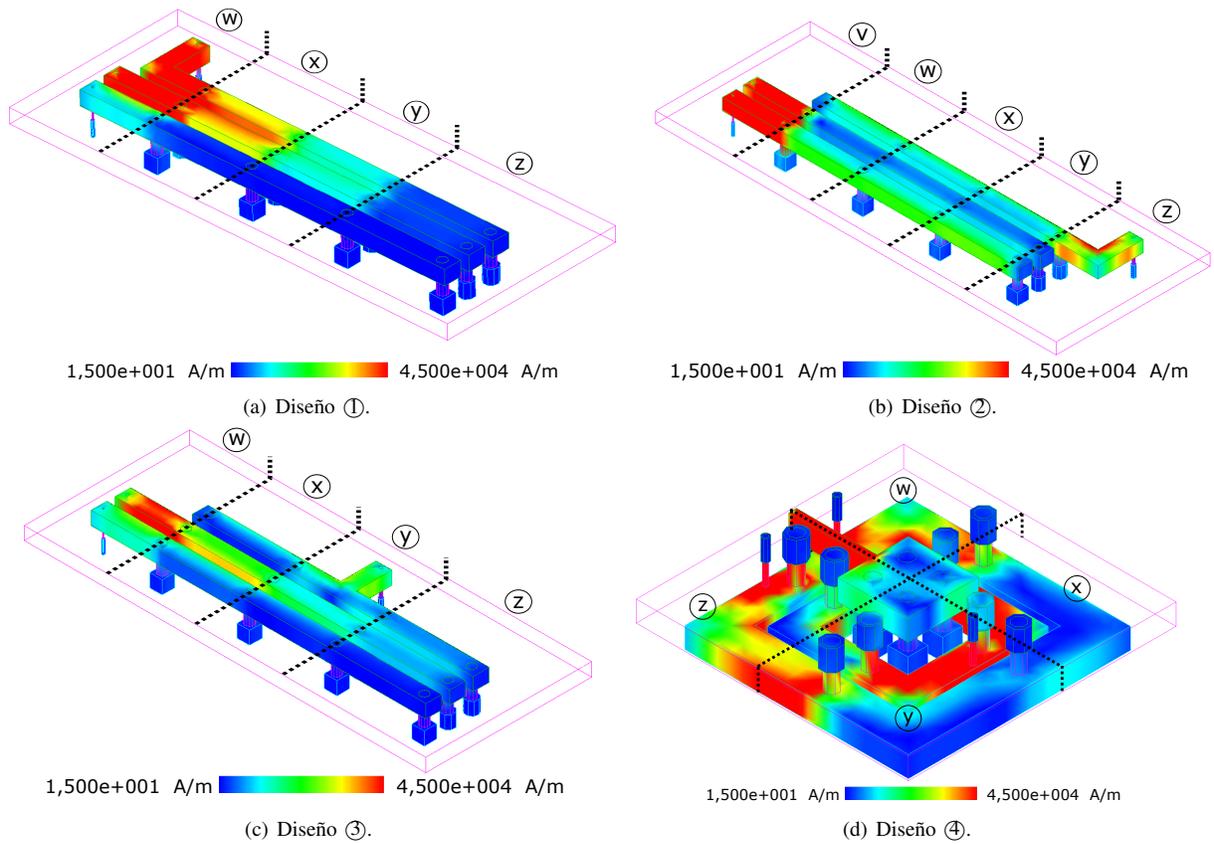


Fig. 8. Distribución de la densidad de corriente sobre los layouts en 3D a 10 kHz.

incrementarse o reducirse por los efectos del acoplamiento. Aparte de los valores de  $Z_{ge}$ , el sentido de la corriente de emisor afecta a las tensiones  $V_{ge}$  de los IGBTs en paralelo, ya que se producen distintos efectos de realimentación que producen caídas de tensión de compuerta  $V_{ge}$ , produciendo retardos de encendido y apagado e incrementando los desequilibrios de corriente. Finalmente, para un correcto diseño, se debe reducir los valores de  $Z_{ce}$  para mejorar las pérdidas. Sin embargo, es más importante que haya una menor variación de  $Z_{ce}$  entre las conexiones para tener una mejor distribución de corriente.

## V. AGRADECIMIENTOS

Este trabajo ha sido generado y patrocinado por el Departamento de Educación, Política Lingüística y Cultura del Gobierno Vasco en base a las ayudas para apoyar las actividades de grupos de investigación del sistema universitario vasco IT978-16, el programa ELKARTEK con el proyecto KT4TRANS (KK-2015/00047 y KK-2016/00061). La ayuda del Ministerio de Economía y Competitividad de España a través del proyecto DPI2014-53685-C2-2-R y los fondos FEDER. Así como, la ayuda del programa predoctoral del Gobierno Vasco PRE.2016.2.0086 y el soporte técnico y humano de IZO-SGI (UPV/EHU) y fondos Europeos (ERDF y ESF).

## REFERENCIAS

- [1] R. Azar, F. Udrea, W. T. Ng, F. Dawson, W. Findlay, and P. Waind, "The current sharing optimization of paralleled igbts in a power module tile using a pspice frequency dependent impedance model," *IEEE Transactions on Power Electronics*, vol. 23, no. 1, pp. 206–217, Jan 2008.
- [2] A. Martin, J. L. Schanen, J. M. Guichon, and R. Pasterczyk, "Analysis of electromagnetic coupling and current distribution inside a power module," *IEEE Transactions on Industry Applications*, vol. 43, no. 4, pp. 893–901, Jul 2007.
- [3] A. Matallana, J. Andreu, J. I. Garate, I. Aretxabalaeta, and E. Planas, "Analysis and modelling of igbts parallelization fundamentals," in *Conference of the IEEE Industrial Electronics Society*, Oct 2016, pp. 3247–3252.
- [4] L. Kong, Z. Dong, P. Ning, Z. Jin, and Q. Zhijie, "The igbt module layout design considering the electrical and thermal performance," in *Conference and Expo Transportation Electrification Asia-Pacific*, Aug 2014, pp. 1–5.
- [5] P. Zhang, X. Wen, and Y. Zhong, "Parasitics consideration of layout design within igbt module," in *Conference on Electrical Machines and Systems*, Aug 2011, pp. 1–4.
- [6] S. Li, L. M. Tolbert, F. Wang, and F. Z. Peng, "P-cell and n-cell based igbt module: Layout design, parasitic extraction, and experimental verification," in *Applied Power Electronics Conference and Exposition*, Mar 2011, pp. 372–378.
- [7] K. Xing, F. C. Lee, and D. Boroyevich, "Extraction of parasitics within wire-bond igbt modules," in *Applied Power Electronics Conference and Exposition*, vol. 1, Feb 1998, pp. 497–503.
- [8] C. Martin, J. M. Guichon, J. L. Schanen, and R. Pasterczyk, "Gate circuit layout optimization of power module regarding transient current imbalance," in *Power Electronics Specialists Conference*, Jun 2005, pp. 541–546.
- [9] A. Cataliotti, D. D. Cara, G. Marsala, A. Pecoraro, A. Ragusa, and G. Tinè, "High-frequency experimental characterization and modeling of six pack igbts power modules," *IEEE Transactions on Industrial Electronics*, vol. 63, no. 11, pp. 6664–6673, Nov 2016.
- [10] L. Popova, R. Juntunen, T. Musikka, M. Lohtander, P. Silventoinen, O. Pyrhönen, and J. Pyrhönen, "Stray inductance estimation with detailed model of the igbt module," in *European Conference on Power Electronics and Applications (EPE)*, Sept 2013, pp. 1–8.
- [11] H. Wen, W. Xiao, H. Li, and X. Wen, "Analysis and minimisation of dc bus surge voltage for electric vehicle applications," *IET Electrical Systems in Transportation*, vol. 2, no. 2, pp. 68–76, Jun 2012.
- [12] M. Akhbari, N. Piette, and J. L. Schanen, "Optimisation of gate circuit layout to suppress power/drive interaction," in *Conference IEEE Industry Applications*, vol. 2, Oct 1998, pp. 1078–1084.
- [13] H. Heeb and A. E. Ruehli, "Three-dimensional interconnect analysis using partial element equivalent circuits," *IEEE Transactions on Circuits and Systems*, vol. 39, no. 11, pp. 974–982, Nov 1992.
- [14] F. E. Terman, *Radio Engineers' handbook*, first edition ed. McGraw Hill Book Company, Inc, 1943.
- [15] "Design considerations for redesign with Cree SiC modules part2. techniques for minimizing parasitic inductance," CREE, Tech. Rep., 2013.
- [16] N. Zhu, M. Chen, and D. Xu, "A simple method to evaluate substrate layout for power modules," in *Conference on Integrated Power Electronics Systems*, Feb 2014, pp. 1–6.
- [17] J. L. Schanen, C. Martin, D. Frey, and R. J. Pasterczyk, "Impedance criterion for power modules comparison," *IEEE Transactions on Power Electronics*, vol. 21, no. 1, pp. 18–26, Jan 2006.
- [18] D. M. Pozar, *Microwave engineering*. John Wiley & Sons, Inc., 2012.