

Tecnología de los semiconductores GaN para aplicaciones de electrónica de potencia

Asier Matallana , Jon Andreu , Endika Robles , Iker Aretxabaleta , Adriano Navarro , Ander DeMarcos 

Universidad del País Vasco/Euskal Herriko Unibertsitatea (UPV/EHU)

e-mail: asier.matallana@ehu.eus

www.ehu.eus/es/web/apert

Resumen—Este trabajo aborda la tecnología de semiconductores de nitruro de galio (GaN) en la electrificación de sectores clave como el transporte, debido a sus mejores prestaciones y menor huella de carbono en comparación con el silicio (Si). A pesar de los desafíos tecnológicos que enfrenta, como la obtención de sustratos homogéneos y el desarrollo de dispositivos para alta tensión, su adopción está aumentando en aplicaciones como vehículos eléctricos, centros de datos y electrónica de consumo. En este trabajo se exploran los dispositivos GaN HEMT laterales, tanto D -mode como E -mode, junto a las configuraciones cascodo y $direct$ -drive. Se discuten sus comportamientos estáticos, curvas características y aplicaciones comerciales en el mercado actual. El trabajo proporciona una visión integral de la tecnología GaN sin profundizar en la física del semiconductor para conocer sus ventajas, así como para facilitar el uso de esta tecnología en aplicaciones y sectores industriales donde es fundamental la innovación y eficiencia para conseguir la transición hacia una sociedad electrificada y sostenible.

Palabras Clave— GaN , HEMT, dispositivos laterales, GaN -on- Si , GaN -on- GaN , E -mode, D -mode, cascodo, $direct$ -drive.

I. INTRODUCCIÓN

La electrificación de sectores como el transporte es crucial para la descarbonización de la sociedad. Este cambio implica una mayor demanda de semiconductores en aplicaciones de electrónica de potencia, con un mercado global proyectado que pasará de 46 B\$ en 2019 a 63 B\$ para 2027 [1].

La escasez global de semiconductores, exacerbada por la pandemia y tensiones geopolíticas, ha generado fragilidad en la cadena de suministro, particularmente en sectores críticos como el automotriz y la electrónica de consumo [1]. Esta dependencia de fuentes de suministro concentradas, como Taiwán (responsable del 68 % de todos los semiconductores y el 90 % de los chips avanzados), ha expuesto a distintos sectores industriales a riesgos significativos. En respuesta, se han implementado medidas proactivas a nivel global, incluyendo iniciativas legislativas como la Ley Chips y Ciencia de EEUU y programas de inversión en la Unión Europea (UE), con el objetivo de diversificar la producción y garantizar una mayor autonomía en la cadena de suministro [1]–[3].

Por otra parte, el nitruro de galio (GaN) ha surgido como un competidor destacado del silicio (Si) en el mercado de semiconductores, ya que este último ha llegado a sus límites físicos. El GaN ofrece ventajas significativas, como un mejor rendimiento y eficiencia en comparación con el Si , al tiempo que reduce la energía y el espacio físico necesarios para los diseños (aproximadamente un 50 % menor en comparación con el Si) [4]. Además, el GaN tiene una huella de carbono significativamente menor, que lo convierte en una opción atractiva desde una perspectiva ambiental y económica. Estas características hacen que el GaN sea especialmente relevante

en el contexto actual de electrificación de la sociedad. Además, aunque actualmente los dispositivos GaN son más costosos que los de Si , se espera que con los avances tecnológicos y la producción en masa, el rango de precios sea, en un futuro cercano, similar a los dispositivos de Si actuales [5].

En cuanto a las tendencias futuras de estos dispositivos, se observa una creciente adopción del GaN en diferentes sectores, especialmente en un contexto donde la demanda de datos está en constante aumento debido al uso de tecnologías como la inteligencia artificial, el internet de las cosas (IoT) y el Big Data. En concreto, se estima que una actualización de centros de datos de Si a GaN puede reducir la pérdida de energía en un 30-40 %, lo cual se traduce en un ahorro de más de 100 TWh y 125 Mt de emisiones de CO_2 para 2030 [4]. Por otro lado, en el sector de vehículos eléctricos, el GaN es crucial para sistemas de propulsión eficientes y cargadores ultrarrápidos, cumpliendo con las demandas de carga rápida de las baterías [6], tanto en sistemas de 400 V como de 800 V. Asimismo, en la electrónica de consumo, el GaN está ganando terreno en aplicaciones por debajo de los 400 V como cargadores y sistemas de alimentación eficientes, ofreciendo soluciones más compactas y eficaces para los usuarios finales [7].

Teniendo en cuenta la evolución de los mercados y las oportunidades que ofrece emplear dispositivos GaN , es de gran interés para la comunidad de diseñadores de electrónica de potencia conocer las características, estructuras y tecnología disponibles, sin requerir un conocimiento profundo de la física del semiconductor GaN . Por ello, este artículo aborda las arquitecturas y características de la tecnología GaN desde la perspectiva de un diseñador de circuitos y aplicaciones para familiarizarse con las ventajas y desafíos de la tecnología, con el objetivo de facilitar el uso de los dispositivos GaN e impulsar la innovación y eficiencia en diversos sectores industriales.

II. TECNOLOGÍA DE SEMICONDUCTORES GaN

A. Principales hitos tecnológicos

La evolución y entrada en el mercado de la tecnología GaN ha sido meteórica. La tecnología GaN inicio su presencia en el mercado a partir de 2005 con los primeros dispositivos de estructura lateral, principalmente para aplicaciones de RF [8]. Durante dicho periodo aparecieron multitud de $start$ -ups, y con el paso del tiempo han sido absorbidas por las compañías líderes en semiconductores. Desde el 2007, tal y como se recoge en la figura 1, los esfuerzos se centraron en conseguir sustratos de calidad basados en la tecnología GaN -on- Si . Ello permitió grandes avances para la comercialización de

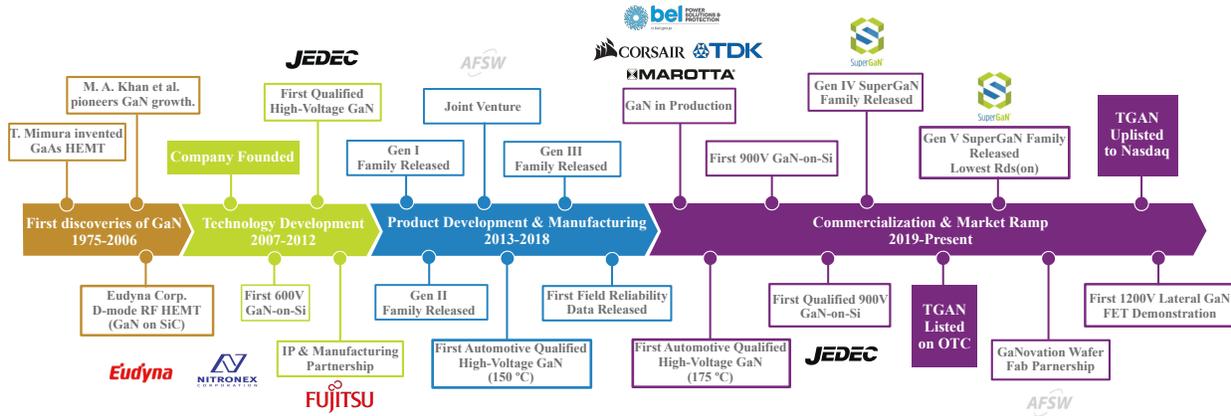


Figura 1. Cronología y avances de los dispositivos de potencia GaN [8], [9].

dispositivos de electrónica de potencia, especialmente tras la aparición de los dispositivos *E-mode* (apagado por defecto) en 2009 [10], lo que hizo que múltiples fabricantes comercializaran dispositivos para aplicaciones en el rango de 650 V. Durante el periodo 2013-2018 los esfuerzos se centraron en conseguir nuevas generaciones de dispositivos con mejores prestaciones, así como la entrada en el mercado de la automoción (dispositivos certificados). A partir del 2019, se han llevado a cabo investigaciones para desarrollar dispositivos de tensión superior (900 V) y, de manera paralela, el desarrollo de dispositivos GaN verticales con la capacidad de alcanzar rangos de tensión de alrededor de 1200 V [8]. Aunque estos dispositivos verticales aún no están disponibles comercialmente, su desarrollo promete expandir el alcance de la tecnología GaN en nuevas aplicaciones, como en vehículos eléctricos de próxima generación (800 V) que utilizarán semiconductores 1200 V [11]. Actualmente, las últimas tendencias se centran en el desarrollo de los dispositivos GaN ICs [12], que integran la etapa de *driver* junto al dispositivo de potencia.

B. Propiedades del material GaN

Es fundamental comprender las propiedades físicas clave que hacen de este material una alternativa atractiva para aplicaciones de alta frecuencia y alta densidad de energía. El GaN exhibe ventajas significativas en comparación con otros materiales, como una alta energía de banda prohibida (E_g [eV]) y una alta velocidad de saturación (v_n [Mv/cm]), junto con una baja constante dieléctrica (ϵ_r) y una alta movilidad de electrones (μ_n [cm²/Vs], portadores mayoritarios) [13]. Estas propiedades físicas permiten que el GaN tenga un campo eléctrico crítico elevado (E_b [MV/cm]), menor resistencia en conducción (R_{DSon}), capacidades parásitas pequeñas y frecuencias de conmutación de MHz, lo que lo convierte en una opción ideal para aplicaciones de alta eficiencia y rendimiento en electrónica de potencia y sistemas de comunicaciones avanzados. La tabla I resume las propiedades clave del GaN respecto otros materiales semiconductores como el Si y el SiC.

C. Elección del material del sustrato

La elección del material de sustrato se ha centrado en superar los problemas para obtener cristales homogéneos. En principio, existen 5 posibilidades de sustratos para fabricar los dispositivos (figura 2), siendo la primera los sustratos puros o GaN-on-GaN (figura 2(a)), todavía en fase de desarrollo.

Tabla I

PROPIEDADES FÍSICAS DE LOS MATERIALES Si, SiC Y GaN [14].				
Parametro	Descripción	Si	SiC	GaN
E_g (eV)	Energía de Gap - Energía de Banda	1.12	3.26	3.39
μ_n (cm ² /Vs)	Movilidad de los electrones	1430	900	2000
v_n (Mcm/s)	Velocidad de saturación de los electrones	10	20	25
E_b (MV/cm)	Ruptura del campo eléctrico	0.3	3.0	3.3
ϵ_r	Permitividad relativa	11.8	9.7	9
λ_{th} (W/cmK)	Conductividad térmica	1.5	3.7	1.3
T_m (°C)	Punto de fusión	1414	2730	2500

Otra opción de sustrato hoy en día comercializado es el GaN-on-SiC (figura 2(c)) que ofrece alta conductividad térmica, lo que permite una buena disipación de calor en aplicaciones de alta potencia. Asimismo, se están explorando alternativas como GaN-on-Si (figura 2(d)), los cuales han mejorado su viabilidad económica a pesar tener grandes desafíos técnicos, y GaN-on-Diamond (figura 2(e)) que destaca por su alta conductividad térmica aunque requiere mejoras en escalabilidad y uniformidad para poder competir en el mercado actual. Estas alternativas de sustratos ilustran la continua evolución en la fabricación de dispositivos GaN y su adaptación a las diferentes necesidades de las aplicaciones.

D. Desafíos y áreas de mejora en la actualidad

La reducción de costos en dispositivos GaN se ve limitada por las tecnologías actuales como GaN-on-Si, que enfrentan desafíos en la obtención de sustratos homogéneos para dispositivos verticales [15]. Paralelamente, la integración del *driver* en un mismo dispositivo (como GaN IC) necesita mejoras tecnológicas significativas para optimizar su funcionamiento [5]. En cuanto a dispositivos de alta tensión, los sustratos heterogéneos como GaN-on-Si presentan desafíos para desarrollar dispositivos por encima de los 650 V, lo que está impulsando la investigación en sustratos policristalinos (*poly-AlN*) para alcanzar rangos de tensión de hasta 1200 V [5], [15]. Además, el diseño del *driver* de compuerta es fundamental para controlar la conmutación, por lo que se buscan soluciones de integración monolítica (GaN ICs) para mejorar la eficiencia y robustez del dispositivo [5]. La gestión térmica también es crítica en dispositivos GaN, por lo que ciertos fabricantes emplean estructuras diversas (p.e. *bumps*) para mejorar la refrigeración de la capa superior, así como la refrigeración a través del sustrato heterogéneo para evacuar el calor de manera efectiva [15]. Por último, los encapsulados juegan un papel clave en la vida útil y el rendimiento de los dispositivos GaN, determinando aspectos como la gestión térmica, la corriente máxima y el aislamiento [10].

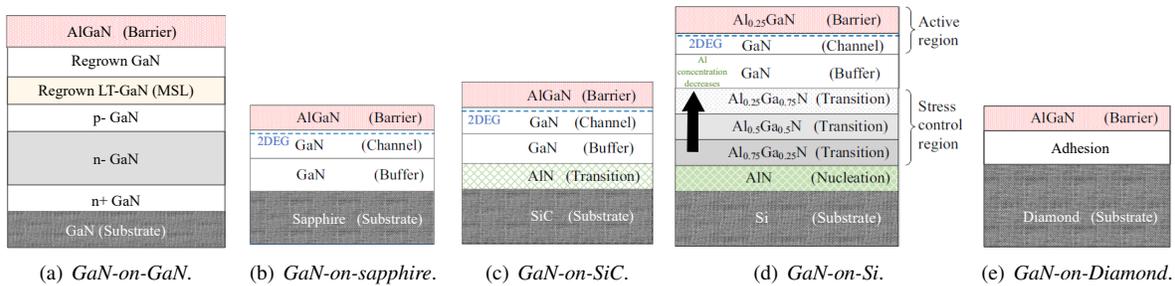


Figura 2. Estructura de capas de los sustratos GaN para dispositivos de potencia.

III. SEMICONDUCTORES GaN EN DESARROLLO

A. Dispositivos Verticales

Los dispositivos semiconductores de potencia pueden adoptar una estructura vertical o lateral. Históricamente, los dispositivos de potencia de Si y SiC han sido verticales debido a la utilización más eficiente del área de sustrato. No obstante, la fabricación de dispositivos GaN verticales requiere obleas de estructura homoepitaxial que aún no son viables a gran escala. A pesar de ello, la estructura vertical ofrece ventajas notables como una mayor tensión de ruptura gracias a la distribución uniforme del campo eléctrico, una menor corriente de colapso al generar el campo eléctrico en el interior del material (alejado de la superficie) y una mayor densidad de potencia al no requerir un campo eléctrico horizontal. Estas características resultan en mejoras significativas en la eficiencia y fiabilidad de los dispositivos, especialmente en aplicaciones de potencia a alta frecuencia [16]. Las principales investigaciones en dispositivos verticales se enfocan en [17]:

1) *Schottky Barrier Diodes (SBD)*: Se dividen en dos tipos: los *Junction Barrier Schottky (JBS)* y los *Trench Metal-Insulator-Semiconductor Barrier Schottky (TMBS)*. En los diodos JBS verticales se utilizan dos técnicas de fabricación: i) la implementación selectiva de iones para reducir la corriente inversa de fuga; y ii) la inserción de la capa epitaxial $p-GaN$ seguida de un proceso de *etching*, permitiendo alcanzar rangos de voltaje entre 400 V y 1 kV con bajas corrientes de fuga. Por otro lado, los diodos TMBS son más simples de implementar al no requerir la implantación de iones ni el proceso de *etching*, no obstante, aún se encuentran en fase de desarrollo.

2) *Transistores Verticales*: Existen dos tipos de transistores GaN verticales sobre sustratos homogéneos. El *Current Aperture Vertical Electron Transistor (CAVET)* tiene baja resistencia de conducción pero una tensión umbral negativa, mientras que el *Trench MOSFET* logra tensiones umbrales más altas pero carece de fiabilidad debido a la falta de una capa de $p-GaN$ que proporcione robustez al dispositivo.

Aunque el dispositivo GaN vertical posee ventajas, aún están en desarrollo. Son prometedoras para los mercados de alta tensión, actualmente dominados por el SiC y el Si , pero tienen desafíos que deben superarse, como la implantación de iones para $p-GaN$ y la fiabilidad.

B. Dispositivos Laterales

La tecnología GaN está experimentando un rápido avance, con propuestas de dispositivos comercializados de 600/650 V.

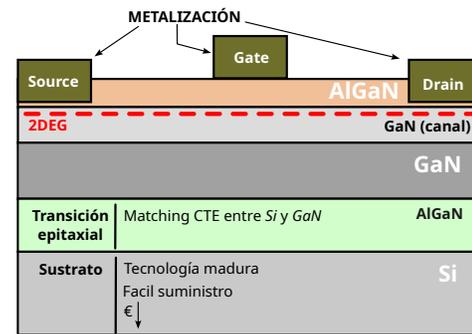


Figura 3. Capas internas de dispositivos GaN HEMT sobre $GaN-on-Si$.

El sustrato más utilizado es el $GaN-on-Si$, debido a su disponibilidad, bajo costo y la capacidad de aprovechar las instalaciones existentes heredadas del Si . Sobre los sustratos $GaN-on-Si$ se fabrican transistores de alta movilidad de electrones (HEMT), en los cuales la corriente fluye lateralmente. Estos dispositivos HEMT consisten en una heterounión $AlGaN/GaN$ con una capa de electrones de alta movilidad ($2000 \text{ cm}^2/\text{V}\cdot\text{s}$), conocida como 2DEG, que actúa como canal de conducción de corriente entre drenador y surtidor, siendo controlado a través del voltaje aplicado en la compuerta [14].

La figura 3 resume las capas del dispositivo HEMT. El sustrato Si proporciona una base sólida para el crecimiento epitaxial del resto de capas, mientras que la transición epitaxial mejora el ajuste de CTE y actúa como aislante eléctrico para evitar fugas de corriente. Las capas GaN y $AlGaN$ generan el canal de conducción, en la intersección de ambas se forma el canal conducción 2DEG que mejora la movilidad de electrones y reduce la resistencia. Finalmente, las capas de metalización y pasivación permiten aplicar una tensión de puerta para controlar la conductividad del canal GaN y modular el flujo de corriente drenador-surtidor en el transistor.

Entre los GaN HEMT laterales existentes destacan:

1) *GaN D-mode HEMT (normally-on)* [14]: Es el dispositivo HEMT básico con los valores más bajos de R_{DSon} debido a la simplicidad de su estructura. La compuerta conduce entre 0 V (encendido) y -15 V (apagado), con una tensión umbral de -6/-8 V. Esta característica requiere una etapa de protección adicional y/o de encendido en el circuito del *driver* para garantizar la seguridad del dispositivo. En las figuras 4-① y ② se muestran los dos tipos de compuerta para fabricar los dispositivos *D-mode*: *Schottky* y metalizada, respectivamente.

2) *GaN E-mode HEMT (normally-off)* [14]: La capa 2DEG en estos dispositivos los hace *normally-on*. No obstante, pero es posible modificar la estructura de la compuerta para lograr una tensión umbral positiva y obtener un comportamiento

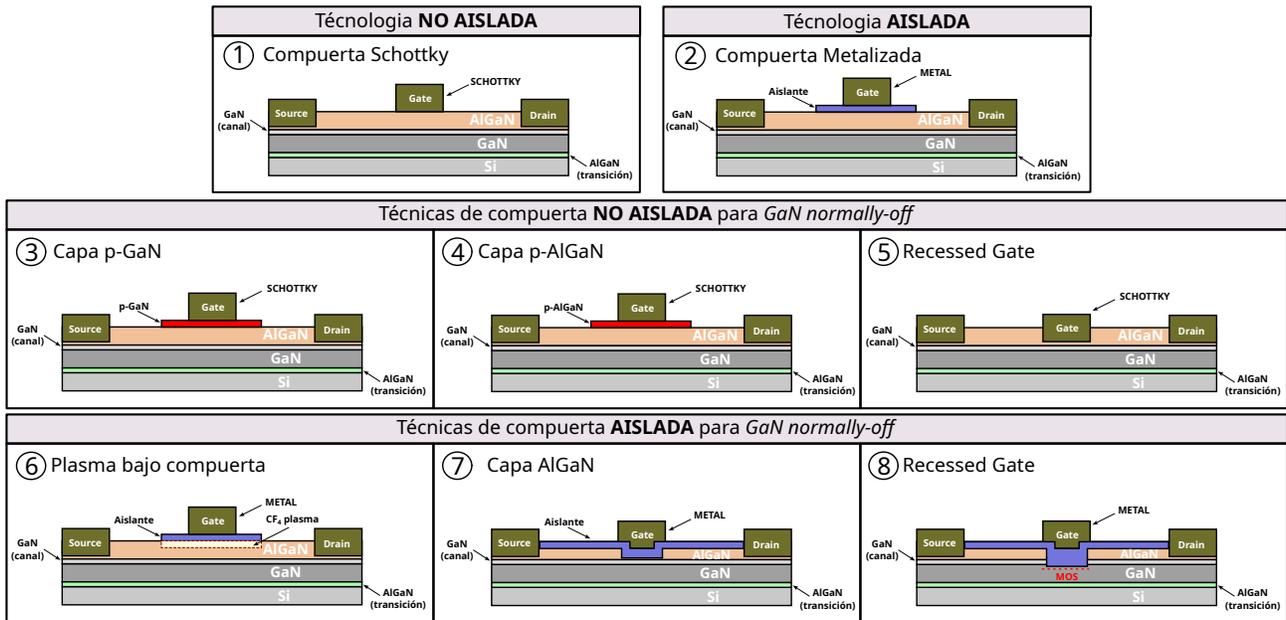


Figura 4. Distintas técnicas de compuerta no aislada y aislada para obtener dispositivos *GaN normally-off* sobre sustratos *GaN-on-Si* [13].

normally-off. Sin embargo, esto conlleva algunos inconvenientes como una gran caída de tensión en inversa, una tensión umbral muy baja que los hace susceptibles a oscilaciones y un voltaje de compuerta máximo limitado al orden de los 7 V.

Existen dos tipos de técnicas de diseño de compuerta para los dispositivos *E-mode*. Las técnicas sin aislamiento, donde se deposita una capa de *p-GaN* debajo de la compuerta para elevar el umbral a un voltaje positivo (figura 4-(3)) o una capa *p-AlGaN* (figura 4-(4)). También se puede incrustar la compuerta sobre la capa *AlGaN* (figura 4-(5)). La otra técnica de diseño de compuerta se basa en dotar a ésta de un aislamiento, como es el caso de los dispositivos MISHEMTs que incorporan una capa aislante/óxido entre la capa de *AlGaN* y la compuerta. Esta técnica ofrece opciones como inyectar plasma de *CF₄* (figura 4-(6)) para obtener cargas negativas en el *AlGaN* debajo de la compuerta o usar una capa *AlN* como aislante (figura 4-(7)) para integrar la compuerta dentro de la capa *AlGaN*. Esta última opción puede incluso eliminar permanentemente la capa 2DEG, resultando en un dispositivo MOS-HFET híbrido (figura 4-(8)).

A nivel de usuario, las principales diferencias entre los dispositivos *E-mode* con y sin aislamiento vienen determinadas por las tecnologías de fabricación, no por las características intrínsecas de la estructura. Por norma general los HEMTs de *p-GaN* presentan una $V_{GS(th)}$ y una $R_{DS(on)}$ más baja que la configuración MISHEMTs [18].

3) *GaN cascode D-mode HEMT (normally-off)* [14]: Otra manera de abordar la problemática *normally-on* de los dispositivos *D-mode* consiste en utilizar una estructura cascodo, que consiste en un MOSFET de *Si* de baja tensión y baja $R_{DS(on)}$ apagado por defecto en serie con el dispositivo *GaN HEMT D-mode*. Esta solución combina las características de conducción/conmutación superiores del HEMT *D-mode* con la simplicidad y robustez de un MOSFET de *Si* (0-15 V). Además, el mecanismo de conducción en inversa se realiza a través del diodo intrínseco del MOSFET, lo que resulta en una caída de tensión baja (< 1 V).

4) *GaN direct-drive D-mode HEMT (normally-off)* [14]: Esta arquitectura es una modificación de la configuración cascodo tradicional. Para ello, se necesitan dos fuentes de tensión separadas: una fuente positiva para mantener encendido el MOSFET de *Si* y una fuente negativa para controlar el *GaN HEMT D-mode*. Esta configuración incrementa el costo del dispositivo debido a los componentes adicionales. Sin embargo, la principal ventaja radica en la explotación directa de las propiedades del HEMT, evitando, así, la conmutación descontrolada y la carga de recuperación inversa asociada a la estructura cascodo tradicional. Sin embargo, esta topología conlleva una mayor inductancia parásita a nivel de dispositivo debido a la conexión en serie de dos dispositivos semiconductores.

IV. *GaN HEMT LATERALES DEL MERCADO*

En el mercado actual, no todos los dispositivos *GaN HEMT* mencionados anteriormente están disponibles. Los dispositivos *D-mode GaN HEMT* ya no se comercializan directamente como dispositivos discretos o *dies*. Su uso se limita a integrarse en configuraciones cascodo tradicionales y *direct-drive*. Con la presencia de dispositivos *E-mode GaN HEMT* en el mercado, los dispositivos *D-mode* han quedado desplazados.

La figura 5 resume la visión general de los dispositivos *E-mode*, compuerta sin/con aislamiento, y los dispositivos cascodo tradicional para los principales fabricantes del mercado. Los dispositivos *direct-drive* no se han incluido en este estudio debido al bajo número de dispositivos existentes comercializados únicamente por Texas Instruments y VisIC.

A. Comportamiento dispositivos: curvas *V-I*

El comportamiento estático de los dispositivos *GaN HEMT* laterales descritos anteriormente se resume a continuación:

1) *GaN D-mode HEMT (figura 6(a))*: Para activar la conducción en un dispositivo *GaN HEMT D-mode*, la tensión de compuerta (V_{gs}) debe ser mayor que la tensión umbral (V_{th}), que varía entre -30V y -5V [19]. Una vez que se

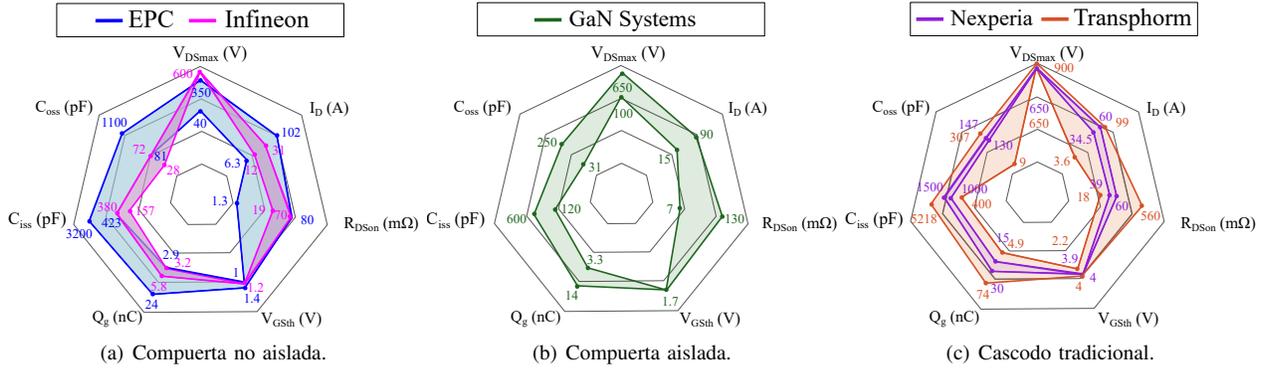


Figura 5. Parámetros máximos y mínimos de dispositivos *GaN* del mercado.

genera el canal de conducción, la tensión drenador-surtidor (V_{ds}) se calcula como $V_{ds} = I_{ds} \cdot R_{DS(on)}$, donde $R_{DS(on)}$ es la resistencia del canal cuando el dispositivo opera en el primer cuadrante. Cuando V_{gs} es menor que V_{th} , la corriente puede fluir en el tercer cuadrante, y para que haya conducción en este modo inverso, la tensión V_{gd} debe ser mayor que V_{th} . El comportamiento del dispositivo en el tercer cuadrante se asemeja al de un diodo, aunque los dispositivos *GaN* no tienen una unión p-n intrínseca ni carga de recuperación inversa.

2) *E-mode GaN HEMT* (figura 6(b)): De manera similar al *D-mode*, la conducción del canal requiere que V_{gs} sea mayor que la tensión umbral V_{th} [20]. Sin embargo, en este caso, V_{th} es positiva, alrededor de 1,3 V. Aunque el *GaN HEMT* no tiene un diodo intrínseco, la capa 2DEG puede conducir en inversa cuando $V_{SD} > V_{GS(th)} - V_{GS(off)}$. La caída de tensión inversa se estima como $V_{RGaN} = V_{GS(th)} - V_{GS(off)} + I_F \cdot R_{DS(on)(GaN)}$, donde I_F es la corriente de *freewheeling*.

3) *Cascodo GaN HEMT* (figura 6(c)): Durante el encendido, el MOSFET de *Si* se activa primero, disminuyendo la tensión drenador-surtidor y permitiendo que el *GaN HEMT* se encienda cuando se supera la tensión umbral. De manera similar, durante el apagado, el MOSFET de *Si* se apaga primero, aumentando la tensión drenador-surtidor y apagando el *GaN HEMT* cuando la tensión de compuerta cae por debajo de la tensión umbral.

$$v_{ds} = \begin{cases} i_{ds} \cdot (R_{DS_{GaN}} + R_{DS_{Si}}) & V_{g_{Si}} = 10V, i_{ds} > 0 \\ -i_{sd} \cdot (R_{DS_{GaN}} + R_{DS_{Si}}) & V_{g_{Si}} = 10V, i_{sd} > 0 \\ -(i_{sd} \cdot R_{DS_{GaN}} + v_{bd_{Si}}) & V_{g_{Si}} = 0V, i_{sd} > 0 \end{cases} \quad (1)$$

La resistencia en conducción del MOSFET ($R_{DS_{Si}}$) es menor que la del *GaN HEMT*, lo que significa que este último domina las pérdidas de conducción en estado estacionario en ambos cuadrantes. Además, durante la operación en el tercer cuadrante, el diodo intrínseco del MOSFET de *Si* introduce pérdidas adicionales que deben evitarse.

4) *Direct-drive GaN HEMT* (figura 6(d)) : La mayoría de los problemas asociados con los dispositivos cascodos se deben a la conmutación simultánea del MOSFET de *Si* y el *GaN HEMT*. La tecnología de *direct-drive* supera este problema al usar solo el MOSFET de *Si* para habilitar el dispositivo. En el dispositivo *GaN* cascodo, tanto los dispositivos de *Si* como el *GaN* se encienden y apagan juntos, mientras que en el *direct-drive*, el MOSFET no conmuta, sino que permanece encendido hasta que se apaga con una señal de habilitación aplicada solo cuando el voltaje de polarización es negativo para apagar el *GaN HEMT*. Controlar la compuerta

de *GaN* reduce la carga de la compuerta y elimina el diodo de recuperación inversa, lo que resulta en una reducción considerable de las pérdidas de conmutación y evita las resonancias asociadas al cascodo tradicional. Sin embargo, en caso de fallo de la fuente de alimentación, el *driver* no puede apagar el HEMT, por lo que es necesario añadir una protección de subvoltaje (UVLO) y evitar cortocircuitos.

B. Encapsulados *GaN*: Tendencias

Para optimizar las prestaciones de los semiconductores *GaN* en aplicaciones de potencia, se han desarrollado diversas familias de encapsulados. A través de ellas, se persigue lograr una baja inductancia/resistencia para el bucle de potencia y una mejor gestión térmica [8].

Los fabricantes han desarrollado tecnologías de interconexión planar para los transistores de *GaN* con el fin de mejorar el rendimiento eléctrico, térmico y la fiabilidad [21]. La adopción de tecnologías de Array de Bolas (BGA) y Array de Líneas (LGA) ha permitido eliminar los *wires* y *lead frames*, reduciendo la inductancia interna y el tamaño del dispositivo. La tecnología BGA utiliza bolas de soldadura para mejorar la transferencia de calor, mientras que la tecnología LGA, también conocida como *Wafer Level Chip Scale* (WLCS), ofrece una inductancia parásita menor a 0,5 nH y una resistencia térmica de 0,3 °C/W, contribuyendo a mejorar las prestaciones y la eficiencia del encapsulado.

Sin embargo, el pequeño paso entre terminales (*pitch*), así como la fragilidad del LGA, lo convierte en poco práctico. Por ello, los fabricantes optan a menudo por opciones como los encapsulados *Power Quad Flat No-Lead* (PQFN), los cuales son más fáciles de usar, preservando características clave de pequeño tamaño, baja $R_{DS(on)}$, excelente conductividad térmica y bajo costo [21]. La resistencia térmica del encapsulado PQFN es comparado y analizado en la figura 7 [21].

V. CONCLUSIONES

La tecnología *GaN* está en constante evolución y ha experimentado un desarrollo significativo en menos de dos décadas, destacando la comercialización de dispositivos laterales *GaN HEMTs* sobre sustratos *GaN-on-Si* para aplicaciones de hasta 600/650 V y 10-100 A. Estos avances están transformando sectores clave como vehículos eléctricos, *data centers* y electrónica de consumo, ofreciendo una mayor eficiencia, baja $R_{DS(on)}$ (10-100 mΩ), mínimas pérdidas y tamaños. Aunque aún no ha alcanzado su madurez, la continua aparición de nuevas versiones de dispositivos busca mejorar prestaciones.

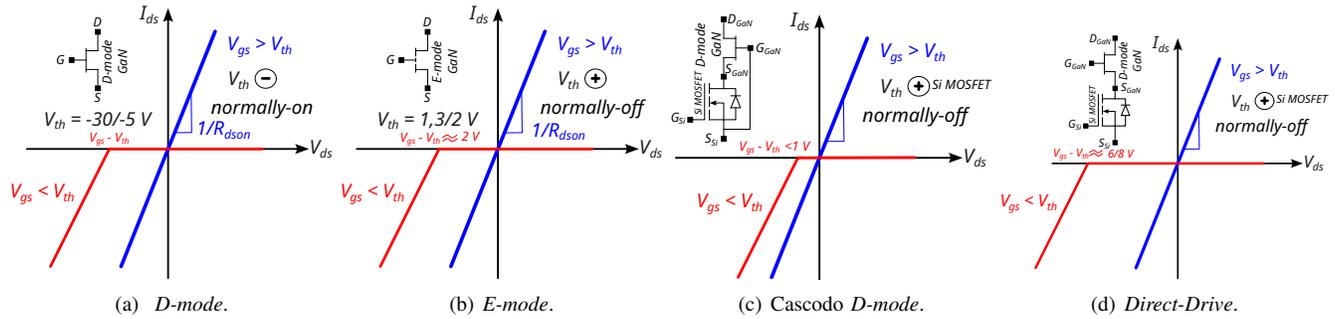


Figura 6. Características estáticas de los dispositivos GaN [14].

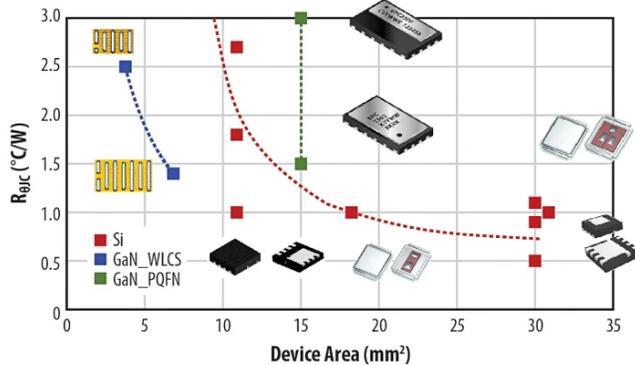


Figura 7. Resistencia térmica unión-PCB.

En los sustratos GaN, actualmente la tecnología *GaN-on-Si* es la más común debido a su legado de la tecnología Si y su menor costo, mientras que para aplicaciones de RF se recurre a *GaN-on-sapphire* y para mejores prestaciones térmicas se emplea *GaN-on-SiC*. Aunque *GaN-on-Diamond* es una opción experimental, los esfuerzos principales se concentran en optimizar *GaN-on-GaN* para dispositivos verticales.

En cuanto a los dispositivos GaN comerciales, los *E-mode GaN* HEMT y las configuraciones cascode dominan el mercado gracias a su comportamiento *normally-off*, destacando fabricantes como EPC, GaN Systems, Infineon y Nexperia. Los *D-mode GaN* HEMT se utilizan internamente en otras topologías debido a su modo *normally-on*, mientras que las soluciones *direct-drive* son ofrecidas por pocos fabricantes debido a su complejidad de control. Dado que los transistores GaN son de conmutación rápida, se deben considerar los efectos de los elementos parásitos del circuito, lo que ha impulsado la integración del circuito de *driver* con el dispositivo GaN de potencia para optimizar la conexión de compuerta y evitar sobretensiones y oscilaciones no deseadas.

VI. AGRADECIMIENTOS

El trabajo descrito en esta publicación ha sido financiado por el Gobierno Vasco en base a las ayudas para apoyar las actividades de grupos de investigación del sistema universitario vasco IT1440-22. Además, esta publicación es parte del proyecto EPOGAN (KK-2023/00091-convocatoria ELKARTEK) financiado por el Gobierno Vasco y del proyecto PID2020-115126RB-I00 financiado por MCIN/AEI/10.13039/501100011033.

REFERENCIAS

- [1] "Power Semiconductor Predictions," GaN Systems, Tech. Rep., 2023.
- [2] "Chips and Science Act Delivering For America," Semiconductor Industry Association, Tech. Rep., 2023.
- [3] "European Chips Act: Information Session for Stakeholders," European Commission, Tech. Rep., 2022.

- [4] "Gallium Nitride: The Facts," Navitas, Tech. Rep., 2019. [Online]. Available: <https://navitassemi.com/gallium-nitride-the-next-generation-of-power/>
- [5] N. Keshmiri, D. Wang, B. Agrawal, R. Hou, and A. Emadi, "Current Status and Future Trends of GaN HEMTs in Electrified Transportation," *IEEE Access*, vol. 8, pp. 70 553–70 571, 2020.
- [6] R. T. Yadlapalli, A. Kotapati, R. Kandipati, and C. S. Koritala, "A Review on energy efficient technologies for electric vehicle applications," *Journal of Energy Storage*, vol. 50, p. 104212, 2022.
- [7] M. Buffolo, D. Favero, A. Marcuzzi, C. D. Santi, G. Meneghesso, E. Zanoni, and M. Meneghini, "Review and outlook on gan and sic power devices: Industrial state-of-the-art, applications, and perspectives," *IEEE Transactions on Electron Devices*, pp. 1–12, 2024.
- [8] A. I. Emon, M. ul Hassan, A. B. Mirza, J. Kaplun, S. S. Vala, and F. Luo, "A Review of High Speed GaN Power Modules: State of the Art, Challenges, and Solutions," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, pp. 1–1, 2022.
- [9] "One GaN Platform, Crossing the Power Spectrum," Transphorm, Tech. Rep., 2023.
- [10] D. Yan and D. B. Ma, "A Monolithic GaN Power IC With On-Chip Gate Driving, Level Shifting, and Temperature Sensing, Achieving Direct 48-V/1-V DC-DC Conversion," *IEEE Journal of Solid-State Circuits*, vol. 57, no. 12, pp. 3865–3876, 2022.
- [11] E. Robles, A. Matallana, I. Aretxabaleta, J. Andreu, M. Fernández, and J. L. Martín, "The role of power device technology in the electric vehicle powertrain," *International Journal of Energy Research*, vol. 46, no. 15, pp. 22 222–22 265, 2022.
- [12] S. Mönch, M. Basler, R. Reiner, F. Benkhelifa, P. Döring, M. Sinnwell, S. Müller, M. Mikulla, P. Waltereit, and R. Quay, "GaN power converter and high-side IC substrate issues on Si, p-n junction, or SOL," *e-Prime - Advances in Electrical Engineering, Electronics and Energy*, vol. 4, p. 100171, 2023.
- [13] A. Lidow, M. de Rooij, J. Strydom, D. Reusch, and J. Glaser, *GaN Transistors for Efficient Power Conversion*. Wiley, 2019.
- [14] D. Cittanti, E. Vico, and I. R. Bojoi, "New FOM-Based Performance Evaluation of 600/650 V SiC and GaN Semiconductors for Next-Generation EV Drives," *IEEE Access*, vol. 10, pp. 51 693–51 707, 2022.
- [15] N. Kim, J. Yu, W. Zhang, R. Li, M. Wang, and W. T. Ng, "Current Trends in the Development of Normally-OFF GaN-on-Si Power Transistors and Power Modules: A Review," *Journal of Electronic Materials*, vol. 49, pp. 6829–6843, Aug. 2020.
- [16] X. Ding, Y. Zhou, and J. Cheng, "A review of gallium nitride power device and its applications in motor drive," *CES Transactions on Electrical Machines and Systems*, vol. 3, no. 1, pp. 54–64, 2019.
- [17] M. Meneghini, C. De Santi, I. Abid, M. Buffolo, M. Cioni, R. A. Khadar, L. Nela, N. Zagni, A. Chini, F. Medjdoub, G. Meneghesso, G. Verzellesi, E. Zanoni, and E. Matioli, "GaN-based power devices: Physics, reliability, and perspectives," *Journal of Applied Physics*, vol. 130, no. 18, 11 2021, 181101.
- [18] M. Fernández, X. Perpiñà, J. Roig-Guitart, M. Vellvehi, F. Bauwens, M. Tack, and X. Jordà, "Short-Circuit Study in Medium-Voltage GaN Cascodes, p-GaN HEMTs, and GaN MISHEMTs," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 9012–9022, 2017.
- [19] X. Huang, Z. Liu, Q. Li, and F. Lee, "Evaluation and application of 600V GaN HEMT in cascode structure," in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, pp. 1279–1286.
- [20] B. Sun, "Does GaN Have a Body Diode? - Understanding the Third Quadrant Operation of GaN," Texas Instruments, Tech. Rep., 2019.
- [21] A. Lidow, M. de Rooij, and S. Sundaram, "Power Packaging for the GaN Generation of Power Conversion," *Bodo's Power Systems*, pp. 20–22, 2023.