



Euskal Herriko Unibertsitatea
Universidad del País Vasco



Ingeniarien Goi Eskola
Escuela Superior de Ingenieros
Bilbao

Teknologi Elektroniko Saila
Departamento de
Tecnología Electrónica

ANÁLISIS DE SOLUCIONES PARA EL DISEÑO ROBUSTO DEL SISTEMA DE PROPULSIÓN DE UN VEHÍCULO ELÉCTRICO: TARJETA DE DISPAROS/DRIVER

Imanol Ruiz Alonso

2015-2016

Master en ingeniería de telecomunicaciones
Director: Dr. Jon Andreu Larrañaga

Índice general

| | |
|---|-----------|
| 1. Tabla de acrónimos | |
| 2. Abstract | 1 |
| 3. Objetivos y alcance del proyecto | 3 |
| 4. Beneficios que aporta el trabajo | 5 |
| 4.1. Beneficios técnicos | 5 |
| 4.2. Beneficios económicos | 5 |
| 4.3. Beneficios sociales | 5 |
| 5. Estado del arte | 7 |
| 5.1. Introducción | 7 |
| 5.2. Semiconductores de potencia | 7 |
| 5.3. Circuitos de excitación de compuerta de IGBT y MOSFET: drivers | 9 |
| 6. Análisis de alternativas | 11 |
| 6.1. Introducción | 11 |
| 6.2. Alternativas del convertidor DC/DC aislado | 11 |
| 6.3. Alternativas del semiconductor de potencia | 12 |
| 6.4. Alternativas del driver | 14 |
| 6.5. Alternativas de las protecciones | 15 |
| 7. Análisis de riesgos | 17 |
| 7.1. Riesgos posibles | 17 |
| 7.2. Respuesta a los riesgos (Plan de contingencia) | 17 |
| 8. Aspectos económicos | 19 |
| 8.1. Presupuesto | 19 |
| 8.1.1. Recursos humanos | 19 |
| 8.1.2. Recursos materiales | 19 |
| 8.1.3. Cálculos totales | 20 |
| 8.2. Análisis de rentabilidad | 21 |
| 9. Metodología | 23 |
| 9.1. Descripción de las tareas | 24 |
| 9.1.1. P.T. 0: gestión del proyecto | 24 |
| 9.1.2. P.T. 1: estudios previos | 25 |
| 9.1.3. P.T. 2: Estado de la tecnología: IGBTs | 25 |
| 9.1.4. P.T. 3: Análisis de drivers | 25 |

| | | |
|-------------|--|-----------|
| 9.1.5. | P.T. 4: Modelado de circuitos de protección | 25 |
| 9.1.6. | P.T. 5: Análisis de alternativas | 26 |
| 9.1.7. | P.T. 6: Propuestas de diseño robusto de la tarjeta de disparos para convertidores de potencia | 26 |
| 9.1.8. | P.T. 7: Documentación | 26 |
| 9.1.9. | Diagrama de Gantt | 28 |
| 10. | Conclusiones | 29 |
| I. | Anexo 1: pliego de condiciones y normativa aplicable | 31 |
| A. | Pliego de condiciones | 33 |
| A.1. | Introducción | 33 |
| A.2. | Condiciones de aceptación | 33 |
| A.2.1. | Escenario de pruebas | 33 |
| A.3. | Condiciones de seguimiento y control | 34 |
| B. | Normativa aplicable | 35 |
| II. | Anexo 2: Planos y esquemas | 37 |
| C. | Escenario de pruebas del circuito | 39 |
| C.1. | Introducción | 39 |
| C.2. | Efecto de la resistencia de puerta | 39 |
| C.3. | Efecto de la inductancia parásita | 44 |
| C.3.1. | Dead-Time | 50 |
| C.4. | Efecto de las capacidades internas | 54 |
| C.5. | Protecciones | 58 |
| C.5.1. | Detección de falta de saturación | 58 |
| C.5.2. | Active clamping | 62 |
| C.5.3. | Gate clamping | 65 |
| C.5.4. | Miller clamping | 66 |
| D. | Diseño de la tarjeta de disparos/driver | 67 |
| III. | Anexo 3: Estudio de la tecnología requerida para la realización del diseño | 69 |
| E. | Funcionamiento matemático del driver | 71 |
| E.1. | Introducción | 71 |
| E.2. | Ecuaciones fundamentales | 71 |
| E.3. | Carga de puerta | 73 |
| E.4. | Corriente de puerta | 76 |
| E.4.1. | Pico de corriente de puerta | 77 |
| E.5. | Conclusiones | 78 |

| | |
|---|------------|
| F. Protecciones | 79 |
| F.1. Introducción | 79 |
| F.2. Detección de falta de saturación | 80 |
| F.2.1. V_{CEsat} dinámico | 82 |
| F.3. Miller Clamping | 83 |
| F.4. Active Clamping | 86 |
| F.4.1. Active Clamping feedback to gate | 86 |
| F.4.2. Active Clamping feedback to gate and driver | 86 |
| F.4.3. Conditional Active Clamping | 87 |
| F.4.4. Dynamic Active Clamping | 89 |
| F.5. Gate Clamping | 90 |
| F.6. Resistencia de puerta | 92 |
| F.7. Protecciones contra temperaturas | 93 |
| F.8. Short pulse supression | 93 |
| F.9. Protecciones contra deadtime | 94 |
| F.10. Tensión de alimentación (Vee) negativa | 95 |
| F.11. Conclusiones | 96 |
| G. Consideraciones para el diseño del PCB de la tarjeta de disparo | 97 |
| G.1. Introducción | 97 |
| G.2. Lazos de corriente | 97 |
| G.3. Disposición de las tierras | 98 |
| G.4. Efectos resistivos de las pistas | 99 |
| G.5. Efectos térmicos de las pistas | 100 |
| G.6. Efecto capacitivo e inductivo de las pistas | 100 |
| G.7. Conclusiones | 101 |
| Bibliografía | 105 |

Lista de Figuras

| | |
|---|----|
| 5.1. Límites eléctricos para los dispositivos semiconductores de potencia más importantes y rangos de aplicaciones. | 8 |
| 5.2. Diagrama de bloques de un circuito driver para una rama de un circuito puente de IGBTs. | 9 |
| 5.3. Estado actual y concepto de nuevos drivers. | 10 |
| 6.1. Curva de derating de un hipotético dispositivo de potencia. | 11 |
| 7.1. Matriz de riesgos impacto-probabilidad | 18 |
| 9.1. Esquemático inversor. | 23 |
| 9.2. Diagrama de Gantt. | 28 |
| C.1. Simulación de disparo de IGBT con diferentes resistencias de puerta. | 39 |
| C.2. Diferentes valores de resistencia de puerta. | 40 |
| C.3. Resultados de disparo de IGBT con diferentes resistencias de puerta. | 41 |
| C.4. Picos de corriente generados con diferentes resistencias de puerta. | 42 |
| C.5. Estructura de un IGBT discreto con puerta aislada. | 42 |
| C.6. Estructura de un modulo de IGBTs con base plate. | 43 |
| C.7. Resistencia interna del módulo FS800R07A2E3 [1]. | 43 |
| C.8. Inductancias parasitas del módulo FS800R07A2E3. | 44 |
| C.9. Valor inductancia parasita del módulo FS800R07A2E3 [1]. | 44 |
| C.10. Circuito utilizado para simulación de inductancias parasitas. | 45 |
| C.11. Resultados de simulación de inductancias parasitas. | 45 |
| C.12. Circuito para simulación de una rama de un inversor. | 47 |
| C.13. Resultados de la tensión gate-emisor. | 48 |
| C.14. Tensión en la carga. | 49 |
| C.15. Encendido parásito de un IGBT. | 50 |
| C.16. Configuración típica de un inversor de tensión. | 50 |
| C.17. Valores de retrasos del IGBT AUIRGPS4067D1 [2]. | 51 |
| C.18. Valores de retrasos del IGBT FS800R07A2E3 [1]. | 51 |
| C.19. Valores de retrasos del driver Skyper32 [3]. | 51 |
| C.20. Esquema utilizado con dead-time programable. | 52 |
| C.21. V_{GE} con dead-time. | 53 |
| C.22. V_{GE} con dead-time e inductancias parásitas. | 53 |
| C.23. Capacidades internas de un IGBT. | 54 |
| C.24. Esquema utilizado con relación de capacidades cambiada. | 55 |
| C.25. Resultados con relación de capacidades cambiada. | 55 |
| C.26. Esquema utilizado para aumentar capacidades. | 56 |
| C.27. Resultados con capacidades aumentadas. | 57 |

| | |
|--|----|
| C.28. Estructura interna del driver (protección ante desaturación). | 58 |
| C.29. Detección de falta de saturación. | 59 |
| C.30. Esquema para detección de falta de saturación. | 59 |
| C.31. Resultados para detección de falta de saturación. | 60 |
| C.32. Diodos con tiempo de recuperación inversa baja. | 60 |
| C.33. Recuperación inversa del diodo en la protección de saturación. | 61 |
| C.34. Señal de falta de saturación. | 61 |
| C.35. Picos de tensión generados en V_{CE} . | 62 |
| C.36. Protección active clamping. | 63 |
| C.37. Resultados de protección active clamping. | 63 |
| C.38. Protección active clamping feedback to driver. | 64 |
| C.39. Resultados de protección active clamping feedback to driver. | 64 |
| C.40. Protección utilizada para limitar tensión de puerta (Gate clamping). | 65 |
| C.41. Resultados de tensión V_{GE} utilizando la protección. | 65 |
| C.42. Protección frente a encendido parásito de un IGBT. | 66 |
| D.1. Diseño de tarjeta de disparos/driver robusto. | 67 |
| E.1. Encapsulado de los IGBT. | 71 |
| E.2. Esquema general de la placa de disparo. | 72 |
| E.3. Capacidades de un IGBT. | 73 |
| E.4. Capacidades de pequeña señal. | 74 |
| E.5. Características de carga de puerta. | 75 |
| E.6. Corrientes de puerta. | 76 |
| E.7. Picos de corriente de puerta. | 77 |
| F.1. Esquemático inversor. | 79 |
| F.2. Driver con protecciones. | 80 |
| F.3. Principio de protección de saturación. | 81 |
| F.4. Ejemplo de circuito con $V_{CE(sat)}$ estático. | 82 |
| F.5. Ejemplo de circuito con $V_{CE(sat)}$ dinámico. | 82 |
| F.6. Curvas de $V_{CE(sat)}$ dinámico. | 83 |
| F.7. Protección Miller Clamping. | 84 |
| F.8. Variantes de protección Miller Clamping. | 85 |
| F.9. Protección collector emitter clamping (feedback to gate) [4]. | 86 |
| F.10. Protección collector emitter clamping (feedback to gate and driver) [4]. | 87 |
| F.11. Protección conditional Active Clamping. | 88 |
| F.12. Protección Dynamic Active Clamping [4]. | 89 |
| F.13. Protección Gate Clamping: alternativa de diodo supresor con BJT. | 90 |
| F.14. Protección Gate Clamping: alternativa de diodo supresor con MOSFET. | 90 |
| F.15. Capacidades internas del IGBT. | 92 |
| F.16. Diferentes configuraciones para la resistencia de puerta [4]. | 92 |
| F.17. Efectos de la variación de la resistencia de puerta. | 93 |
| F.18. Esquema del supresor mediante Schmitt Trigger. | 94 |
| F.19. Esquema de interbloqueo (deadtime) junto con el supresor de pulsos. | 95 |
| F.20. Comparativa de la tensión V_{RG} con y sin protección por V_{EE} . | 95 |

| | |
|--|-----|
| G.1. Ejemplo de lazos de corriente en un circuito. | 98 |
| G.2. Lazos pequeños para reducir inductancias parásitas. | 98 |
| G.3. Cambios de dirección en las pistas. | 101 |
| G.4. Evitar ángulos rectos en las pistas. | 101 |
| G.5. Distancia uniforme entre líneas paralelas. | 102 |
| G.6. Evitar pistas tangenciales al pad. | 102 |
| G.7. Evitar pads sobrepuestos. | 103 |
| G.8. Pistas máximas por pad. | 103 |

Lista de Tablas

| | |
|--|----|
| 1.1. Tabla de acrónimos. | |
| 6.1. Comparativa de convertidores DC/DC | 12 |
| 6.2. Elección del DC/DC. | 12 |
| 6.3. Elección del semiconductor. | 14 |
| 6.4. Comparativa de drivers AUIR (IR Rectifier) y EICE (Infineon). | 15 |
| 6.5. Elección del driver. | 15 |
| 6.6. Protecciones internas de los drivers. | 16 |
| 6.7. Protecciones de los drivers. | 16 |
| 8.1. Resumen coste recursos humanos. | 19 |
| 8.2. Resumen de recursos fungibles. | 20 |
| 8.3. Resumen de amortizaciones. | 20 |
| 8.4. Resumen del presupuesto (€). | 20 |
| 9.1. Paquetes de trabajo | 27 |
| B.1. Estándares IEC 60747 para IGBTs. | 35 |
| B.2. Estándares y normas importantes para el proyecto. | 36 |
| B.3. Estándares AEC aplicables a los MOSFETs e IGBTs. | 36 |
| C.1. Resultados de picos de tensión en V_{GE} | 49 |
| C.2. Valores de dead-time mínimos para el AUIRGPS4067D1 y el FS800R07A2E3. | 53 |
| C.3. Valores de picos de tensión de V_{CE} | 62 |

1. Tabla de acrónimos

Tabla 1.1.: Tabla de acrónimos.

| Acrónimo | Significado |
|----------------|--|
| <i>APERT</i> | Applied Electronics Research Team |
| <i>UPV/EHU</i> | Universidad del País Vasco/Euskal Herriko Unibertsitatea |
| <i>V</i> | Voltios |
| <i>A</i> | Amperios |
| Ω | Ohm |
| <i>IGBT</i> | Insulated Gate Bipolar Transistor |
| <i>MOSFET</i> | Metal-oxide-semiconductor Field-effect transistor |
| <i>SCR</i> | Silicon Controlled Rectifier |
| V_{GE} | Tensión puerta-emisor |
| V_{CE} | Tensión colector-emisor |
| V_{CEsat} | Tensión colector-emisor de saturación |
| $V_{GE(TO)}$ | Tensión puerta-emisor umbral |
| <i>UVLO</i> | Under Voltage Lock Out |
| t_{bl} | Blank time |
| C_{bl} | Condensador de Blank time |
| V_{ref} | Tensión de referencia |
| I_{desat} | Corriente de saturación |
| <i>PWM</i> | Pulse Width Modulation |
| $t_{DOFFMAX}$ | Máximo retraso de apagado. |
| t_{DONMIN} | Mínimo retraso de encendido |
| t_{PDDMAX} | Máximo retraso de propagación del driver |
| t_{PDDMIN} | Mínimo retraso de propagación del driver |
| <i>SiC</i> | Carburo de Silicio |
| <i>GaN</i> | Nitruro de Galio |

2. Abstract

Título: ANÁLISIS DE SOLUCIONES PARA EL DISEÑO ROBUSTO DEL SISTEMA DE PROPULSIÓN DE UN VEHÍCULO ELÉCTRICO: TARJETA DE DISPAROS/DRIVER.

El presente proyecto tiene como objetivo el análisis de la tecnología de la tarjeta de disparos/driver del convertidor de potencia de un vehículo eléctrico. En él, se ha realizado un estudio profundo de las protecciones, consiguiendo así los conocimientos necesarios para el desarrollo de un diseño robusto capaz de hacer frente a situaciones de falta como cortocircuitos, picos de tensión, encendidos parásitos del IGBT, etc. Además de esto, se ha realizado la simulación de las protecciones estudiadas, con lo que es posible visualizar el funcionamiento de las mismas y acabar de comprender de forma correcta como actúan en los diferentes casos de falta. Con todo esto, es posible la realización de una tarjeta de disparos/driver para el inversor de un motor de un vehículo eléctrico, pudiendo utilizarse también en diferentes aplicaciones.

Izenburua: IBILGAILU ELEKTRIKOARENTZAKO PROPULTSIO SISTEMAREN DISEINU SENDORAKO SOLUZIOEN ANALISIA: DISPARO TXARTELA/DRIVER

Proiektu hau ibilgailu elektriko baten potentzia bihurgailuaren disparo txartelaren/driveraren teknologiararen analisia dauka helburu bezala. Bertan protekzioen ikasketa sakon bat egin da, kortozirkuituak, korrante pikoak, IGBTaren pizte parasitoak eta horrelako falta egoeretatik babesteko diseinu sendo bat egiteko ezaguerak lortuz. Horretaz gain, aztertutako protekzioen simulazioa egin da, non hauen funtzionamendua ikusi daiteke, falta egoeretan nola jarduten duten guztiz ulertuz. Honekin ibilgailu elektriko baten motorearen inbertsorearen disparo txartela/driver baten diseinu sendo egitea posiblea da, beste aplikazio batzuetan ere erabilia izan daitekeena.

Title: ANALYSIS OF SOLUTIONS FOR THE ROBUST DESIGN OF THE PROPULSION SYSTEM OF THE ELECTRIC VEHICLE: SHOTS CARD/DRIVER

The present project has as objective the analysis of the technology of the shot card/driver of the potence converter of an electric vehicle. An intensive research of the protections has been done, getting the knowledge to develop a robust design able to deal with different fault situations, such as short-circuits, current peaks, etc. Furthemore, simulations of the protections have been done to understand the operation of them and to know how they act in the different fault situations. With this, the design of a robust shots card/driver for the inverter of the motor of an electric vehicle can be done, and also for other aplications too.

3. Objetivos y alcance del proyecto

Este proyecto pretende plasmar el conocimiento que caracteriza al sistema de propulsión y más en concreto a la tarjeta de drivers encargada de hacer conmutar al convertidor de potencia.

En concreto, este proyecto pretende realizar un análisis exhaustivo de los elementos fundamentales que intervienen en el disparo de los semiconductores de potencia existentes en los convertidores de potencia de los vehículos eléctricos. Así, será posible realizar el diseño de una tarjeta de drivers que cuente con las protecciones necesarias que garanticen la conmutación segura de los módulos de potencia encargados de interactuar con el motor eléctrico del vehículo.

El proyecto se centrará fundamentalmente en el análisis del estado de la tecnología de los elementos que interactúan en la conmutación de los semiconductores, la realización de simulaciones de circuitos de disparo y protección y, finalmente, en la generación de propuestas de diseño electrónico del sistema de disparo, centrándose sobre todo en los circuitos de protección.

Entre otros, se pretende abordar las siguientes tareas:

- Análisis del estado de la tecnología de los IGBTs.
- Análisis de drivers.
- Modelado de los circuitos de protección.
- Propuestas de diseño robusto de la tarjeta de disparos para convertidores de potencia.
- Realizar la documentación correspondiente a todas y cada una de las tareas descritas anteriormente.

El proyecto se ha realizado en el grupo de investigación APERT, perteneciente a la UPV/EHU. Además, se ha conseguido una beca del centro tecnológico Tecnalia Research and Innovation, acudiendo también en régimen de cooperación educativa a las instalaciones del parque tecnológico de Zamudio.

4. Beneficios que aporta el trabajo

Aunque el objetivo de este proyecto es el análisis de las protecciones de un circuito de disparos para un inversor utilizado en aplicaciones de automoción (vehículos eléctricos), puede aplicarse a cualquier otro campo que requiera de un inversor de potencia. Por ello, este proyecto aporta beneficios más allá del sector de la automoción.

4.1. Beneficios técnicos

El principal beneficio de este proyecto y del propio módulo de potencia que constituye el tren de tracción del vehículo eléctrico es, también, su objetivo principal: la robustez y seguridad de la tarjeta de drivers. Gracias a los estudios realizados, se consiguen técnicas mediante las que conseguir la robustez y seguridad suficiente como para hacer frente a situaciones de falta como cortocircuitos, picos de tensión, encendidos parásitos del IGBT, etc.

4.2. Beneficios económicos

A día de hoy la energía eléctrica va cobrando cada vez más protagonismo dentro del consumo energético global. Es de gran importancia que los sistemas para adquirir este tipo de energía tengan un precio asequible con el objetivo de fomentar su uso. Para lograr este fin se requiere mejorar la robustez de los inversores, y en ese punto es donde se centra este proyecto.

El desarrollo de un sistema de disparo más seguro permite construir a su vez inversores de potencia mejores. Consecuentemente, un diseño con mayor robustez conseguirá durar más y no tener que cambiar el convertidor de potencia porque se haya destruido al generarse una falta.

4.3. Beneficios sociales

Los vehículos eléctricos están en contacto con las personas, por ello, es indispensable que exista una seguridad para que no se pueda originar un accidente. En un convertidor de potencia se generan tensiones y corrientes muy grandes, por ello, una falta podría originar daños en las personas y gracias a las protecciones de los drivers, estas faltas no se generan consiguiendo así mayor seguridad.

5. Estado del arte

5.1. Introducción

En este capítulo se describe el estado en el que se encuentra la tecnología necesaria para el desarrollo del proyecto y el correcto diseño de la aplicación. Para ello, en el anexo III se ha analizado toda la tecnología que involucra a la tarjeta de disparos/driver, en la que tienen la mayor importancia el semiconductor y el circuito de excitación de compuerta.

5.2. Semiconductores de potencia

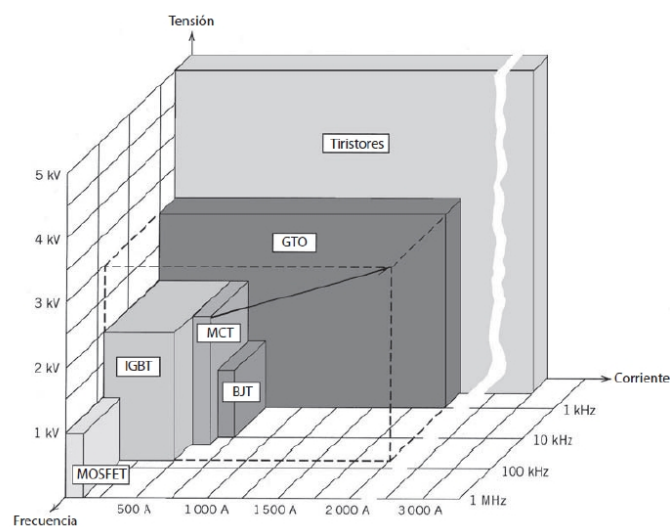
La mayoría de los circuitos de electrónica de potencia utilizan dispositivos de conmutación de potencia que, idealmente, presentan resistencia infinita en el estado de apagado, resistencia nula en el estado activo, y conmutan instantáneamente.

Entre los dispositivos más comunes se encuentran el diodo, el tiristor y los transistores. Todos estos se basan en uniones p-n de silicio con los que se consigue abrir y cerrar los circuitos a modo de interruptor.

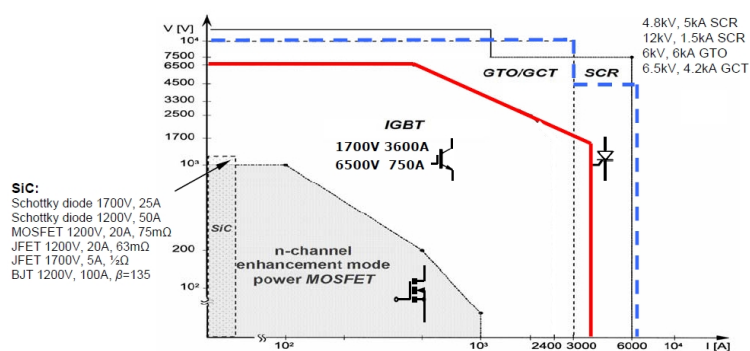
Dependiendo de la potencia y la velocidad de conmutación requerida por la aplicación, se utilizará un dispositivo u otro. Para las aplicaciones de mayor potencia se utilizarán los tiristores, que, por otro lado, tienen una frecuencia de conmutación más baja. Sin embargo, si lo que se desea es tener una velocidad de encendido y apagado mayor, se utilizarán los IGBTs y/o MOSFETs, los cuales soportan potencias bastante más bajas. En la figura 5.1 se puede ver el tipo de semiconductor que se debe de utilizar en casos en los que se requiere mayor frecuencia o mayor potencia.

Entre los dispositivos más utilizados se encuentran:

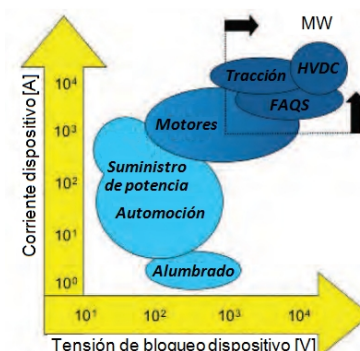
- Diodo
- Tiristor
- BJT
- MOSFET
- IGBT
- GTO



(a)



(b)



(c)

Figura 5.1.: Límites eléctricos para los dispositivos semiconductores de potencia más importantes y rangos de aplicaciones.

Por otro lado, se encuentran los semiconductores de potencia de nueva generación, denominados "Wide Band Gap" (WBG) semiconductors. El silicio ha sido el material predominante en los semiconductores de potencia desde la década de los 50. Sin embargo, en los últimos años, la electrónica de potencia apunta hacia las nuevas tecnologías de carburo de silicio (SiC) y nitruro de galio (GaN) debido a su buen comportamiento en aplicaciones que exigen alta temperatura, alta frecuencia y alta potencia. Las propiedades de estos materiales prometen mejoras considerables en el rendimiento en comparación con los dispositivos actuales de silicio.

5.3. Circuitos de excitación de compuerta de IGBT y MOSFET: drivers

El driver, también denominado circuito excitador, es el dispositivo encargado de controlar la conmutación del semiconductor de potencia. Su función principal es la de adaptar las señales de control a los rangos requeridos por el semiconductor de potencia y establecer un aislamiento eléctrico cuando la aplicación lo requiera, por lo que puede considerarse la interfaz entre el circuito de control y los interruptores de potencia.

Además del driver de puerta básico, se pueden ver estructuras de enclavamiento de las señales para el IGBT superior (S_{TOP}) e inferior (S_{BOT}) de la rama, funciones de protección y monitorización, y generadores de impulsos. Por ejemplo, en la figura 5.2 se muestra la estructura básica de un circuito driver de alto rendimiento para una rama de una estructura en puente con interbloqueo, protecciones y funciones de monitorización TOP/BOTTOM (IGBT superior e inferior) [5].

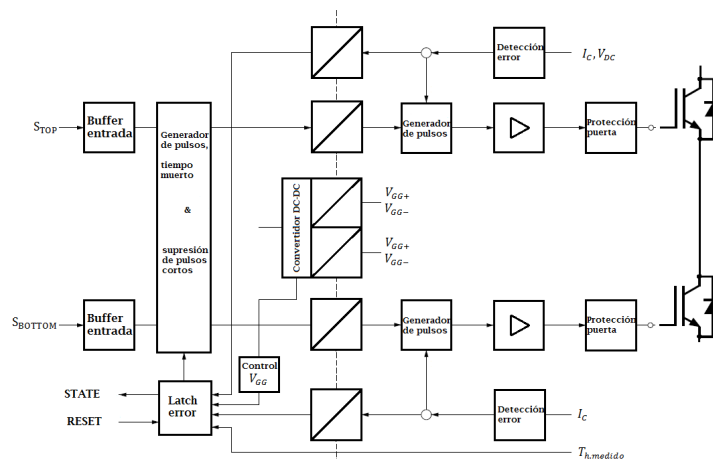


Figura 5.2.: Diagrama de bloques de un circuito driver para una rama de un circuito puente de IGBTs.

En cuanto al estado de los drivers, en la figura 5.3(a) se puede ver una comparación entre el estado actual de éstos y el concepto de los nuevos circuitos de excitación. En ella se puede observar como, actualmente, las señales no son del todo perfectas, se generan picos por culpa de elementos parásitos y las transiciones de encendido a apagado no son lo suficientemente rápidas. Además, el número de señales de control y estado es mínimo, mientras que mediante los drivers más modernos, es posible la transmisión de todo tipo de información con diferentes tipos de codificación (por polaridad, PWM, FM...), figura 5.3(b).

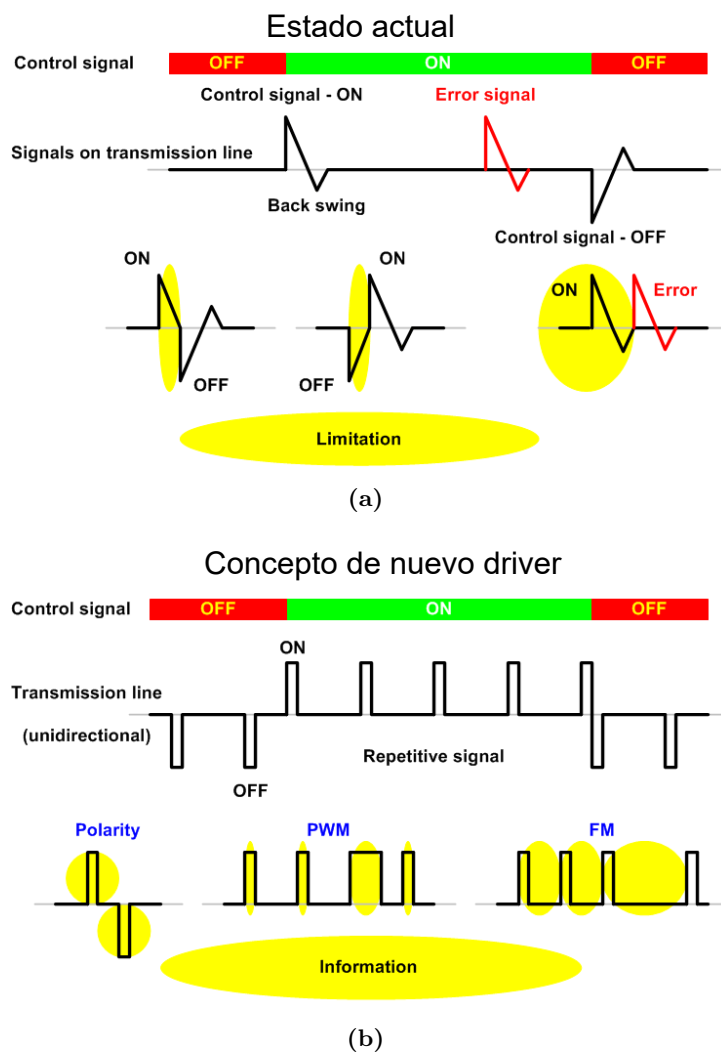


Figura 5.3.: Estado actual y concepto de nuevos drivers.

6. Análisis de alternativas

6.1. Introducción

En este capítulo se describen las diferentes alternativas estudiadas para la realización del diseño de la tarjeta de disparos/driver. Las partes de mayor importancia del circuito son el DC/DC, el semiconductor, el driver y las protecciones. Teniendo en cuenta el estudio realizado en el anexo III sobre el estado de la tecnología, se han barajado las opciones para el diseño que se muestran en las siguientes secciones.

6.2. Alternativas del convertidor DC/DC aislado

El convertidor DC/DC tiene como función adaptar la tensión de alimentación del circuito a la requerida por los diferentes componentes del mismo. Para realizar el diseño se han tenido en cuenta los dispositivos de los dos principales fabricantes: XP Power y Traco.

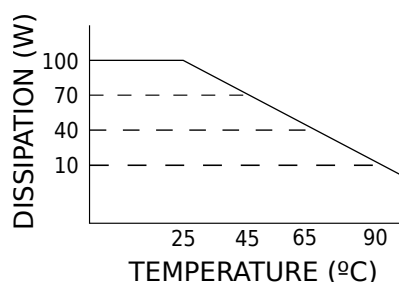


Figura 6.1.: Curva de derating de un hipotético dispositivo de potencia.

El convertidor debe reunir ciertas características para cumplir las especificaciones del diseño. Principalmente, hay que tener en cuenta las tensiones de entrada y salida que es capaz de dar, la potencia y el nivel de aislamiento. Por otro lado, el DC/DC debe funcionar adecuadamente en el rango de temperatura del sistema, por lo que la temperatura máxima que sea capaz de soportar también es crítica a la hora de elegir el convertidor. Los dispositivos de potencia pueden sufrir el efecto llamado "derating" si superan ciertas temperaturas especificadas en el datasheet de cada dispositivo. El derating se describe como la disminución de potencia que es capaz de disipar un dispositivo a medida que aumenta la temperatura (figura 6.1). Por lo tanto, es de especial interés que el dispositivo escogido no presente este efecto en el rango de temperatura de operación (-55-125 °C).

Tabla 6.1.: Comparativa de convertidores DC/DC

| Ref | Fabricante | Vin (V) | Vout (V) | Iout max (mA) | Pout (w) | Efficiency (%)@full load | T ^a amb (°C) | Derating (°C) |
|----------------|------------|---------|-------------|---------------|----------|--------------------------|-------------------------|---------------|
| THL 3-2415WISM | TRACO | 9 a 36 | 23,5 a 24,5 | 125 | 3 | 80 | -40 a 65 | -40 a 85 |
| JCA0412D02 | XP Power | 9 a 18 | ±12 | ±170 | 4 | 83 | -40 a 75 | -40 a 100 |
| THM 6-0515WI | TRACO | 4,5 a 9 | 24 | 250 | 6 | 87 | -40 a 88 | No derating |
| THM 10-0515W | TRACO | 4,5 a 9 | 24 | 416 | 10 | 85,5 | -40 a 85 | -40 a 85 |

Tabla 6.2.: Elección del DC/DC.

| DC/DC | Tensión de salida | Eficiencia | Derating | Puntuación total |
|----------------|-------------------|------------|----------|------------------|
| THL 3-2415WISM | 7 | 8 | 6 | 6,8 |
| JCA0412D02 | 8 | 8,3 | 7 | 7,66 |
| THM 6-0515WI | 10 | 8,7 | 10 | 9,74 |
| THM 10-0515W | 10 | 8,5 | 8 | 8,9 |
| Importancia | 0,4 | 0,2 | 0,4 | 1 |

En la tabla 6.1 se muestran los convertidores de mayor interés debido a sus características para la implementación del diseño.

Para tomar la decisión de cual es la mejor opción, se han tenido en cuenta las características principales del convertidor DC/DC ponderándolas según su importancia (tabla 6.2).

6.3. Alternativas del semiconductor de potencia

Para elegir el semiconductor se han analizado las opciones mencionadas en el capítulo 5.2 haciendo especial hincapié en sus ventajas y desventajas. El semiconductor elegido deberá de cumplir los siguientes requisitos:

- Tener el sello Automotive Grade.
- Fácilmente controlables.
- Alta velocidad de conmutación.
- Bajas pérdidas de conmutación, ya que funcionará como un interruptor.
- Poco variable con la temperatura.
- Capaz de soportar grandes potencias.

A continuación se realiza un repaso de los semiconductores estudiados:

1. Diodo: aunque sin duda es el dispositivo más sencillo, no sirve para aplicaciones de conmutación ya que no se puede controlar. Entra en estado de conducción dependiendo del voltaje en sus extremos [6,7]. Por lo tanto, queda descartado.

2. Transistor BJT: las ventajas de este semiconductor son que tiene pérdidas pequeña en conducción y que se controla inyectando una corriente en la base. Sin embargo, presenta varios inconvenientes que impiden que dé buenos resultados en aplicaciones de alta frecuencia. La razón es que el tiempo de activación es diferente al de desactivación por lo que el tiempo de conmutación queda limitado por el mayor de ellos (el tiempo de desactivación es mayor que el de activación) [6,7].
3. Tiristores (SCR): estos conmutadores son los dispositivos que mayor potencia pueden soportar, pero cuentan con el inconveniente de no poder controlar su desactivación. Puede controlarse la activación del SCR pero para la desactivación es necesario un circuito complejo por lo que se descarta la opción de utilizar tiristores [6,7].
4. GTO: el GTO es una buena alternativa al tiristor ya que comparte la mayoría de sus ventajas con el añadido de poder controlar de manera sencilla su desactivación. El inconveniente radica en que su desactivación es lenta, por lo que no es posible lograr altas frecuencias de conmutación [6,7].
5. MOSFET: en este dispositivo puede controlarse tanto la activación como la desactivación aplicando pequeñas tensiones en el gate. Dispone de buenas características de consumo en conmutación. La activación y la desactivación son más rápidas que en el caso de los SCR o GTO por lo que son adecuados para trabajar con aplicaciones de alta frecuencia. El inconveniente de los MOSFET es la sensibilidad que tiene hacia las capacidades parásitas del circuito además de tener pérdidas considerables en conducción. Estos inconvenientes hacen del MOSFET una buena elección en aplicaciones que no superen los 500-600 V, pero para tensiones superiores no son la mejor opción [6,7].
6. IGBT: el IGBT combina las ventajas del MOSFET y las del BJT. Es capaz de conmutar rápidamente (algo menos que el MOSFET) y también es capaz de conducir altas corrientes (como el BJT). Los IGBT se controlan mediante una tensión en la compuerta (gate). Otra ventaja que hace del IGBT una buena opción es su robustez y estabilidad con altas temperaturas. Por estas razones el IGBT es hasta el momento la mejor opción para la realización del diseño.
7. Dispositivos WBG: aunque estos dispositivos son igualmente capaces de cumplir las especificaciones del diseño, se han descartado por falta de madurez de la tecnología ya que complicaría el diseño. Por otro lado, los IGBT de esta tecnología son prototipos en su mayoría y no se han comercializado a día de hoy (aunque este último hecho está cambiando a gran velocidad).

Tabla 6.3.: Elección del semiconductor.

| Semiconductor | Control | Velocidad de conmutación | Pérdidas de conducción | Puntuación total |
|---------------|---------|--------------------------|------------------------|------------------|
| BJT | 7 | 7 | 7 | 7 |
| Tiristor | 3 | 6 | 7 | 5,05 |
| GTO | 7 | 6 | 7 | 6,65 |
| MOSFET | 8 | 8 | 6 | 7,5 |
| IGBT | 8 | 7 | 8 | 7,65 |
| Importancia | 0,4 | 0,35 | 0,25 | 1 |

En la tabla 6.3 se comparan y se ponderan las características de los semiconductores tenidos en cuenta para el diseño.

6.4. Alternativas del driver

Una vez realizados los estudios correspondientes en el anexo III, se ha procedido a la elección del circuito excitador de compuerta que más se acerque a las características que se desea tener.

El driver no solo deberá de tener la función de adaptar las señales de control a los rangos de funcionamiento del semiconductor, sino que además de ello, deberá de contar con diferentes protecciones que prevendrán la destrucción tanto del semiconductor como la del propio circuito de excitación [4,8]. Para ello, se han tenido en cuenta las siguientes características:

- Certificado Automotive Grade.
- Aislamiento adecuado (entre la zona de alto voltaje y la de bajo voltaje).
- Protecciones disponibles.
- Control del dead-time.
- Corriente de salida.

Se ha realizado una comparativa entre los diferentes drivers de las empresas Infineon (ELICE drivers) e IR Rectifier (AUIR drivers), los cuales cuentan con el sello .Automotive Gradez poseen las características que se pueden ver en la tabla 6.4.

Por último, para la selección del driver, en la tabla 6.5 se puede observar la ponderación realizada para la selección del driver que más se adecue a las especificaciones.

Tabla 6.4.: Comparativa de drivers AUIR (IR Rectifier) y EICE (Infineon).

| Driver | Nº de canales | Tensión máx [V] | Iout max. + [A] | Iout max. - [A] |
|--------------|---------------|-----------------|-----------------|-----------------|
| 1ED020I12FA | 1 | 1200 | 2 | 2 |
| 1ED020I12FA2 | 1 | 1200 | 2 | nd |
| 1ED020I12FTA | 1 | 1200 | 2 | 2 |
| 2ED020I12FA | 2 | 1200 | 2 | 2 |
| AUIRS2332J | 3 | 600 | 0.25 | -0.42 |
| AUIRS20302S | 3 | 200 | 0.20 | 0.35 |
| AUIRS2191S | 1 | 600 | 3.50 | 3.5 |
| AUIRS2336S | 3 | 600 | 0.20 | -0.35 |

Tabla 6.5.: Elección del driver.

| Driver | Corriente de salida | Aislamiento | Protecciones | Deadtime | Puntuación total |
|--------------|---------------------|-------------|--------------|----------|------------------|
| 1ED020I12FA | 9 | 8 | 8 | 10 | 8,75 |
| 1ED020I12FA2 | 9 | 8 | 8 | 10 | 8,75 |
| AUIRS2332J | 6 | 7 | 7 | 5 | 6,25 |
| AUIRS2119S | 10 | 8 | 8 | 5 | 7,75 |
| Importancia | 0,25 | 0,25 | 0,25 | 0,25 | 1 |

6.5. Alternativas de las protecciones

Se ha realizado un estudio exhaustivo de todas las protecciones aplicables al driver en el apartado F del anexo III. Una vez realizado esto, se ha de elegir las protecciones que se utilizarán en el diseño.

- Detección de falta de saturación (protección ante cortocircuitos).
- Active clamping (limitación de la tensión V_{CE}).
- Gate clamping (limitación de la tensión V_{GE}).
- Miller Clamping (evitar encendido parásito).
- Protecciones contra temperaturas.
- Short pulse supression.
- Protecciones contra dead-time.
- Under Voltage Lock-Out (UVLO).

Tabla 6.6.: Protecciones internas de los drivers.

| | Fault | Ready | WDT | UVLO | Encendido parásito | Apagado activo | Deadtime |
|--------------|--------------|--------------|------------|-------------|---------------------------|-----------------------|-----------------|
| 1ED020I12FA | X | X | X | X | | X | |
| 1ED020I12FA2 | X | X | X | X | | X | |
| 1ED020I12FTA | X | X | X | X | | X | |
| 2ED020I12FA | X | X | X | X | | X | |
| AUIRS2332J | X | | | X | X | | |
| AUIRS20302S | X | | | X | | | X |
| AUIRS2191S | | | | X | | | |
| AUIRS2336S | X | | | X | X | | |

Tabla 6.7.: Protecciones de los drivers.

| | DESAT. | ITRIP | Act. Clamp | Gate Clamping | Miller Clamp | Sobretemperatura | Reset |
|--------------|---------------|--------------|-------------------|----------------------|---------------------|-------------------------|--------------|
| 1ED020I12FA | X | | X | | X | | X |
| 1ED020I12FA2 | X | | X | | X | | X |
| 1ED020I12FTA | X | | X | | X | | X |
| 2ED020I12FA | X | | X | | X | | X |
| AUIRS2332J | X | | | | | X | |
| AUIRS20302S | X | | | | X | | X |
| AUIRS2191S | | | | X | | | |
| AUIRS2336S | | X | | | | X | |

Entre los diferentes drivers mencionados en el capítulo 6.4, cada uno es compatible con diferentes protecciones. En las tablas 6.6 y 6.7 se pueden ver tanto las protecciones con las que cuentan.

7. Análisis de riesgos

En este apartado se van a analizar todos los riesgos que puedan afectar al proyecto pudiendo así generar un plan de contingencia con el que tratar de combatirlos, minimizando así el efecto de éstos.

7.1. Riesgos posibles

Para la calificación de los riesgos, se ha utilizado una matriz de riesgos en la que se coloca cada uno dependiendo de la probabilidad y el impacto de cada uno. Para la calificación de ellos, se ha valorado del 1 al 3, dependiendo del grado de probabilidad o impacto (bajo, medio o alto).

Se han identificado los siguientes riesgos:

- Problemas con el software Orcad 16.6.
- Diseño incorrecto del driver y de sus funcionalidades.
- Diseño incorrecto del PCB.
- Planificación indebida.
- Aumento del presupuesto.

7.2. Respuesta a los riesgos (Plan de contingencia)

Para combatir los riesgos anteriormente mencionados, y que además, no aparezcan, o de aparecer, que afecten en lo más mínimo al proyecto, se proponen las siguientes soluciones:

- **Problemas con el software Orcad 16.6**
Se ha utilizado el programa Orcad 16.6 de Cadence, que ofrece una versión gratuita. Sin embargo, para no tener ningún problema a la hora de las simulaciones, se ha utilizado la versión de pago. Además, se ha realizado un periodo de aprendizaje con el software para un correcto uso del mismo.
- **Diseño incorrecto del driver y de sus funcionalidades**
Para poder realizar un correcto diseño del driver y de todas sus funcionalidades (dimensionado, protecciones, estructura...), se ha realizado un estudio muy exhaustivo del mismo (Anexo III) mediante el cual se ha conseguido adquirir todos los conocimientos necesarios para realizar un diseño correcto de la tarjeta de disparos.

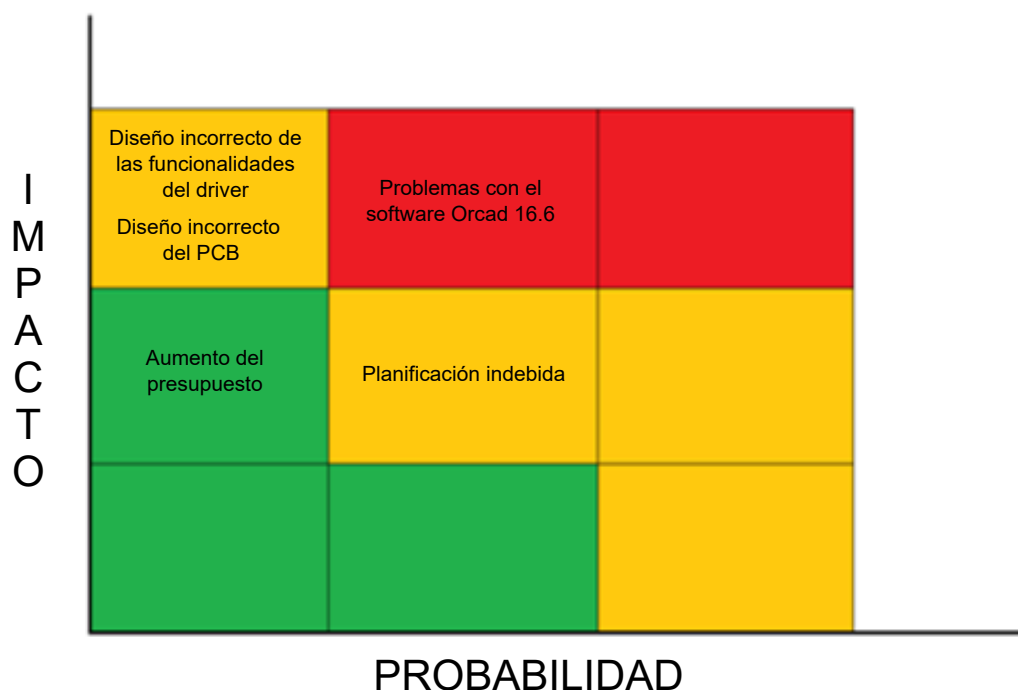


Figura 7.1.: Matriz de riesgos impacto-probabilidad

- **Diseño incorrecto del PCB**

Mediante el estudio realizado en el anexo III se consigue adquirir los conocimientos necesarios para el diseño de un PCB. Además, se ha realizado un curso en el que se han conseguido todos los conocimientos para realizar PCBs complejos.

- **Planificación indebida**

Este punto se soluciona realizando una buena planificación inicial del trabajo para todas las tareas. Además se ha seguido un seguimiento exhaustivo (semana a semana) para que en caso de aparecer retrasos, que afecten en los más mínimo.

- **Aumento del presupuesto**

Se ha realizado un presupuesto ajustado en cuanto a componentes y fabricación. Para poder combatir este riesgo, se ha tenido en cuenta un 5% extra de imprevistos para no correr riesgos a la hora de tener en cuenta el presupuesto.

8. Aspectos económicos

8.1. Presupuesto

En este apartado se va a abordar el cálculo del presupuesto para la realización del proyecto. El coste total de éste, será la suma de los costes relativos a recursos humanos y materiales.

8.1.1. Recursos humanos

En la tabla 8.1 se muestran los costes de recursos humanos calculados. Para ello, se ha tenido en cuenta que el proyectista realiza una media de trabajo de 18 horas a la semana, mientras que el tutor, realiza un trabajo de 1,5 horas semanales, con una duración total del proyecto de 53 semanas.

Tabla 8.1.: Resumen coste recursos humanos.

| Horas internas | | | |
|----------------|-------|---------------------|-----------|
| | Horas | Coste horario (€/h) | Total (€) |
| Tutor | 79.5 | 60 | 4.770 |
| Proyectista | 954 | 35 | 33.390 |
| Total | | | 38.160 |

8.1.2. Recursos materiales

Dentro de los recursos materiales se diferencian dos tipos de costes, los recursos fungibles y los amortizables.

- Recursos fungibles: recursos a consumir a lo largo del proyecto.
- Recursos amortizables: el recurso ya se encuentra disponible o es adquirido con vistas a usarse durante un largo periodo de tiempo.

8.1.2.1. Recursos fungibles

Se han tenido en cuenta los recursos utilizados a lo largo del proyecto. Estos se pueden ver en la tabla 8.2.

Tabla 8.2.: Resumen de recursos fungibles.

| | Precio (€/mes) | Uso (meses) | Total (€) |
|---------------------|----------------|-------------|-----------|
| Conexión a Internet | 29,95 | 9 | 269,50 |
| Material de oficina | - | - | 400 |
| Total (€) | | | 669,50 |

8.1.2.2. Recursos amortizables

Dentro de los recursos amortizables se han incluido los recursos con una vida útil de un largo periodo de tiempo, no exclusivamente para el proyecto, como son por ejemplo los ordenadores, licencias de software etc. En la tabla 8.3 se pueden ver los costes de los recursos amortizables.

Tabla 8.3.: Resumen de amortizaciones.

| | Valor inicial (€) | Uso (meses) | Vida útil (meses) | Total (€) |
|---------------------|-------------------|-------------|-------------------|-----------|
| Ordenador | 1100 | 9 | 36 | 275 |
| Portatil | 800 | 9 | 36 | 200 |
| Impresora | 246,50 | 9 | 36 | 61,625 |
| Microsoft Windows 7 | 42,90 | 9 | 36 | 10,725 |
| Microsoft Office | 75 | 9 | 36 | 18,75 |
| Licencia Orcad | 115 | 9 | 12 | 86,25 |
| Total | | | | 652,35 |

8.1.3. Cálculos totales

Tabla 8.4.: Resumen del presupuesto (€).

| | |
|-----------------------|-----------|
| Recursos humanos | 38.160 |
| Recursos fungibles | 669,5 |
| Recursos amortizables | 652,35 |
| Subtotal | 39.481,85 |
| Imprevistos(5%) | 1.974,09 |
| Total | 41.455,94 |

8.2. Análisis de rentabilidad

El objetivo principal del proyecto no es el de comercializar un producto, sino que, es analizar una serie de tecnologías que mejoran la funcionalidad de la tarjeta de disparos/driver. Por ello, no es necesario realizar el análisis de rentabilidad.

9. Metodología

En este capítulo se va a describir el procedimiento y el planteamiento seguido para el diseño de la tarjeta de excitación de la compuerta (drivers) de IGBTs. El diseño está pensado para el inversor de un vehículo eléctrico, aunque podría ser utilizado en otras aplicaciones. En la figura 9.1 se puede ver como cada IGBT cuenta con una tarjeta de disparos, la cual está dividida en varios apartados, como son, el convertidor DC/DC, el driver, el amplificador de salida, la resistencia de puerta y las protecciones. Para la realización de un buen diseño, se ha analizado cada parte de manera individual como se muestra en los siguientes subapartados.

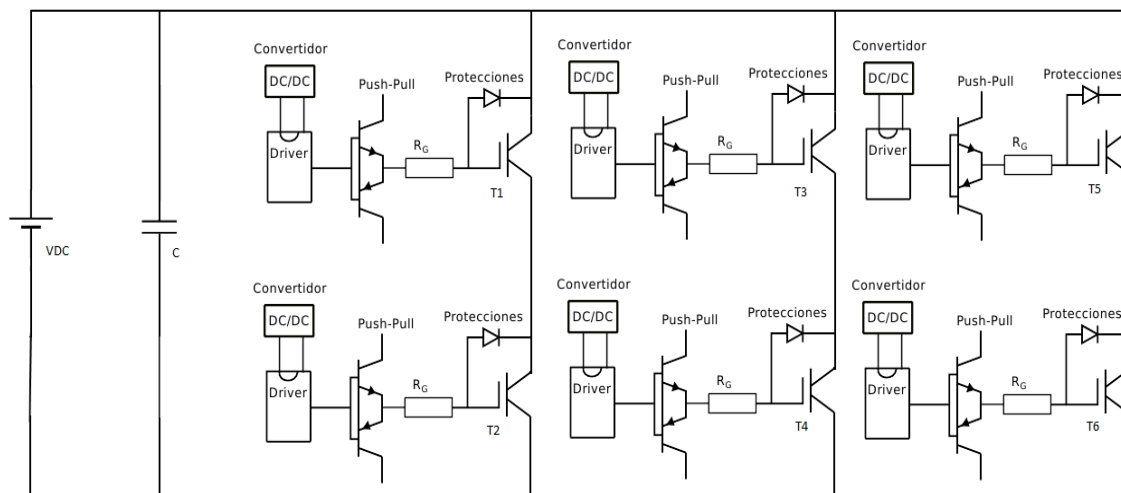


Figura 9.1.: Esquemático inversor.

■ Estado de la tecnología

Primero de todo, se ha realizado un estudio de los semiconductores de potencia actuales para un correcto conocimiento del funcionamiento de éstos y poder comprender como hacerlos funcionar. Además, se han analizado los nuevos semiconductores WBG (Wide Band Gap) con los que se pueden conseguir mejores resultados, generando menores pérdidas y soportando mayores potencias.

- **Elementos de la tarjeta de disparos**

Como se ha mencionado anteriormente, la tarjeta está formada por diversos elementos. Por ello, se ha realizado un estudio de cada elemento dando una mayor importancia al driver, resistencia de puerta y protecciones. Gracias a esto ha sido posible conocer el funcionamiento exacto y objetivo de la tarjeta de disparos, pudiendo así, posteriormente, realizar un buen diseño y lo suficientemente robusto.

- **Simulaciones**

Una vez comprendido completamente el funcionamiento del diseño, se ha procedido a realizar diferentes simulaciones en las que se han podido observar el comportamiento ideal y con los elementos parásitos (inductancias, capacidades, etc.). Además, se han podido simular las protecciones introduciendo faltas afectarían al circuito. Una vez realizadas las simulaciones de manera independiente, se ha procedido a diseñar el esquemático del circuito completo (inversor trifásico) para poder realizar la simulación del sistema completo y su correcto funcionamiento.

- **Diseño del PCB**

Por ultimo, una vez realizado y simulado el esquemático, se ha procedido a realizar el diseño del PCB. Para ello se ha realizado un estudio para minimizar efectos parásitos, como pueden ser inductancias parásitas, capacidades parásitas, EMI, etc. De este modo, se ha conseguido minimizar estos efectos que pueden causar un mal funcionamiento del circuito.

9.1. Descripción de las tareas

El trabajo se ha dividido en diferentes tareas, las cuales se han planificado desde el principio para poder realizar el trabajo de una manera ordenada y con un seguimiento de las mismas por el tutor del proyecto, para poder solucionar las dudas y errores que pudieran ocasionarse, minimizando así al mínimo los efectos de éstos.

9.1.1. P.T. 0: gestión del proyecto

Esta tarea se lleva a cabo durante todo el proyecto, en la que se incluye el seguimiento del proyecto, reuniones y definición de los pasos a seguir para cumplir con el objetivo del proyecto.

- Recursos humanos: director del proyecto y proyectista
- Duración de la tarea: todo el proyecto

9.1.2. P.T. 1: estudios previos

Antes de comenzar a analizar elementos del proyecto, se ha comenzado reuniendo información de proyectos y estudios anteriormente, consiguiendo así mayor información. Además de esto, se han analizado diferentes artículos, notas de aplicación con datos importantes para el proyecto.

- Recursos humanos: director del proyecto y proyectista
- Duración de la tarea: 4 semanas

9.1.3. P.T. 2: Estado de la tecnología: IGBTs

Dentro de este paquete se ha realizado el estudio de la tecnología actual de los semiconductores de potencia incluyendo la nueva tecnología WBG, la cual puede aportar mejoras significantes. Los diferentes paquetes que se incluyen dentro de éste se puede ver en la tabla 9.1.

- Recursos humanos: director del proyecto y proyectista
- Duración de la tarea: 6 semanas

9.1.4. P.T. 3: Análisis de drivers

En este paquete de trabajo se ha procedido a analizar todo lo que conlleva al driver, es decir, driver, amplificador de salida, resistencia de puerta y protecciones. Con esto se ha conseguido reunir toda la información sobre el driver, como su topología, funcionamiento, características... Los diferentes paquetes que se incluyen dentro de éste se puede ver en la tabla 9.1.

- Recursos humanos: director del proyecto y proyectista
- Duración de la tarea: 8 semanas

9.1.5. P.T. 4: Modelado de circuitos de protección

Una vez que se tiene toda la información necesaria sobre la tarjeta de disparos se ha procedido a realizar las simulaciones pertinentes para poder llegar a diseñar el esquemático del driver poder simular el comportamiento del circuito completo.

- Recursos humanos: proyectista
- Duración de la tarea: 8 semanas

9.1.6. P.T. 5: Análisis de alternativas

En este paquete de trabajo se han analizado componentes de diferentes fabricantes, obteniendo así los que más se ajustan a las especificaciones del diseño. Una vez que se tiene toda la información necesaria sobre la tarjeta de disparos se ha procedido a realizar las simulaciones pertinentes para poder llegar a diseñar el esquemático del driver poder simular el comportamiento del circuito completo.

- Recursos humanos: proyectista
- Duración de la tarea: 4 semanas

9.1.7. P.T. 6: Propuestas de diseño robusto de la tarjeta de disparos para convertidores de potencia

Ya con el diseño del esquemático realizado y los componentes seleccionados, se ha diseñado el PCB de la tarjeta de disparos. Para ello, primero se ha realizado un análisis sobre los diseños de PCBs para minimizar así los efectos indeseados producidos por fallos de diseño.

- Recursos humanos: proyectista
- Duración de la tarea: 8 semanas

9.1.8. P.T. 7: Documentación

Por último, en este paquete de trabajo, se ha realizado la redacción de toda la documentación final.

- Recursos humanos: proyectista
- Duración de la tarea: 5 semanas

Tabla 9.1.: Paquetes de trabajo

| Nombre de tarea | Comienzo | Fin |
|---|---------------------|---------------------|
| Gestión del proyecto | lun 18/05/15 | mié 25/05/16 |
| Estudios previos | lun 18/05/15 | vie 12/06/15 |
| Repaso de estudios anteriores | lun 18/05/15 | vie 29/05/15 |
| Recopilación de artículos, notas de aplicación, papers, etc. | lun 01/06/15 | vie 12/06/15 |
| Estado de la tecnología: IGBTs | lun 15/06/15 | mié 30/09/15 |
| Análisis de prestaciones de tecnologías de IGBTs basadas en el silicio (PT, FS, etc) | lun 15/06/15 | vie 26/06/15 |
| Tendencias de la tecnología WBG (Wide Band Gap): semiconductores SiC y GaN | lun 29/06/15 | mié 09/09/15 |
| Análisis y descripción conceptual de parámetros característicos y curvas reportadas por el fabricante | jue 10/09/15 | mié 16/09/15 |
| Análisis y descripción de la conmutación de IGBTs (efecto Miller, curvas de tensión gate-emisor, colector-emisor, corrientes de compuerta, etc). | jue 17/09/15 | mié 23/09/15 |
| Análisis y descripción del origen de las rupturas de los IGBTs (RBSOA, FBSOA, ruptura secundaria, cortocircuito, power cycling, termal cycling, etc). | jue 24/09/15 | mié 30/09/15 |
| Entrega documento estado de la tecnología | mié 30/09/15 | mié 30/09/15 |
| Análisis de drivers | jue 01/10/15 | mié 25/11/15 |
| Análisis de topologías | jue 01/10/15 | mié 14/10/15 |
| Drivers: circuitos integrados comerciales, análisis de prestaciones | jue 15/10/15 | mié 28/10/15 |
| Descripción de las ecuaciones que caracterizan el proceso de excitación driver-IGBT | jue 29/10/15 | mié 11/11/15 |
| Protecciones: análisis de la problemática y descripción de soluciones-alternativas | jue 12/11/15 | mié 25/11/15 |
| Entrega documento analisis del driver | mié 25/11/15 | mié 25/11/15 |
| Modelado de circuitos de protección | jue 26/11/15 | jue 21/01/16 |
| Estudio comportamental (Pspice) del disparo de IGBTs | jue 26/11/15 | mié 09/12/15 |
| Simulación de faltas en IGBTs | jue 10/12/15 | jue 07/01/16 |
| Diseño de circuitos de protección | vie 08/01/16 | jue 21/01/16 |
| Analisis de alternativas | vie 22/01/16 | jue 17/03/16 |
| Elección de convertor DC/DC | vie 22/01/16 | jue 04/02/16 |
| Elección del semiconductor de potencia | vie 05/02/16 | jue 18/02/16 |
| Elección del driver | vie 19/02/16 | jue 03/03/16 |
| Elección de las protecciones | vie 04/03/16 | jue 17/03/16 |
| Propuestas de diseño robusto de la tarjeta de disparos para convertidores de potencia | vie 18/03/16 | mié 27/04/16 |
| Diseño de la tarjeta de drivers para un inversor trifásico (esquemático) | vie 18/03/16 | mar 05/04/16 |
| Criterios de diseño de PCBs para la reducción de efectos EMI | mié 06/04/16 | mar 12/04/16 |
| Diseño de PCB | mié 13/04/16 | mar 26/04/16 |
| Generación de listado de materiales: BOM | mié 27/04/16 | mié 27/04/16 |
| Entrega documento diseño PCB | mié 27/04/16 | mié 27/04/16 |
| Documentación | jue 28/04/16 | mié 25/05/16 |
| Informe TFM | jue 28/04/16 | mié 25/05/16 |
| Entrega documentacion | mié 25/05/16 | mié 25/05/16 |

9.1.9. Diagrama de Gantt

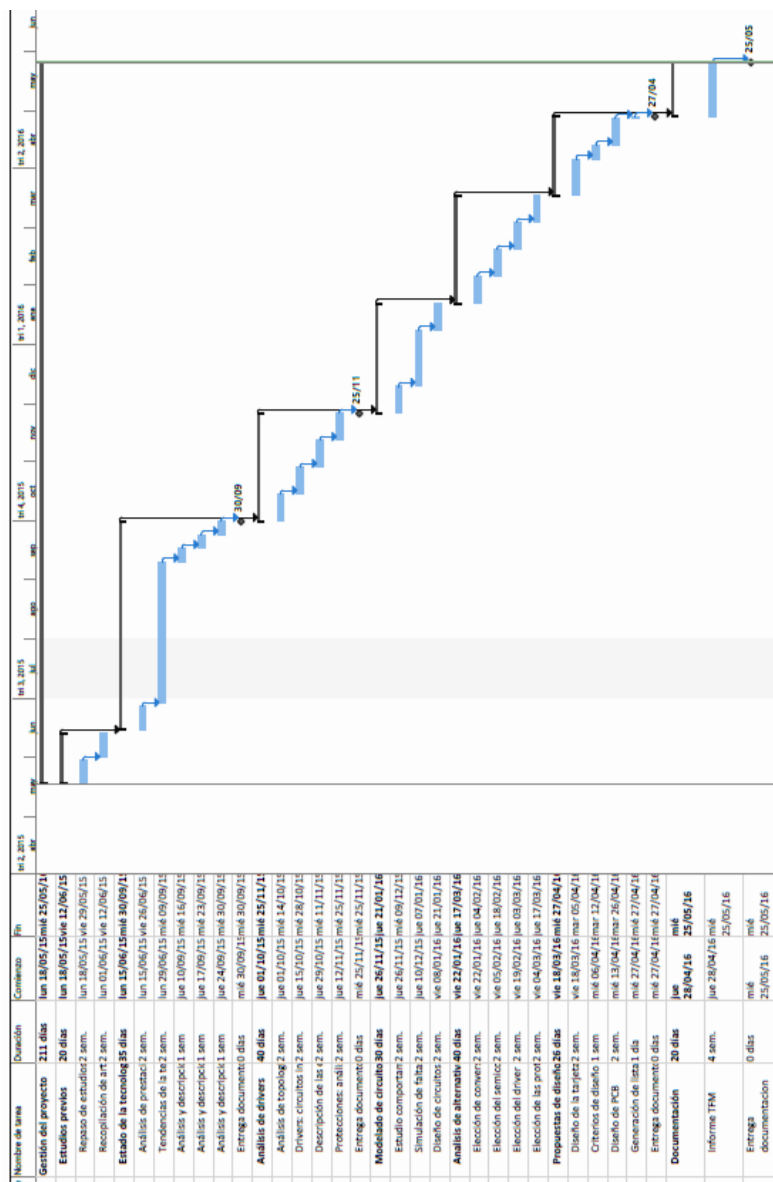


Figura 9.2.: Diagrama de Gantt.

10. Conclusiones

Como se ha mencionado en otros apartados, el objetivo de este proyecto es plasmar el conocimiento que caracteriza a la tarjeta de disparos del convertidor de potencia de un vehículo eléctrico. En concreto, se ha conseguido mostrar todas las características necesarias respecto a las protecciones del driver, con lo que es posible realizar el diseño de una tarjeta de disparos robusta con protección frente a diversos fallos, como por ejemplo cortocircuitos, sobretensiones, encendidos parásitos, etc.

También se ha realizado un estudio del funcionamiento tanto interno como externo del driver, conociendo, así, el modo en el que se realiza la carga y descarga de la puerta del IGBT. Gracias a esto, es posible realizar el dimensionado de diferentes elementos como son la resistencia de puerta y capacidad colector-emisor sin que surja ningún problema a la hora de poner en marcha el circuito.

Además, se ha analizado cómo evitar efectos parásitos a la hora de diseñar un PCB de modo que, se ha minimizado la probabilidad de que se origine cualquier tipo de error por efectos parásitos a la hora de realizar el diseño de la tarjeta de disparos/driver.

Por todo esto, se puede decir que se ha conseguido plasmar toda la información necesaria para el diseño de una tarjeta de disparos robusta capaz de hacer frente a situaciones adversas.

Parte I.

**Anexo 1: pliego de condiciones y
normativa aplicable**

A. Pliego de condiciones

A.1. Introducción

Un Pliego de Condiciones comprende el modo de realizar el proyecto, teniendo en cuenta diferentes aspectos (administrativos, económicos, laborales y técnicos). Este apartado debe de contener toda la información para que sea posible que el proyecto se realice de acuerdo a lo establecido. También se redactan los derechos, obligaciones y responsabilidades de los que lo suscriben.

El pliego de condiciones se suele dividir en tres partes, las cuales son:

- **Descripción de los trabajos**
- **Pliego de condiciones generales**
 - Condiciones Legales
 - Condiciones Administrativas
- **Pliego de condiciones económicas**

A.2. Condiciones de aceptación

Las condiciones de aceptación del proyecto son las que marcan las propias especificaciones del proyecto. Además, también se deberán de cumplir varias exigencias, en cuanto a los datos que se extraigan, a la hora de realizar las pruebas.

A.2.1. Escenario de pruebas

Deben de realizarse las simulaciones pertinentes para el correcto conocimiento del funcionamiento tanto del driver como de la conmutación del IGBT. Para ello se ha utilizado el software Orcad Psice.

Las pruebas realizadas abarcan desde la simulación de elementos parásitos del IGBT (capacidades e inductancias) hasta la simulación de circuitos más complejos como so los circuitos de protección del driver. Todas estas simulaciones se pueden ver en el anexo II

Una vez realizadas las simulaciones se analizarán los resultados y se extraerán conclusiones.

A.3. Condiciones de seguimiento y control

Como ya se ha mencionado en el capítulo 9, se ha llevado un seguimiento durante todo el proyecto. Además, se han establecido varios hitos con los que ha sido posible ir avanzando en el proyecto teniendo todo controlado. Además, el tutor del proyecto podrá realizar todas las reuniones que vea convenientes para la elaboración correcta del proyecto.

B. Normativa aplicable

En cuanto a la normativa aplicable, los estándares que definen los términos, símbolos y sus significados están desarrollados por la Comisión Electrotécnica Internacional IEC (*International Electrotechnical Commission*). El uso práctico de los símbolos y términos y su significado se describe en el estándar internacional IEC 60747 que trata de los dispositivos semiconductores discretos. En las secciones que se refieren a los estándares de los productos específicos se da una información detallada de los parámetros, requerimientos mínimos de los rangos de valores de los *datasheets* y los métodos de pruebas. En la tabla B.1 se muestran los estándares generales referidos a los semiconductores de potencia y a los IGBTs.

Tabla B.1.: Estándares IEC 60747 para IGBTs.

| Estándar | Especificación |
|-----------------|---|
| IEC 60747-1 | General (símbolos de letras y términos) |
| IEC 60747-9 | IGBTs |
| IEC 60747-15 | Dispositivos semiconductores de potencia aislados |

Otros estándares importantes a tener en cuenta para nuestro proyecto se muestran en la tabla B.2.

También hay que tener en cuenta los estándares referidos a los dispositivos semiconductores aptos para la automoción. Estos estándares están desarrollados por el Consejo de la Electrónica Automotriz AEC (*Automotive Electronics Council*), y garantizan un comportamiento óptimo bajo una serie de condiciones para aplicaciones de la electrónica automotriz. En la tabla B.3 se muestran los más importantes aplicables a los IGBTs.

Tabla B.2.: Estándares y normas importantes para el proyecto.

| Estándar | Especificación |
|----------------------------|---|
| IEC 61508 (Parts 1-8) | Detalla las normas de seguridad que deben cumplir los sistemas eléctricos/electrónicos en el proceso de fabricación |
| ISO 26262 (Parts 1-10) | Es la adaptación de la norma IEC 61508 para el mundo de la automoción |
| ISO 16750:2003 (Parts 1-5) | Especificación de los tests que deben pasar los vehículos |
| ISO 6469 (Parts 1-4) | Normas de seguridad que deben cumplir los vehículos eléctricos |
| IEC 60664-1 | Define las características que debe tener el aislamiento de un circuito eléctrico/electrónico |
| ISO 20653 | Se aplica a los grados de protección (código IP) proporcionados por los recintos de los equipamientos eléctricos de los vehículos |
| IEC 6047a | Efectos de la corriente eléctrica en el cuerpo humano |
| ISO 7010 | Determina las señales de peligro, obligación, etc., como pueden ser los símbolos gráficos y colores y signos de seguridad |
| CISPR 25 | Especifica los límites de emisiones electromagnéticas radiadas/conducidas y los tests de comprobación |
| IEC 60191-2 | Estandarización mecánica de los dispositivos semiconductores, Parte 2: Dimensiones (esquemas de encapsulados estandarizados) |
| DIN EN 50178 | Equipamiento electrónico para usar en instalaciones de potencia (pruebas de aislamiento, descarga parcial) |
| IEC 60747-15 | Dispositivos semiconductores de potencia aislados |
| IEC 60721 | Pruebas medioambientales (especificación de las condiciones de prueba) |
| IEC 60749 | Métodos de prueba mecánicos y climáticos |

Tabla B.3.: Estándares AEC aplicables a los MOSFETs e IGBTs.

| Estándar | Especificación |
|-----------------|---|
| AEC-Q100 | Métodos de pruebas |
| AEC-Q101 | Calificación de las pruebas de estrés para semiconductores discretos (incluye métodos de pruebas) |

Parte II.

Anexo 2: Planos y esquemas

C. Escenario de pruebas del circuito

C.1. Introducción

Para el correcto conocimiento del funcionamiento de un IGBT y de su driver correspondiente, se ha procedido a la simulación de los IGBT AUIRGPS4067D1, de International Rectifier, y FS800R07A2E3 de Infineon. Para ello se ha utilizado el programa Orcad Pspice 16.6 del fabricante Cadence mediante el cual se han realizado las siguientes simulaciones:

1. Efecto de la resistencia de puerta.
2. Efecto de la inductancia parásita.
3. Efecto de las capacidades internas.
4. Protecciones.

C.2. Efecto de la resistencia de puerta

La resistencia de puerta es uno de los elementos fundamentales de un driver. Por ello, se ha procedido a realizar la simulación de un circuito simple en el que se realiza el disparo de un IGBT. Gracias a esto va a ser posible conocer todos los efectos que la resistencia de puerta genera, tanto buenos como malos. En la figura C.1 se puede observar el circuito utilizado. En cuanto a los valores de los utilizados, se han analizado las gráficas dadas en el datasheet, simulando, así, los valores que se pueden ver en la figura C.2, 4.7Ω , 10Ω , 20Ω y 50Ω .

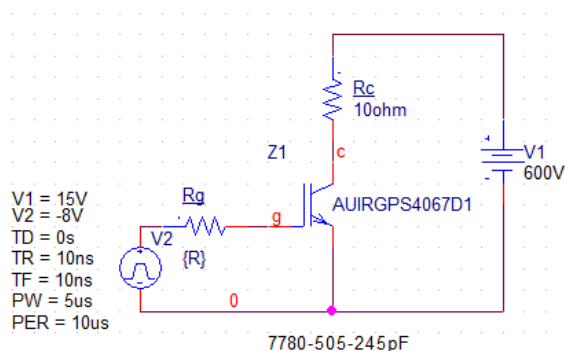


Figura C.1.: Simulación de disparo de IGBT con diferentes resistencias de puerta.

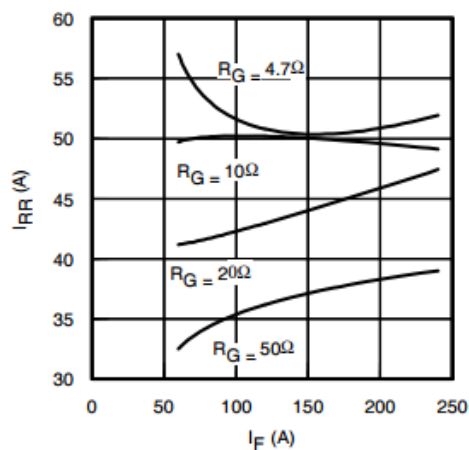


Figura C.2.: Diferentes valores de resistencia de puerta.

Los resultados obtenidos para el caso del AUIR se pueden observar en la figura C.3. Se puede ver como cuando se va aumentando la resistencia de puerta, la tensión aplicada en la puerta va deformándose, ya que, las capacidades internas del IGBT tardan más en cargarse y descargarse. Por ello, se puede observar como el IGBT tarda más en abrirse y cerrarse, generando así más pérdidas. Por otro lado, si observamos la figura C.4, se puede apreciar como los picos de corriente necesarios con las resistencias mas bajas, son significativamente mayores. Por ello se ha de tener en cuenta a la hora de realizar el diseño del driver, ya que estos picos de corriente pueden llegar a destruir el IGBT.

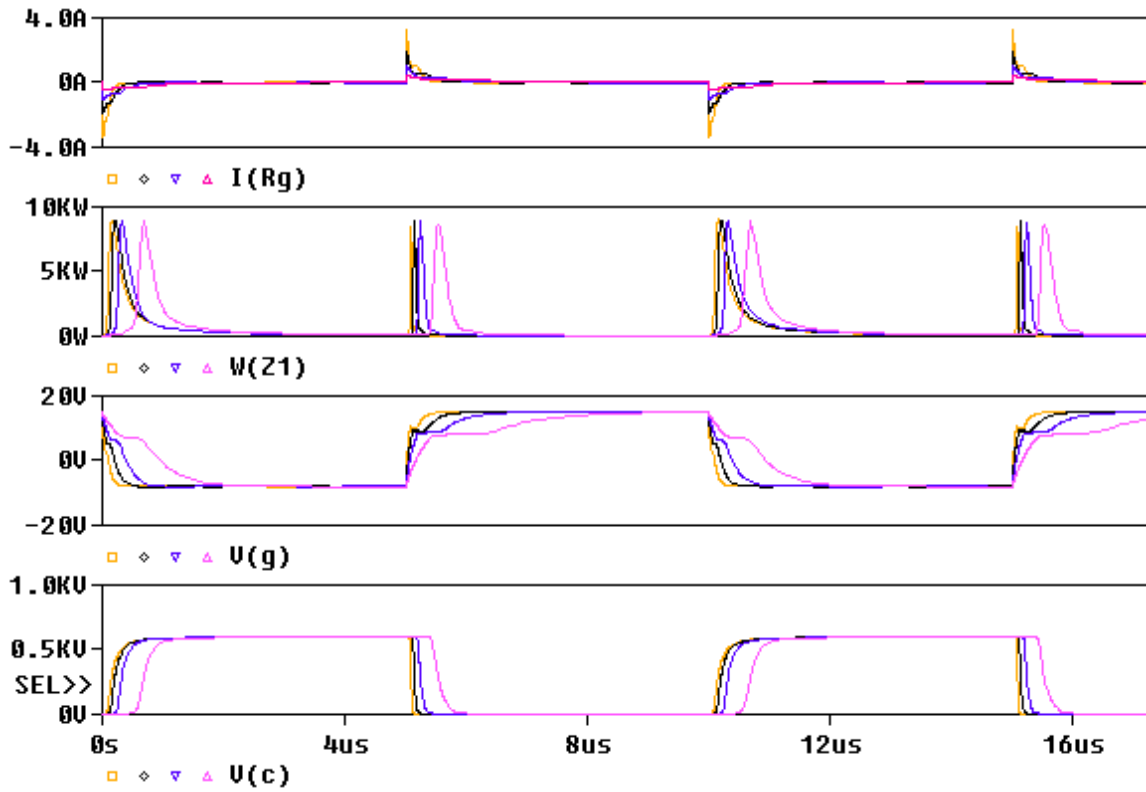


Figura C.3.: Resultados de disparo de IGBT con diferentes resistencias de puerta.

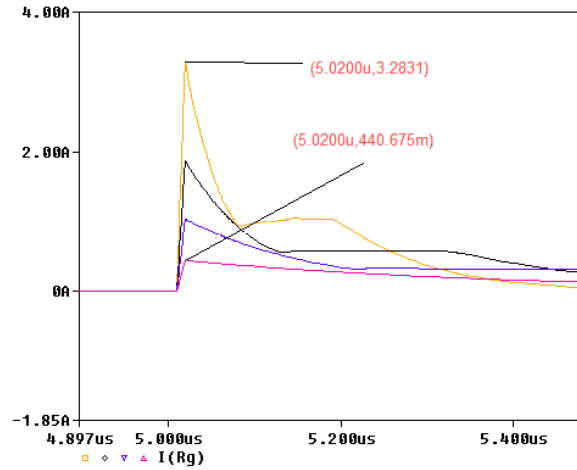


Figura C.4.: Picos de corriente generados con diferentes resistencias de puerta.

Además de la resistencia introducida de manera externa, se debe de tener en cuenta la propia resistencia interna (R_{int}) del módulo, la cual variará dependiendo de la estructura del IGBT. Esta estructura no es la misma en IGBTs discretos o en módulos con varios IGBTs. En el caso de los discretos, la estructura utilizada es la que se puede ver en la figura C.5, la cual es la utilizada por el AUIRGPS4067D1.

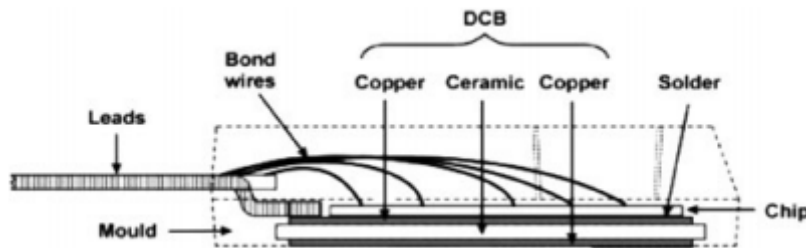


Figura C.5.: Estructura de un IGBT discreto con puerta aislada.

Para el caso del FS800R07A2E3, al ser un módulo con 6 IGBTs, está fabricado con la estructura que se puede observar en la figura C.6. Se puede ver como, en este caso, se cuenta con más capas internas. En ella se puede apreciar como hay varias capas de cobre, cerámicas aislantes, pasta térmica, el base plate, etc. . Todos estos elementos tienen una pequeña resistencia, que viene dada por la ecuación C.1, que se ha de tener en cuenta a la hora de realizar el diseño de la resistencia de puerta de un driver. Por ello, la resistencia interna total, será la suma de las pequeñas resistencias internas. Por este motivo, será más alta la resistencia interna del módulo que la del IGBT discreto. Por ejemplo, en el caso del FS800R07A2E3, como se puede ver en la figura C.7, la resistencia interna del módulo viene dada por el fabricante en el datasheet.

$$R_{int} = \rho \frac{l}{A} \quad (C.1)$$

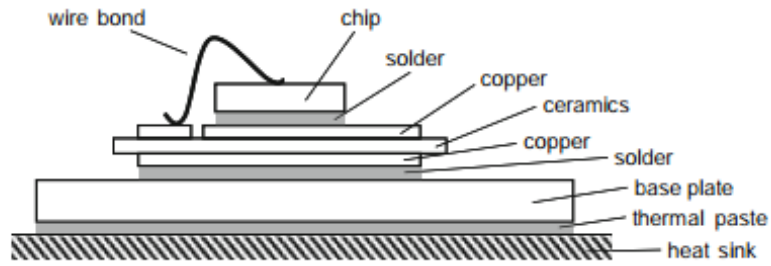


Figura C.6.: Estructura de un modulo de IGBTs con base plate.

| | | | | |
|---|-------------------------------|------------|-----|----------|
| Interner Gatewiderstand Internal gate resistor | $T_{vj} = 25^{\circ}\text{C}$ | R_{Gint} | 0,5 | Ω |
|---|-------------------------------|------------|-----|----------|

Figura C.7.: Resistencia interna del módulo FS800R07A2E3 [1].

C.3. Efecto de la inductancia parásita

La inductancia parásita es un elemento crítico para el correcto funcionamiento del disparo de un driver, ya que, debido a ésta, se generan picos de tensión, los cuales son la mayor causa de ruido electromagnético (EMI). Además de esto, en combinación con las capacidades internas del IGBT generan circuitos resonantes, ocasionando oscilaciones en las conmutaciones. Por ello, se ha simulado el comportamiento del IGBT teniendo en cuenta las inductancias parásitas. Para ello, se tienen en cuenta las inductancias que se pueden ver en la figura C.8 [9], pero a la hora de simular, solo se han tenido en cuenta las inductancias parásitas de colector y de emisor, ya que, la carga será una inductancia de un valor bastante más grande a la parásita, por lo que no hace falta tenerla en cuenta. En la figura C.9 se puede ver el valor de la inductancia parásita del módulo para el caso del FS800. Para módulos más antiguos, la inductancia suele ser del rango de 50nH [10].

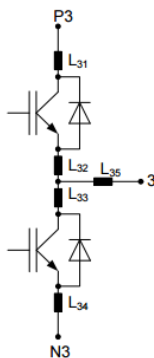


Figura C.8.: Inductancias parásitas del módulo FS800R07A2E3.

| | | | | |
|---|--|-----------|----|----|
| Modulstreuintuktivität Stray inductance module | | L_{sCE} | 14 | nH |
|---|--|-----------|----|----|

Figura C.9.: Valor inductancia parásita del módulo FS800R07A2E3 [1].

Para ver los efectos de estas inductancias parásitas, se ha realizado una simulación simple de un solo IGBT y, posteriormente, una simulación más compleja de una rama de dos IGBT, en la que se pueden apreciar más efectos causados por las inductancias parásitas. Para el caso de un solo IGBT, el circuito utilizado ha sido el de la figura C.10 y los resultados obtenidos se pueden ver en la figura C.11. Como se ha dicho anteriormente, se han utilizado dos inductancias, una de 14nH (curva verde) y otra de 50nH (curva roja) divididas, como se ve en la figura C.10, en dos inductancias iguales. En la gráfica de los resultados, se aprecia que la inductancia parásita no tiene un efecto considerable en la puesta en marcha de un solo IGBT, el único efecto que causa es que la carga y la descarga de la puerta del IGBT se realiza de un modo más lento, por lo que se generan mayores pérdidas y la conmutación del IGBT no se realiza de un modo tan veloz.

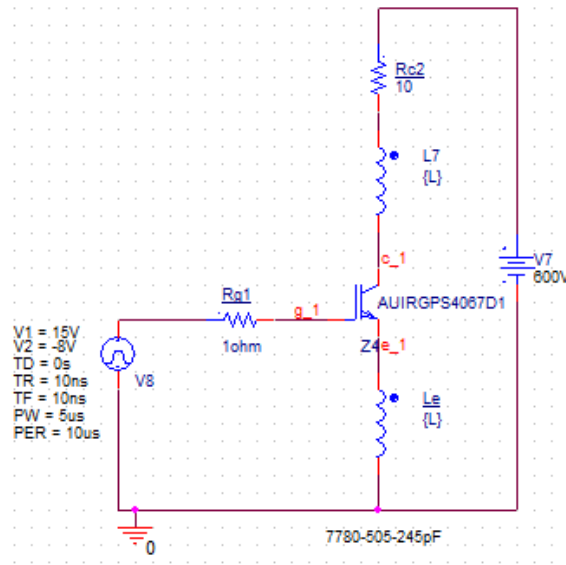


Figura C.10.: Circuito utilizado para simulación de inductancias parásitas.

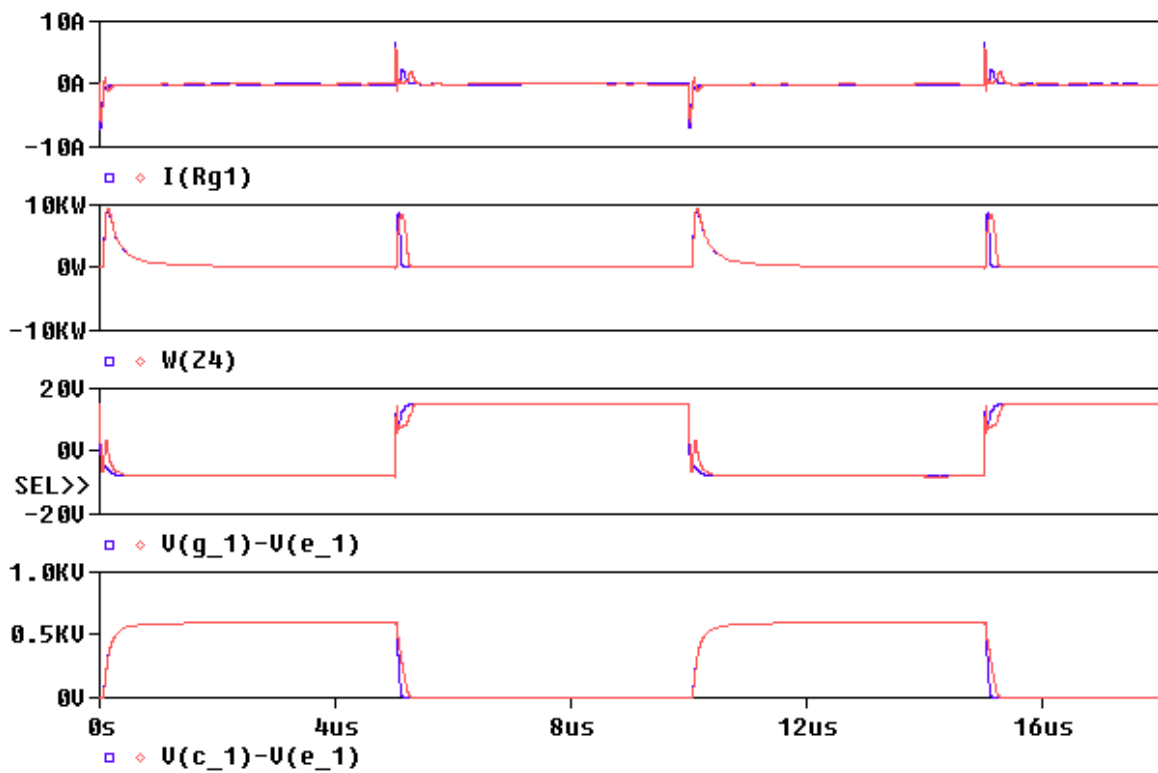


Figura C.11.: Resultados de simulación de inductancias parásitas.

Dado que no se pueden apreciar grandes efectos con un solo IGBT se ha realizado la simulación de una rama de un inversor, en la que se pueden apreciar mayores efectos. En la figura C.12 se puede ver el circuito utilizado, en el que se utiliza una modulación PWM para el control de encendido y apagado de los IGBT, consiguiendo, así, una señal con una frecuencia deseada. En cuanto a los resultados obtenidos, en la figura C.13 se puede ver el efecto de la inductancia parásita en la tensión gate-emisor, dependiendo de donde sea medida.

La tensión de una bobina depende de los cambios de corriente (C.2), en el encendido y apagado de los IGBT se generan unos picos de tensión bastante grandes. Si se mide directamente en la puerta y el emisor del IGBT, sin tener en cuenta las inductancias parásitas, se puede ver como los picos de tensión generados son bastante más pequeños que los generados en el caso que se tiene en cuenta la inductancia parásita del emisor o directamente desde la tierra. En la tabla C.1 y en la figura C.13 se pueden ver los valores que alcanza V_{GE} en cada caso.

$$v(t) = L \frac{di}{dt} \tag{C.2}$$

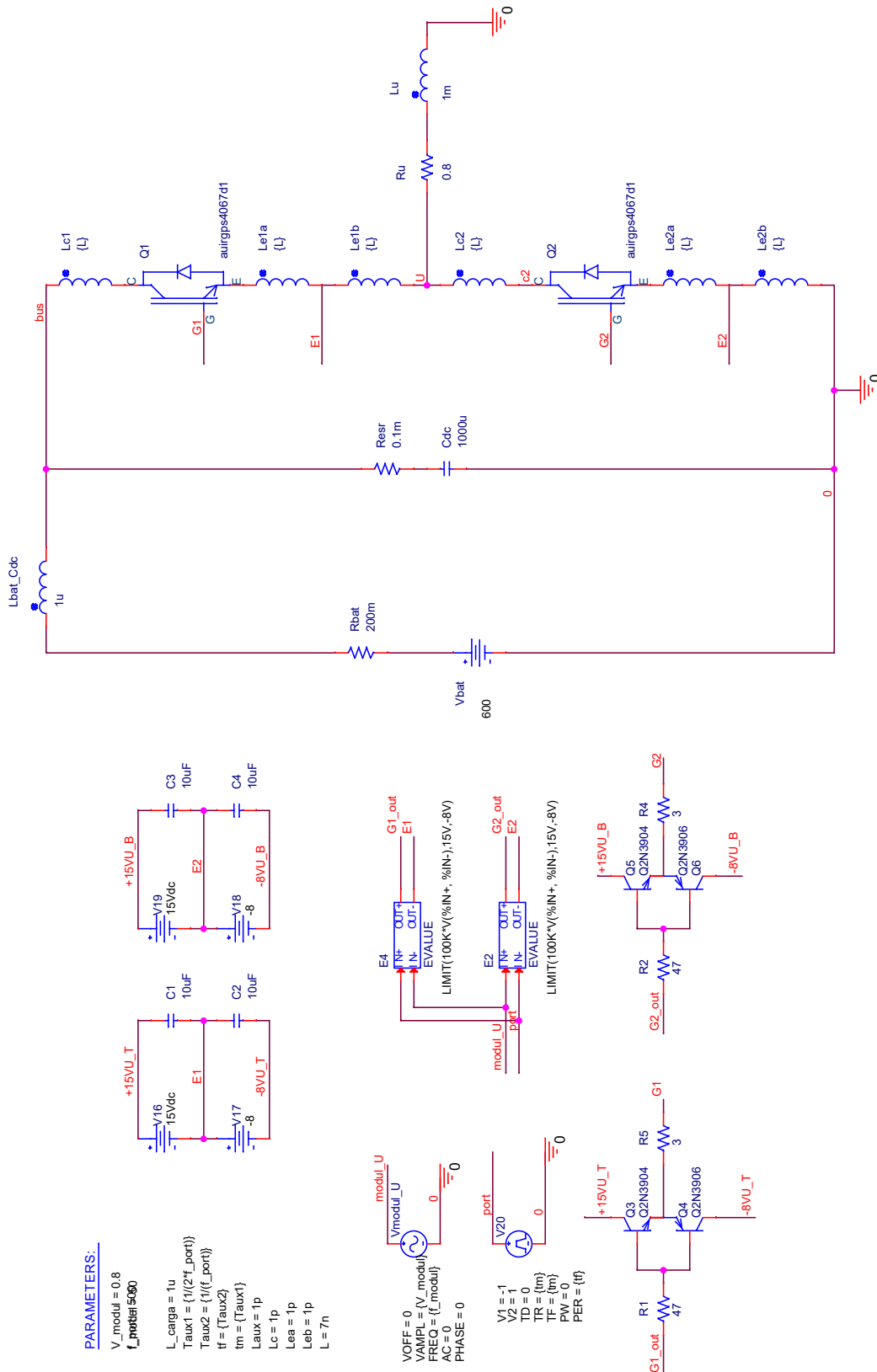
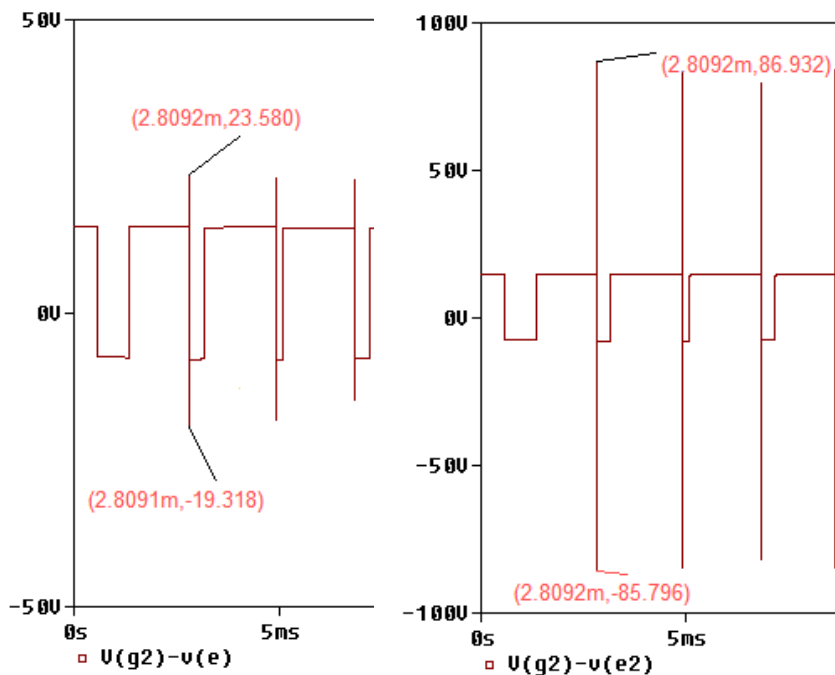
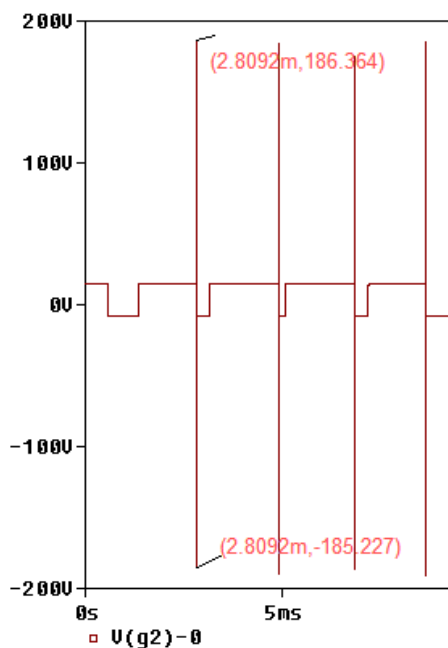


Figura C.12.: Circuito para simulación de una rama de un inversor.



(a) Tensión Gate-Emisor. (b) Tensión Gate-Emisor (teniendo en cuenta la inductancia parásita de emisor).



(c) Tensión Gate (referenciado a tierra).

Figura C.13.: Resultados de la tensión gate-emisor.

| | Pico positivo | Pico negativo |
|---|---------------|---------------|
| Tensión medida en el chip | 23.6V | -19.3V |
| Tensión medida con la inductancia parásita del emisor | 86.9V | -85.8V |
| Tensión medida con la inductancia parásita del emisor y dela conexión | 186.3V | -185.2V |

Tabla C.1.: Resultados de picos de tensión en V_{GE}

Además de esto, si se observa la tensión en la carga, figura C.14, se puede ver como tanto en el apagado como en el encendido, el único efecto que se aprecia es que, a mayor inductancia, la tensión desciende más lentamente aumentando así las pérdidas.

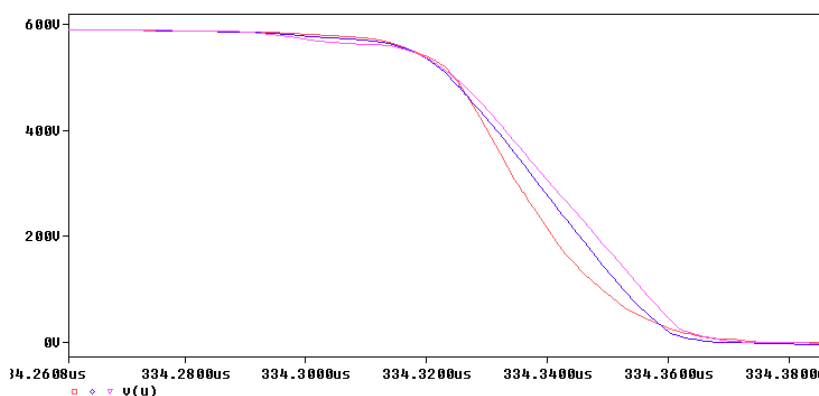


Figura C.14.: Tensión en la carga.

Por último ha sido posible apreciar como se ha producido un encendido parásito del IGBT inferior, falta con la que se generan pérdidas significativas. En la figura C.15 se puede ver como en el momento que se trata de apagar el IGBT la tensión V_{CE} sube hasta los 600V y de nuevo desciende por un momento, encendiéndose así de forma parásita. Para el caso en el que la inductancia es menor este efecto dura menos tiempo, por lo que las pérdidas serán menores en este caso.

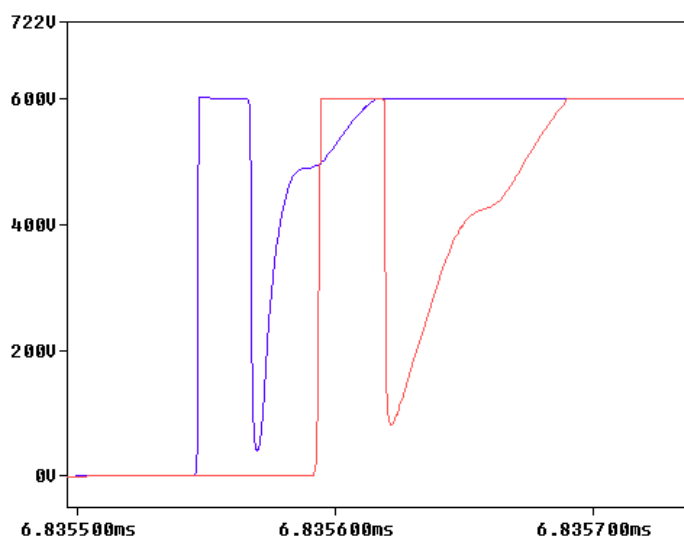


Figura C.15.: Encendido parásito de un IGBT.

C.3.1. Dead-Time

La configuración típica de un inversor de tensión, la cual se puede ver en la figura C.16, requiere de varios IGBTs que se enciendan y se apaguen uno después del otro. Si los dos condujeran a la vez, se realizaría un cortocircuito y la corriente crecería únicamente limitada por la inductancia parásita [11]. Nunca se encenderán los dos dispositivos simultáneamente a propósito, pero el IGBT no es un switch ideal, el tiempo de encendido y apagado no es idéntico. Por ello, es recomendable añadir un pequeño retraso denominado “*interlock delay time*”, o como más comunmente es conocido, “*dead-time*”.

Los valores típicos de dead-time suelen ser de entre 2-4 μs [12], para realizar el cálculo exacto se ha de utilizar la ecuación C.3 con los valores de los datashets del IGBT y del driver.

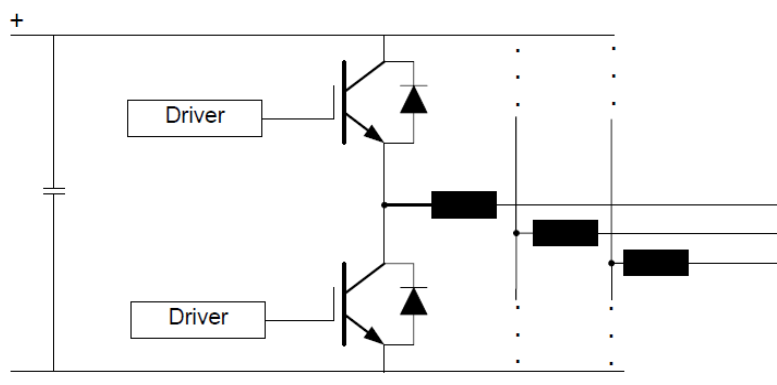


Figura C.16.: Configuración típica de un inversor de tensión.

$$t_{dead} = [(t_{DOFF_{MAX}} - t_{DON_{MIN}}) + (t_{PDD_{MAX}} - t_{PDD_{MIN}})] \times 1,2 \quad (C.3)$$

Donde:

- $t_{DOFF_{MAX}}$: Máximo retraso de apagado.
- $t_{DON_{MIN}}$: Mínimo retraso de encendido.
- $t_{PDD_{MAX}}$: Máximo retraso de propagación del driver.
- $t_{PDD_{MIN}}$: Mínimo retraso de propagación del driver.
- 1,2: Margen de seguridad.

Por ejemplo, para los IGBTs AUIRGPS4067D1 y el FS800R07A2E3 y el driver Skyper32 de Infineon, se tendrían en cuenta los parámetros de las figuras C.17, C.18 y C.19. Obteniendo unos valores de dead-time mínimos relativamente pequeños, tabla C.2.

| | | | | | |
|--------------|---------------------|---|-----|-----|----|
| $t_{d(on)}$ | Turn-On delay time | — | 69 | 82 | ns |
| t_r | Rise time | — | 65 | 82 | |
| $t_{d(off)}$ | Turn-Off delay time | — | 198 | 230 | |

Figura C.17.: Valores de retrasos del IGBT AUIRGPS4067D1 [2].

| | | | | | | |
|---|--|---|-------------|--|----------------------|---|
| Einschaltverzögerungszeit, induktive Last Turn-on delay time, inductive load | $I_C = 550 \text{ A}, V_{CE} = 300 \text{ V}$ $V_{GE} = \pm 15 \text{ V}$ $R_{Gon} = 1,8 \Omega$ | $T_{vj} = 25^\circ\text{C}$ $T_{vj} = 125^\circ\text{C}$ $T_{vj} = 150^\circ\text{C}$ | $t_{d on}$ | | 0,12 0,12 0,13 | μs μs μs |
| Anstiegszeit, induktive Last Rise time, inductive load | $I_C = 550 \text{ A}, V_{CE} = 300 \text{ V}$ $V_{GE} = \pm 15 \text{ V}$ $R_{Gon} = 1,8 \Omega$ | $T_{vj} = 25^\circ\text{C}$ $T_{vj} = 125^\circ\text{C}$ $T_{vj} = 150^\circ\text{C}$ | t_r | | 0,10 0,10 0,10 | μs μs μs |
| Abschaltverzögerungszeit, induktive Last Turn-off delay time, inductive load | $I_C = 550 \text{ A}, V_{CE} = 300 \text{ V}$ $V_{GE} = \pm 15 \text{ V}$ $R_{Goff} = 0,75 \Omega$ | $T_{vj} = 25^\circ\text{C}$ $T_{vj} = 125^\circ\text{C}$ $T_{vj} = 150^\circ\text{C}$ | $t_{d off}$ | | 0,51 0,53 0,55 | μs μs μs |

Figura C.18.: Valores de retrasos del IGBT FS800R07A2E3 [1].

| | | | |
|----------------|--|-----|---------------|
| $t_{d(on)IO}$ | Input-output turn-on propagation time | 1.1 | μs |
| $t_{d(off)IO}$ | Input-output turn-off propagation time | 1.1 | μs |

Figura C.19.: Valores de retrasos del driver Skyper32 [3].

Se ha realizado la simulación de una rama de un inversor pudiendo introducir un dead-time con lo que se puede ver el efecto que se causa con unos u otros retrasos. Además, se han introducido las inductancias parásitas para ver el efecto que estas causan introduciendo un dead-time. El esquemático utilizado ha sido el de la figura C.20 en el que mediante el parametro “DT” se configura el tiempo de retraso entre encendido de un y otro IGBT.

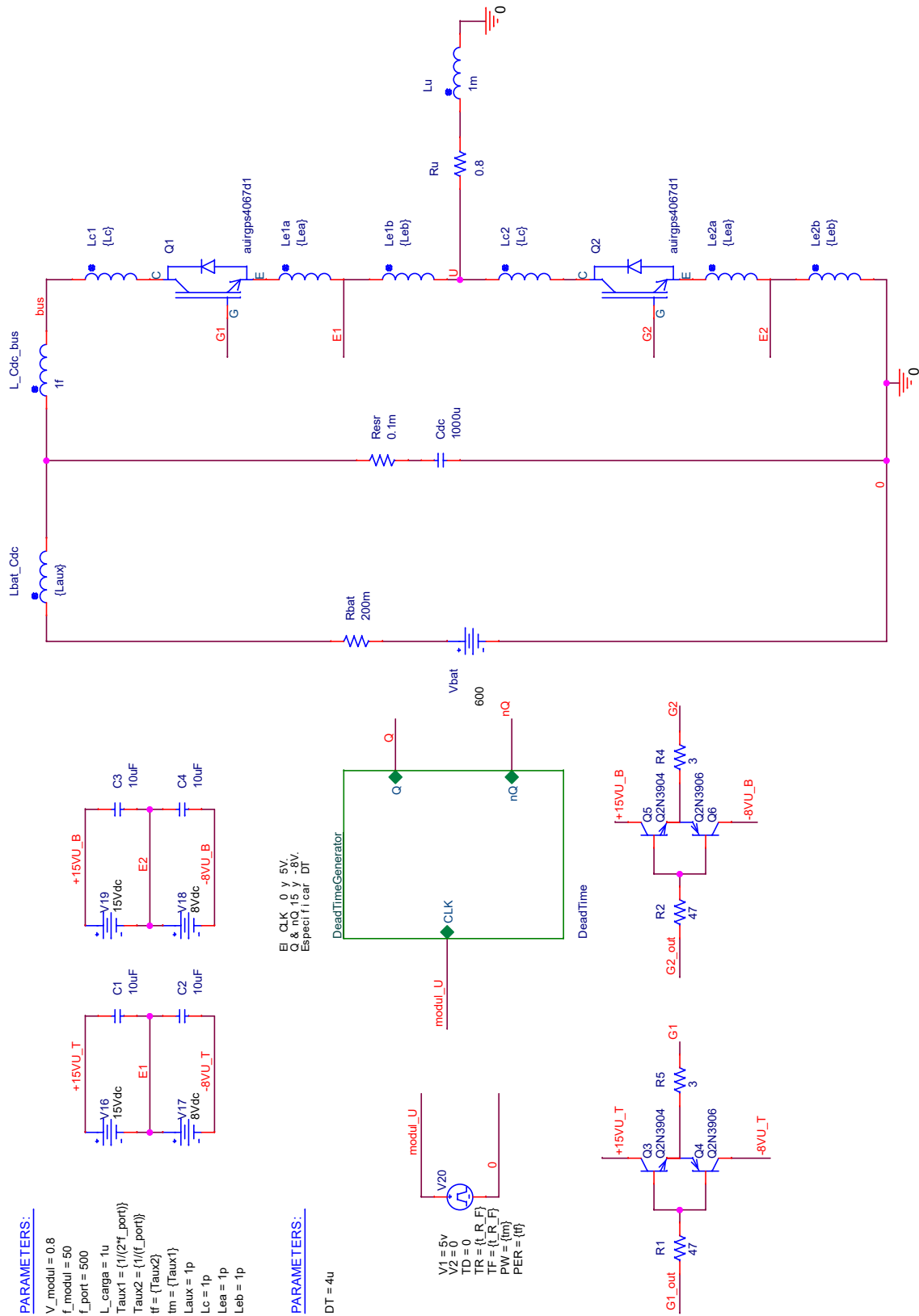
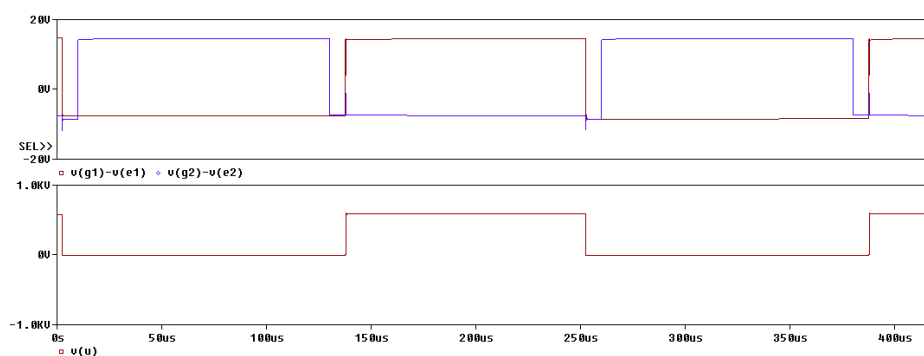
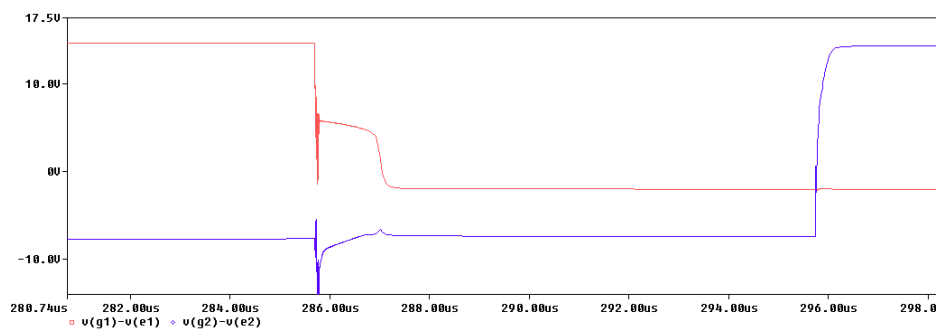


Figura C.20.: Esquema utilizado con dead-time programable.

| | AUIRGPS4067D1 | FS800R07A2E3 |
|------------------|-----------------|----------------|
| $t_{DOFFMAX}$ | 230ns | 0.55us |
| t_{DONMIN} | 69ns | 0.12us |
| t_{PDDMAX} | 1.1us | 1.1us |
| t_{PDDMIN} | 1.1us | 1.1us |
| Dead time | 0.1932us | 0.516us |

Tabla C.2.: Valores de dead-time mínimos para el AUIRGPS4067D1 y el FS800R07A2E3.

En las simulaciones se puede observar como se consigue separar los pulsos de puerta (figura C.21) con lo que hay menor probabilidad de que los dos IGBTs entren en conducción. Una vez introducidas las inductancias parásitas de 7nH, se puede observar en la figura C.22 como se generan picos de tensión, que deberán de ser eliminados mediante las correspondientes protecciones, generando así mayores pérdidas.

Figura C.21.: V_{GE} con dead-time.Figura C.22.: V_{GE} con dead-time e inductancias parásitas.

C.4. Efecto de las capacidades internas

El comportamiento dinámico de un IGBT depende de varias capacidades internas. Éstas son propias de la estructura de silicio, como se puede ver en la figura C.23. Las capacidades C_{ies} y C_{res} son esenciales para el correcto diseño del driver y la capacidad C_{oss} limita los picos de tensión (dV/dt) en las transiciones [9]. Las capacidades parásitas del IGBT son:

- $C_{ies}=C_{GE}+C_{res}$. C_{GE} incluye C_1 , C_3 , C_4 y C_6 de la figura C.23 (a).
- $C_{res}=C_{GC}$, que incluye C_2 y C_5 de la figura C.23 (a).
- $C_{oss}=C_{CE}+C_{res}$. Representa la capacidad C_7 de la figura C.23 (a).

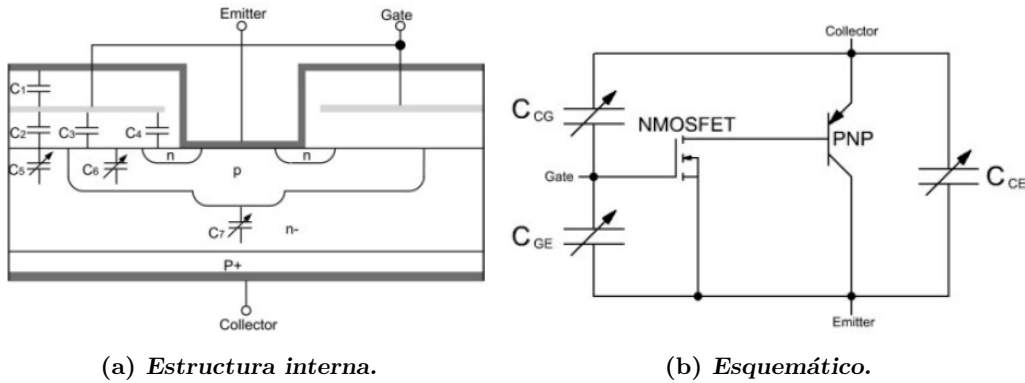


Figura C.23.: Capacidades internas de un IGBT.

Con las capacidades parásitas del IGBT, es posible que a por culpa de una dV/dt muy alta se produzca un encendido parásito de éste. La causa de este posible efecto se basa en el divisor de tensión capacitivo entre puerta-colector y puerta-emisor. Entre el colector y el emisor se producen transitorios de grandes tensiones, por lo que este divisor capacitivo intrínseco es mucho más rápido que un circuito externo limitado por las inductancias parásitas. Dado a este divisor, los cambios en V_{CE} aumentarán la tensión en V_{GE} , pudiendo, así, encender de forma parásita el IGBT. En C.4 se ve el valor de V_{GE} dependiendo de las capacidades parásitas. Por ello, la relación C_{res}/C_{ies} debe de ser lo menor posible para conseguir así no aumentar la tensión V_{GE} [9].

$$V_{GE} = \frac{C_{res}}{C_{ies}} \Delta V_{CE} \quad (C.4)$$

Se ha realizado la simulación del disparo de un IGBT pero cambiando la relación de las capacidades, haciendo así que el IGBT no funcione de forma correcta. Para ello, se ha utilizado el circuito que se puede ver en la figura C.24. En la figura C.25 se puede ver como la tensión V_{GE} no desciende a 0V casi en ningún momento, por ello, no se consigue apagar de forma correcta el IGBT y las pérdidas son muy grandes.

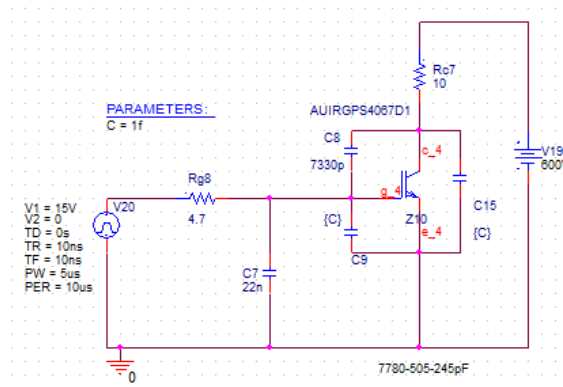


Figura C.24.: Esquema utilizado con relación de capacidades cambiada.

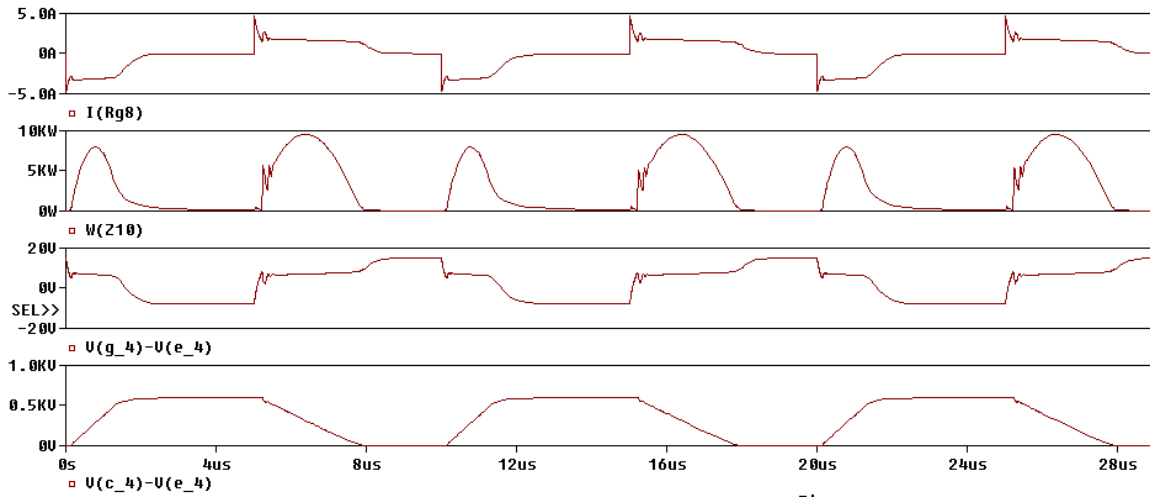


Figura C.25.: Resultados con relación de capacidades cambiada.

Una vez hecho esto, se ha procedido a realizar una simulación con la relación de las capacidades tal y como debe de ser, pero aumentando progresivamente las tres capacidades de manera idéntica. El circuito utilizado ha sido el de la figura C.26. Se han ido aumentando las capacidades de 500pF en 500pF hasta llegar al valor de 5nF consiguiendo, así, los resultados de la figura C.27. Como se ve el efecto es que la tensión de la puerta tarda más en llegar a los 15V realizando una conmutación más lenta del IGBT y generando así más pérdidas.

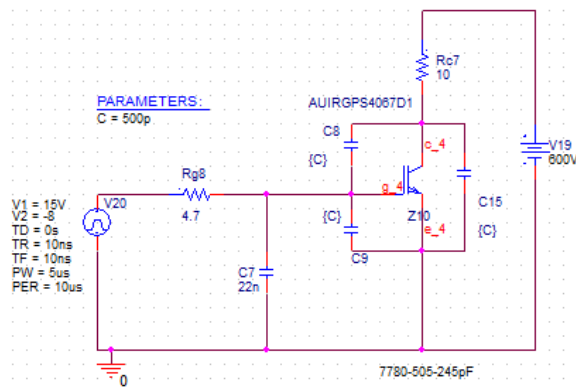


Figura C.26.: Esquema utilizado para aumentar capacidades.

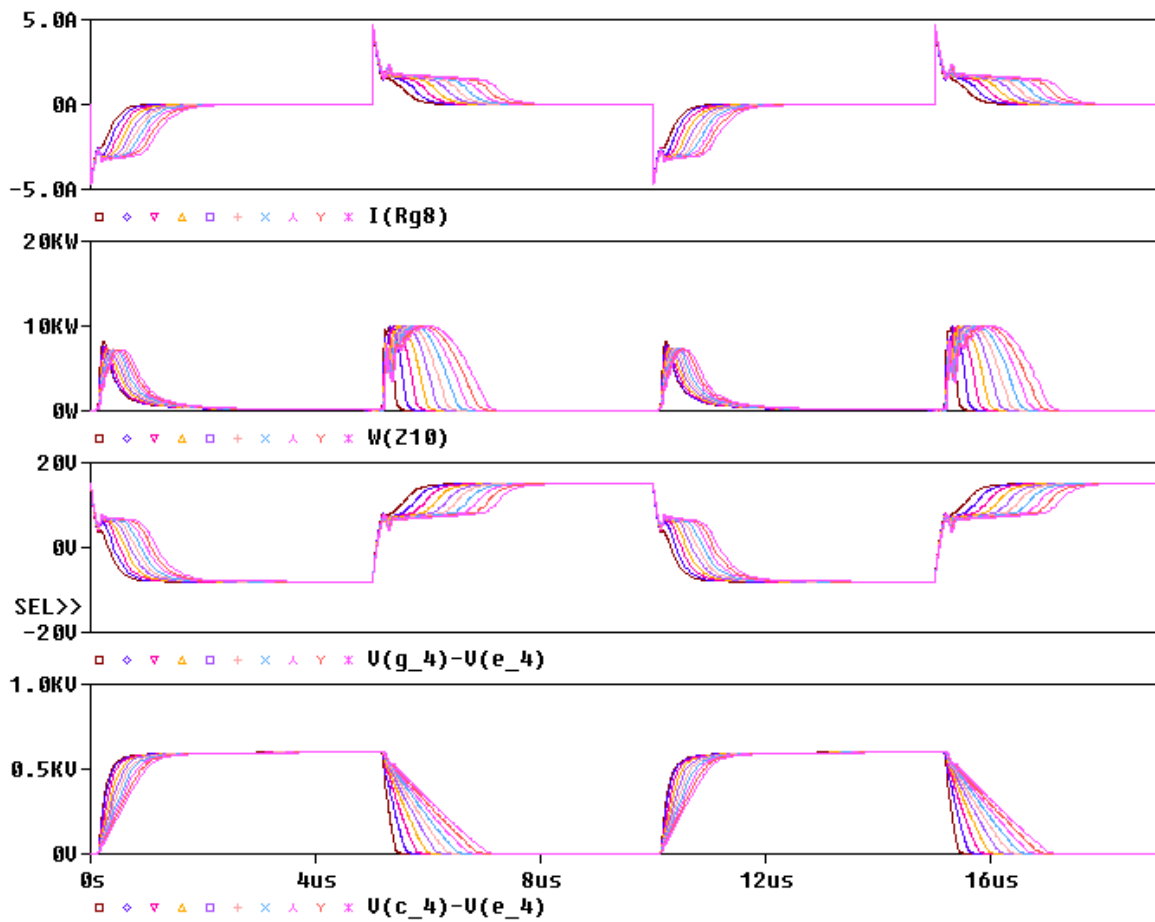


Figura C.27.: Resultados con capacidades aumentadas.

C.5. Protecciones

Como se ha explicado en el apartado F del anexo III el circuito de disparos/driver cuenta con varias protecciones, mediante las cuales, en caso de falta, no se destruye ni el IGBT ni el propio driver. Para un correcto conocimiento del funcionamiento de las mismas, se ha procedido a la simulación de diferentes faltas para ver el modo en el que actúan éstas.

C.5.1. Detección de falta de saturación

En electrónica de potencia, los IGBTs deben de ser utilizados a modo de interruptor. Es decir, o circula corriente y no cae tensión en el mismo, o no circula corriente y toda la tensión cae en él. En ocasiones ocurren cortocircuitos, los cuales hacen que la corriente I_C crezca indefinidamente provocando que la tensión V_{CE} crezca saliendo del modo correcto de funcionamiento (saturación) [13]. Por ello, monitorizando esta tensión (V_{CE}), es posible prever cortocircuitos y apagar el IGBT antes de que se destruya.

En la figura C.28 se puede ver la estructura interna del driver, con la que se consigue deducir el funcionamiento de la protección. El pin DESAT monitoriza la tensión de un condensador que se carga mediante una corriente de, en este caso [14], $500\mu\text{A}$ y se descarga mediante la resistencia y el mosfet. En caso de que esta tensión alcance el valor de referencia de 9V, se generará una falta y se apagará el IGBT.

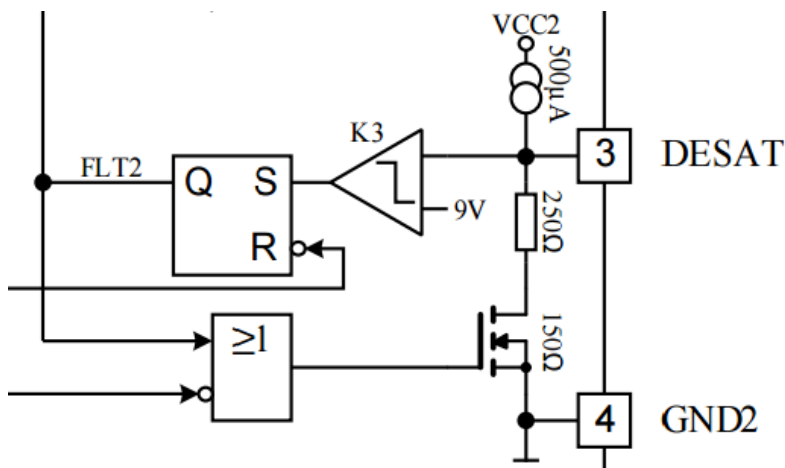


Figura C.28.: Estructura interna del driver (protección ante dessaturación).

En la figura C.29 se puede ver como al encender el IGBT la tensión del pin DESAT comienza a crecer (el condensador va cargándose) y en el caso de superar el valor de referencia se produce una señal de falta, la cual necesita un tiempo de reacción.

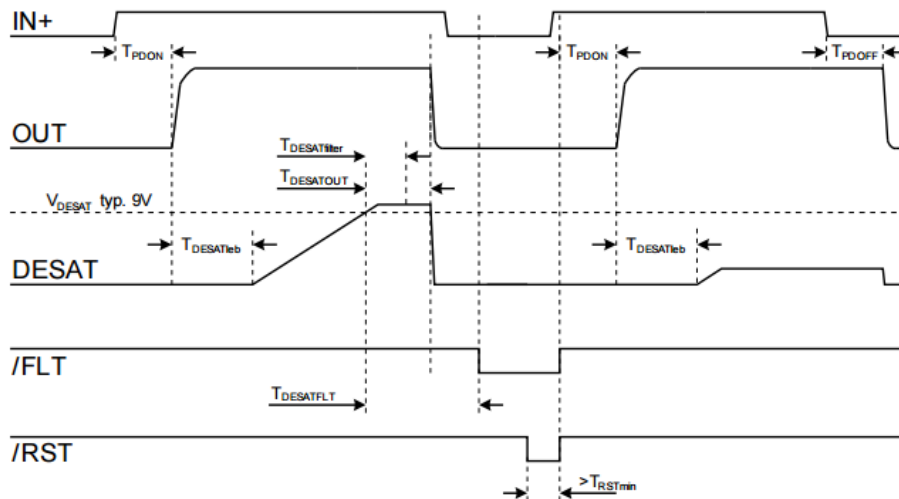


Figura C.29.: Detección de falta de saturación.

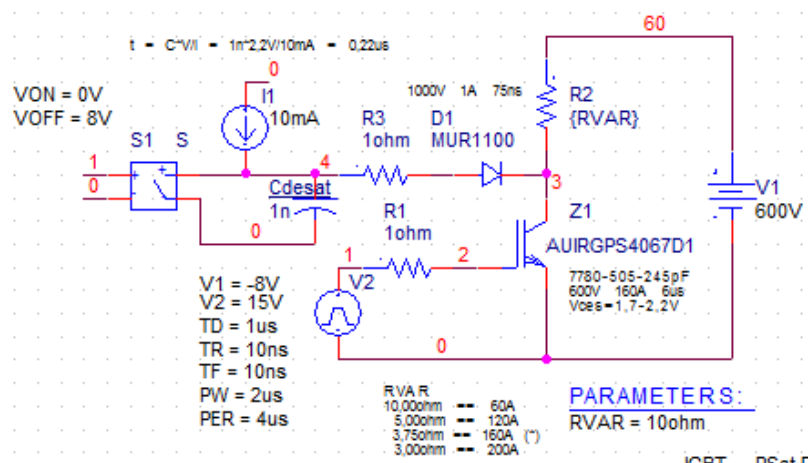


Figura C.30.: Esquema para detección de falta de saturación.

Por ello se ha realizado la simulación del funcionamiento de un IGBT con diferentes corrientes, con lo que es posible apreciar los cambios de tensión en la capacidad C_{DESAT} . En la figura C.30 se puede ver el circuito utilizado para realizar la simulación, se utiliza una resistencia con diferentes valores, con lo que se consiguen diferentes corrientes con una sola simulación.

En los resultados, figura C.31, se ve como se han simulado diferentes corrientes. Cuanto mayor es la corriente que circula por el circuito, aumenta la tensión V_{CE} pudiendo salir del modo óptimo de funcionamiento, aumentando muchísimo las perdidas y pudiendo llegar a destruir el IGBT. Por ello, en cuanto la tensión del condensador alcanza la tensión de referencia (2.6V en este caso) se generará una señal de falta, apagando el IGBT y protegiéndolo ante corrientes excesivamente grandes. Por otro lado, si el driver cuenta con una tensión de referencia diferente, mediante la resistencia R3 es posible aumentar la tensión V_{DESAT} , por lo que, dependiendo de la tensión de referencia del driver, se definirá el valor de la resistencia.

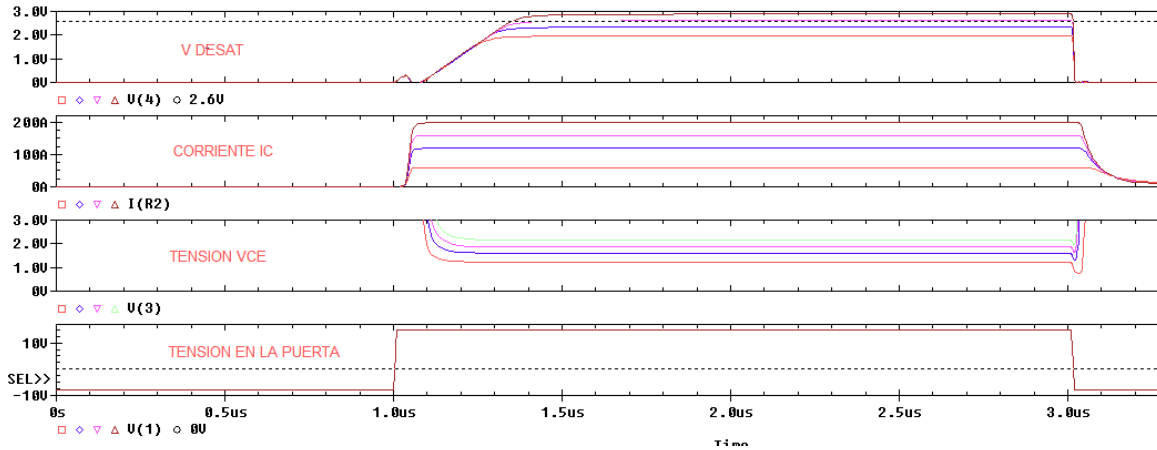


Figura C.31.: Resultados para detección de falta de saturación.

En cuanto a el diodo D_1 debe de tener un t_{rr} muy bajo, ya que, como se ve en la figura C.33, cuando se apaga el IGBT, la recuperación inversa del diodo, hace que el pin DESAT entre en contacto con la tensión V_{CEOFF} y al tratarse de una tensión muy alta, podría llegar a destruir el condensador y el driver. Por ello, se recomiendan diodos con una recuperación inversa muy pequeña. En la figura C.32 se pueden ver varios diodos recomendados para este tipo de aplicaciones.

| Part Number | Manufacturer | Trr (ns) | Max. Reverse Voltage Rating, VRRM (Volts) |
|-------------|-----------------------|----------|---|
| ERA34-10 | Fuji Semiconductor | 15 | 1000 |
| MUR1100E | Motorola | 75 | 1000 |
| UF4007 | General Semiconductor | 75 | 1000 |
| BYM26E | Philips | 75 | 1000 |
| BYV26E | Philips | 75 | 1000 |
| BYV99 | Philips | 75 | 600 |
| MURS160T3 | Motorola | 75 | 600 |

Figura C.32.: Diodos con tiempo de recuperación inversa baja.

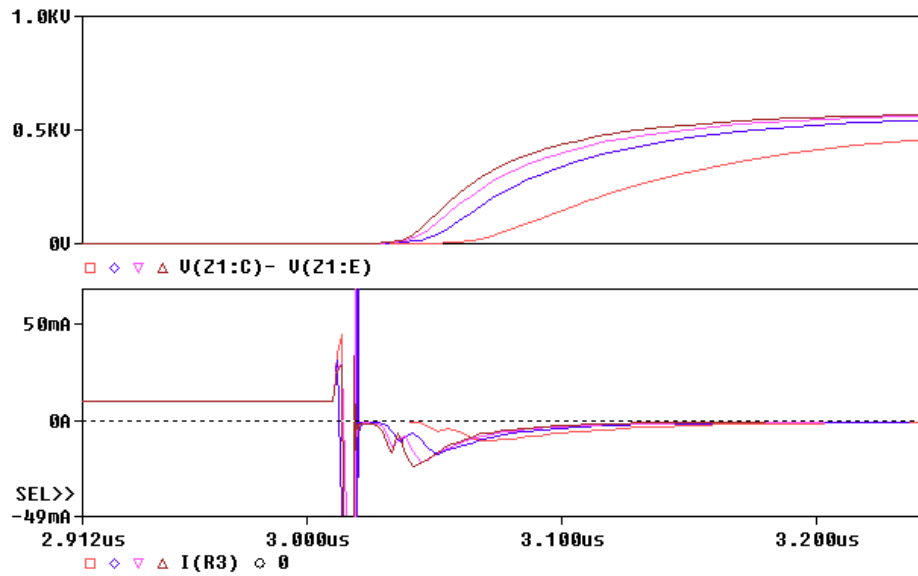


Figura C.33.: Recuperación inversa del diodo en la protección de saturación.

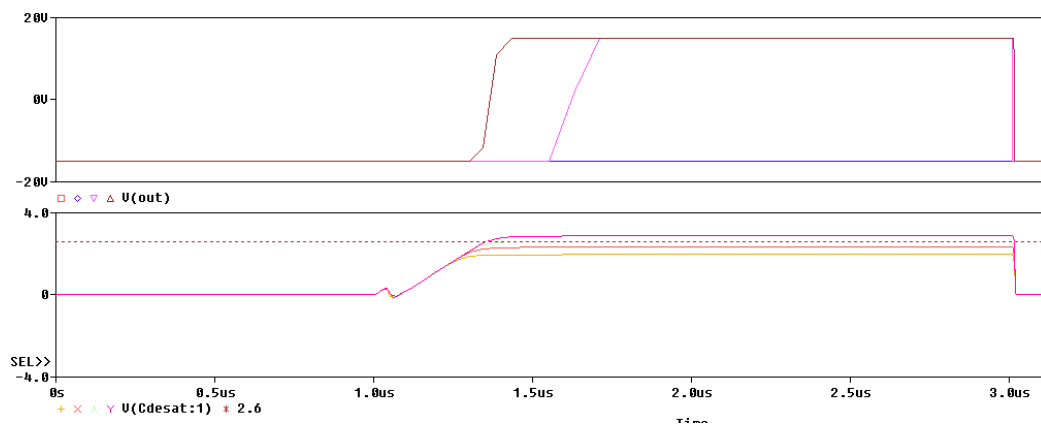
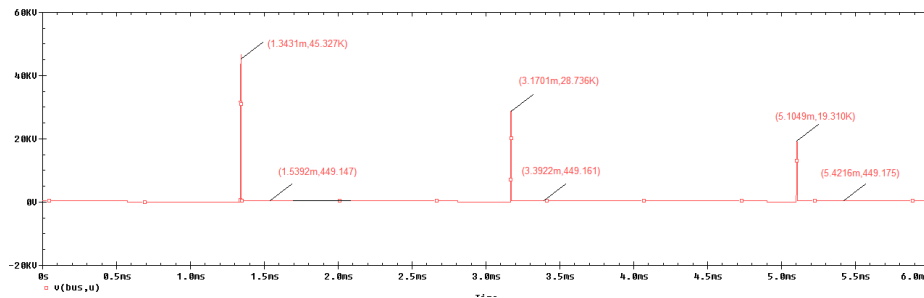


Figura C.34.: Señal de falta de saturación.

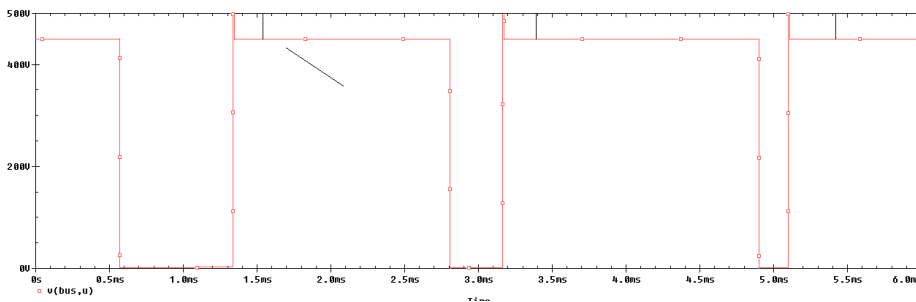
Como se ve en la figura C.34 en cuanto la tensión V_{desat} alcanza la tensión de 2,6V se genera una señal de falta que, mediante la lógica interna del driver hace que se desactive el IGBT, poniendo a la tensión de apagado, -8V en este caso, la puerta del IGBT.

C.5.2. Active clamping

Otro efecto no deseado es el de los picos de tensión. Los cambios bruscos de corriente hacen que se generen picos a causa de las inductancias. Es imprescindible eliminarlos, ya que, estos pueden hacer que el circuito se destruya por completo. En la figura C.35 y en la tabla C.3 se puede ver como éstos pueden alcanzar valores muy altos, ya que, en electrónica de potencia, los cambios de corriente son muy grandes. Para poder eliminar este efecto, se ha utilizado el circuito de la figura C.36, en el que mediante los diodos TVS se limita la tensión entre el colector y el emisor, consiguiendo así limitar la señal a un valor específico, eliminando los picos de tensión.



(a) Picos de tensión.



(b) Picos de tensión (ampliado).

Figura C.35.: Picos de tensión generados en V_{CE} .

Como se ha comentado anteriormente, la causa principal de los picos de tensión son las inductancias, por ello, se ha realizado la simulación con una inductancia en la que se fijan varios valores para ver el efecto de ésta. El diodo TVS empleado ha sido el “D1N4992”, el cual es capaz de limitar una tensión de hasta 270V [15], por ello se han empleado dos en serie para poder limitar una tensión de 540V.

| | Primer pulso | Segundo pulso | Tercer pulso |
|----------------------|--------------|---------------|--------------|
| Pico de tensión (V) | 45.327k | 28.736k | 19.310k |
| Pulso de tensión (V) | 449.147 | 449.161 | 449.175 |

Tabla C.3.: Valores de picos de tensión de V_{CE}

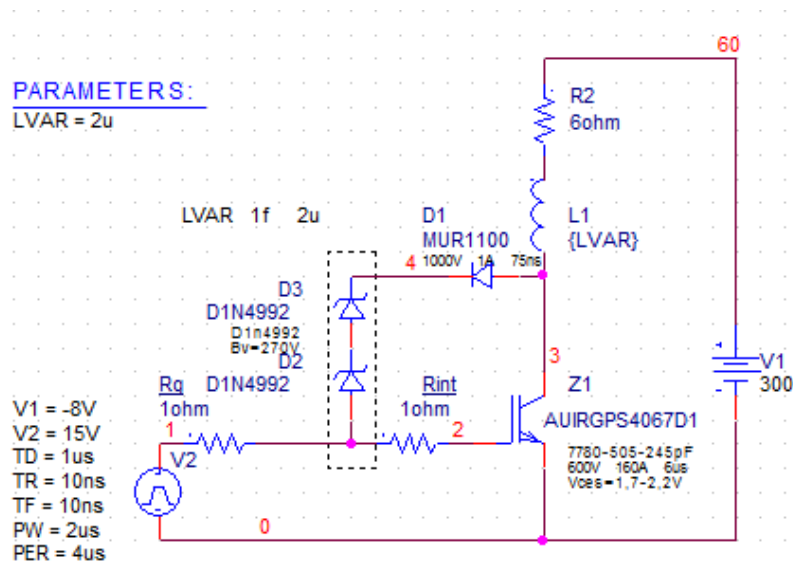


Figura C.36.: Protección active clamping.

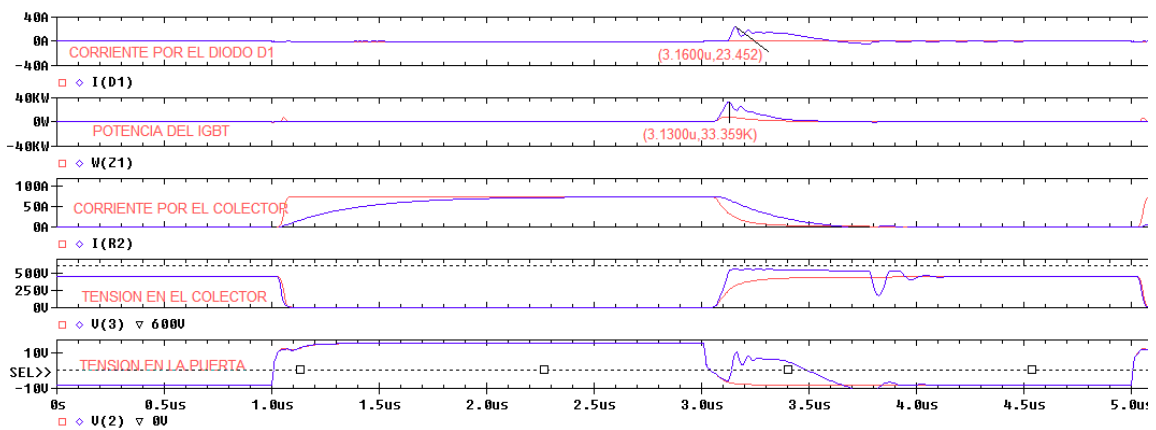


Figura C.37.: Resultados de protección active clamping.

En cuanto a los resultados, se puede ver en la figura C.37 como los picos son eliminados mediante el circuito de protección cuando la inductancia tiene un valor de varios μH . Para ello, circulará una corriente con un valor considerable (23.452A), la cual puede ser reducida mediante la alternativa de la figura C.38 en la que se añade un diodo extra. Como se ve en la figura C.39 la corriente disminuye desde 23A hasta 9A, con lo que conseguimos utilizar diodos TVS con menor capacidad de corriente, reduciendo así el coste de estos.

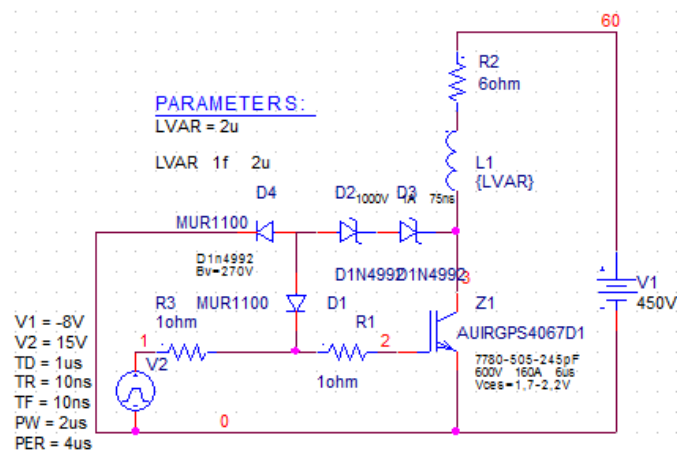


Figura C.38.: Protección active clamping feedback to driver.

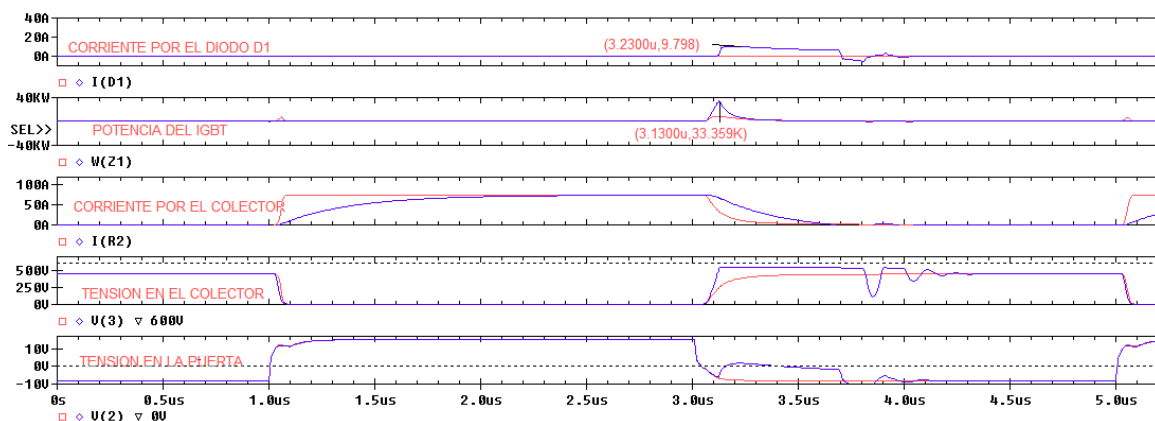


Figura C.39.: Resultados de protección active clamping feedback to driver.

Por último, se puede ver que la tensión de puerta crece cuando se activa la protección active clamping llegando casi a sobrepasar los 0V. Gracias a que se utiliza una tensión de apagado de -8V, esto no tiene ningún efecto porque no llega a sobrepasar la tensión mínima de encendido del IGBT. Sin embargo, si se utilizara una tensión de apagado de 0V, este aumento de tensión momentáneo produciría un encendido parásito del IGBT, aumentando así las pérdidas. Para solucionar este problema, se utiliza la protección Miller Clamping, la cual se explica en el anexo III y se simula en el apartado C.5.4.

C.5.3. Gate clamping

Como se ha explicado en el capítulo C.3, debido a las inductancias parásitas se generan picos de tensión entre la puerta y el emisor del IGBT. Éstos pueden llegar a ser muy destructivos, generando grandes pérdidas y pudiendo llegar a destruir el IGBT.

Para la eliminación de estos picos de tensión se utilizan dos diodos TVS con los que se conseguirá limitar la tensión y una resistencia R_{GE} y una capacidad C_{GE} con la que se conseguirá limpiar la señal de ruidos indeseados. El circuito utilizado se puede ver en la figura C.40 y los resultados obtenidos en la figura C.41, en la que se observa como se eliminan los picos de tensión causados por las inductancias parásitas.

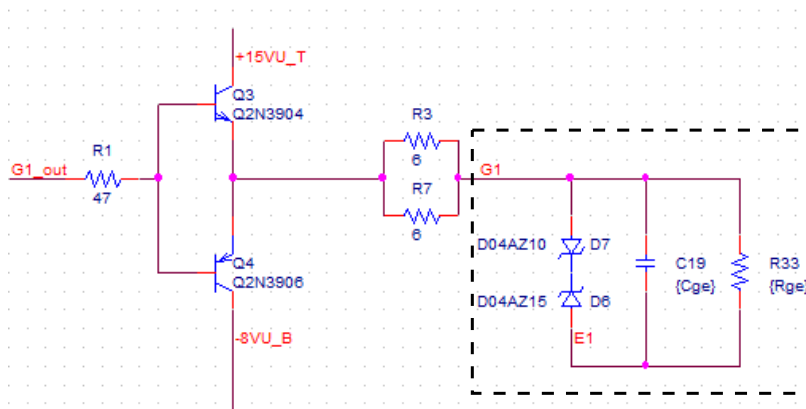


Figura C.40.: Protección utilizada para limitar tensión de puerta (Gate clamping).

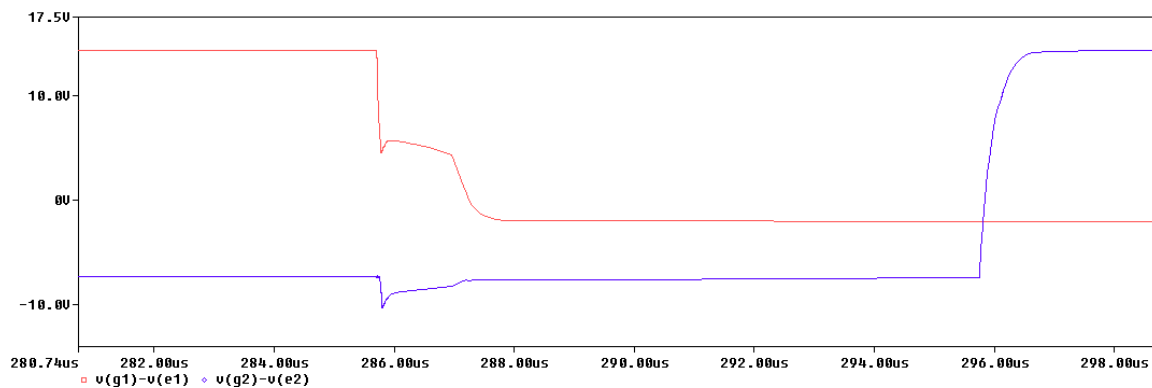
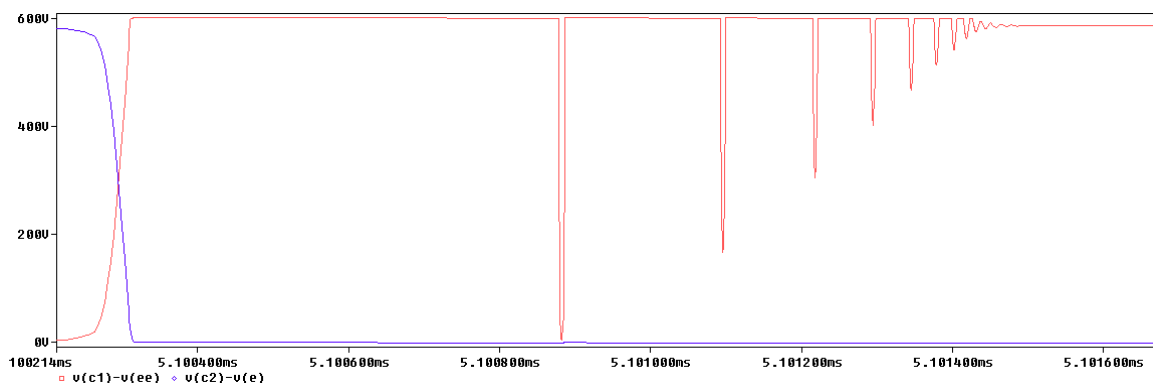


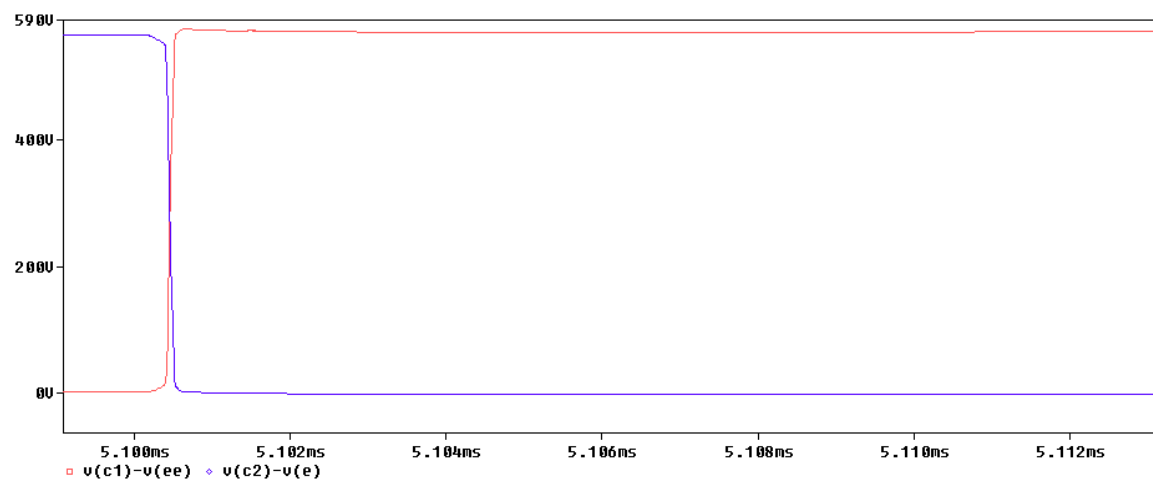
Figura C.41.: Resultados de tensión V_{GE} utilizando la protección.

C.5.4. Miller clamping

Otro problema común en el disparo de los IGBTs es el encendido parásito de éstos al tratar de apagarlos, como se explica en el capítulo F del anexo III. Por ello se ha realizado una simulación en la que se puede ver el encendido parásito de un IGBT y posteriormente se ha conseguido eliminarlo. Para ello, primero de todo, se ha realizado un apagado del IGBT con 0V, con lo que se ha producido la falta, y después se ha realizado el apagado con -8V con lo que se ha eliminado el encendido parásito. En la figura C.42 se puede ver como observando la tensión V_{CE} el IGBT se trata de apagar pero se vuelve a encender en varias ocasiones, mientras que, con la conmutación a -8V esto no ocurre.



(a) Conmutación a 0V.



(b) Conmutación a -8V.

Figura C.42.: Protección frente a encendido parásito de un IGBT.

D. Diseño de la tarjeta de disparos/driver

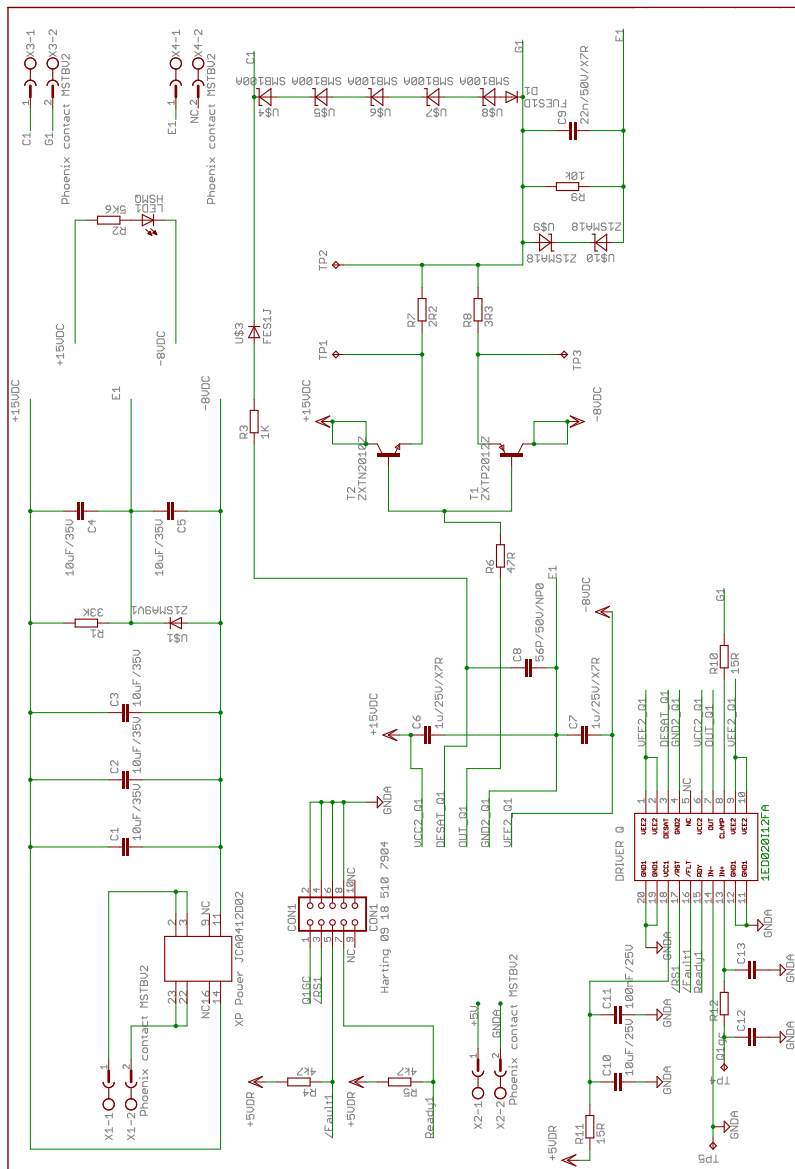


Figura D.1.: Diseño de tarjeta de disparos/driver robusto.

Parte III.

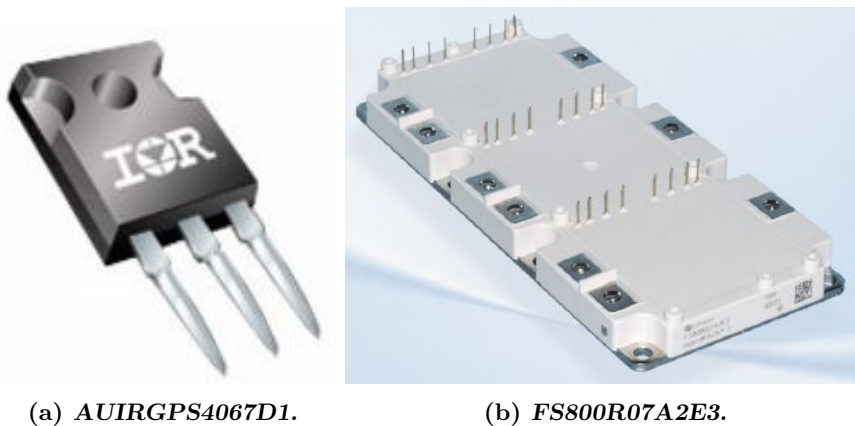
Anexo 3: Estudio de la tecnología requerida para la realización del diseño

E. Funcionamiento matemático del driver

E.1. Introducción

Un elemento fundamental en todos los sistemas electrónicos de potencia es el driver del IGBT, el cual hace de interfaz vital entre el transistor y el controlador. Por esta razón, la elección del driver y además, el cálculo de la potencia de salida del driver están muy vinculados con la fiabilidad del convertidor de potencia. Un cálculo erróneo de la potencia o una mala elección del driver utilizado puede resultar en un mal funcionamiento del módulo o del mismo driver. Por ello, se va a explicar como calcular varios aspectos necesarios para una correcta conmutación del IGBT.

En el siguiente documento se van a utilizar como ejemplo los IGBT AUIRGPS4067D1 de International Rectifier y FS800R07A2E3 de Infineon. La frecuencia de conmutación utilizada será de 12kHz (pudiendo llegar hasta los 20kHz), frecuencia utilizada en los vehículos eléctricos.



(a) *AUIRGPS4067D1.*

(b) *FS800R07A2E3.*

Figura E.1.: Encapsulado de los IGBT.

E.2. Ecuaciones fundamentales

Como se ve en la figura E.2 además del IGBT y del driver, tenemos diferentes elementos que afectan en el funcionamiento del disparo. Por ejemplo, la resistencia de puerta R_G afecta a los picos de corriente generados y, por tanto, a las pérdidas generadas. Además, el IGBT tiene unas capacidades internas(figura E.3) que también tendrán un efecto en las pérdidas anteriormente mencionadas, ya que, son las encargadas de conseguir la conmutación del IGBT mediante su carga y descarga.

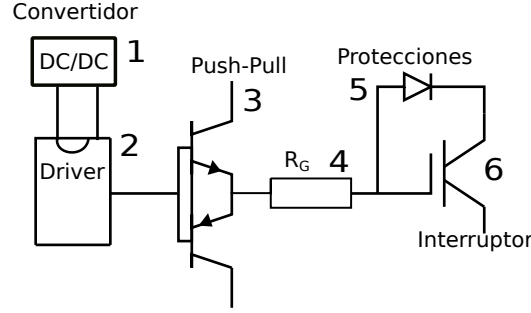


Figura E.2.: Esquema general de la placa de disparo.

Por ello, hay cálculos que son indispensables para poder asegurar un correcto funcionamiento y que el IGBT no se destruya. Por ello, es indispensable realizar el cálculo de parámetros tales como la energía consumida. En la relación E.4 se puede ver como realizar el cálculo de ésta. Gracias a la energía es posible realizar el calculo de las potencia consumida, simplemente multiplicándola por la frecuencia de conmutación como se puede ver en (E.4).

$$E_c = \int p(t)dt = \int V(t) \times i(t)dt \quad (E.1)$$

$$i(t) = C \times \frac{dv}{dt}, \quad dt = C \times \frac{dv}{i(t)} \quad (E.2)$$

$$E_c = \int C \times V(t)dv \quad (E.3)$$

$$E_c = \frac{1}{2}C \times V(t)^2, \quad P_G = E_c \times f_{sw} \quad (E.4)$$

En cuanto a la resistencia de puerta R_g , es indispensable conectarla lo más cerca del modulo posible, ya que, de lo contrario, se generaría una inductancia parásita, formando así un circuito L-C y generando oscilaciones. Además, para prevenir oscilaciones, R_g deberá de ser mayor que un valor, como se ve en la ecuación E.5 [16].

$$R_g \geq 2 \times \sqrt{\frac{L_{wire}}{C_{ies}}} \quad (E.5)$$

Además de R_g , existe una resistencia interna del driver $R_{g(int)}$ que también habrá que tener en cuenta a la hora de realizar los cálculos. La potencia disipada en esta resistencia será la proporcional a la de la R_g y se calculará de la forma ilustrada en la ecuación (E.6).

$$P_{R_{g(int)}} = \frac{R_{g(int)}}{R_{g(int)} + R_g} \times P_G \quad (E.6)$$

E.3. Carga de puerta

El comportamiento de conmutación de un IGBT depende de las capacidades internas y de las resistencias internas y externas de puerta. Además, cuando se calculan los requerimientos de potencia de salida, la clave es la carga de la puerta, la cual depende de las capacidades internas C_{GC} y C_{GE} .

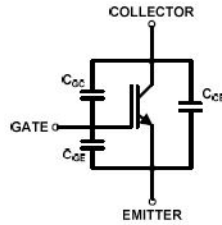


Figura E.3.: Capacidades de un IGBT.

En los datasheets, estas capacidades están ilustradas como dependientes de la tensión en pequeña señal, para el estado de apagado. Éstas son independientes de la temperatura, pero dependen de la tensión V_{CE} como se puede ver en las figuras E.4a y b. Además de las gráficas, en los data sheets también se suelen aportar los valores típicos. En la figura E.4c y E.4d se pueden ver los valores entregados por el fabricante.

Estas capacidades se calcularían de la forma ilustrada en las ecuaciones E.7, E.8 y E.9. Por lo que, con estos datos, sería posible calcular las capacidades internas del IGBT.

$$C_{ies} = C_{GE} + C_{GC} \quad (E.7)$$

$$C_{res} = C_{GC} \quad (E.8)$$

$$C_{oes} = C_{GC} + C_{CE} \quad (E.9)$$

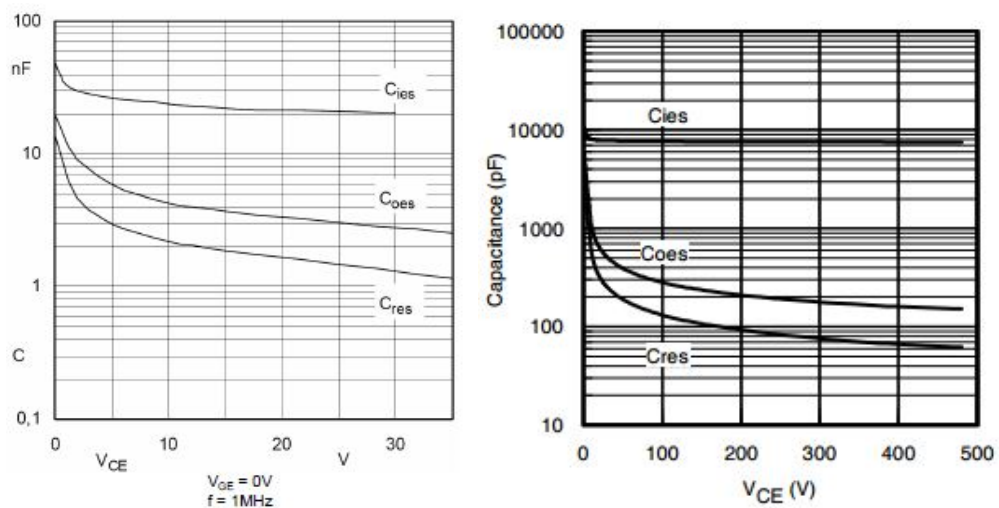
Donde:

C_{GE} Capacidad puerta emisor
 C_{GC} Capacidad puerta colector
 C_{CE} Capacidad colector emisor

Un parámetro muy importante es la carga de puerta necesaria para conmutar el IGBT. Para el cálculo de ésta, será necesaria la capacidad de entrada C_{ies} y el factor de capacidad de puerta k_c [17]:

$$Q_G = C_G \times (V_{G(on)} - V_{G(off)}), \quad C_G = C_{ies} \times k_g \quad (E.10)$$

$$k_c = \frac{Q_{G(ds)}}{C_{ies} \times (V_{G(on)} - V_{G(off)})} \quad (E.11)$$



(a) Capacidades de pequeña señal, caso teórico. (b) Capacidades de pequeña señal del AUIRGPS4067D1.

| | | | | | | |
|-----------|------------------------------|---|------|---|----|---|
| C_{ies} | Input Capacitance | — | 7780 | — | pF | $V_{GE} = 0V$ $V_{CC} = 30V$ $f = 1.0Mhz$ |
| C_{oes} | Output Capacitance | — | 505 | — | | |
| C_{res} | Reverse Transfer Capacitance | — | 245 | — | | |

(c) Capacidades de pequeña señal, AUIRGPS4067D1 [2].

| | | | |
|--|-----------|------|----|
| $f = 1 \text{ MHz}$, $T_{vj} = 25^\circ\text{C}$, $V_{CE} = 25 \text{ V}$, $V_{GE} = 0 \text{ V}$ | C_{ies} | 52,0 | nF |
| $f = 1 \text{ MHz}$, $T_{vj} = 25^\circ\text{C}$, $V_{CE} = 25 \text{ V}$, $V_{GE} = 0 \text{ V}$ | C_{res} | 1,50 | nF |

(d) Capacidades de pequeña señal, FS800R07A2E3 [1].

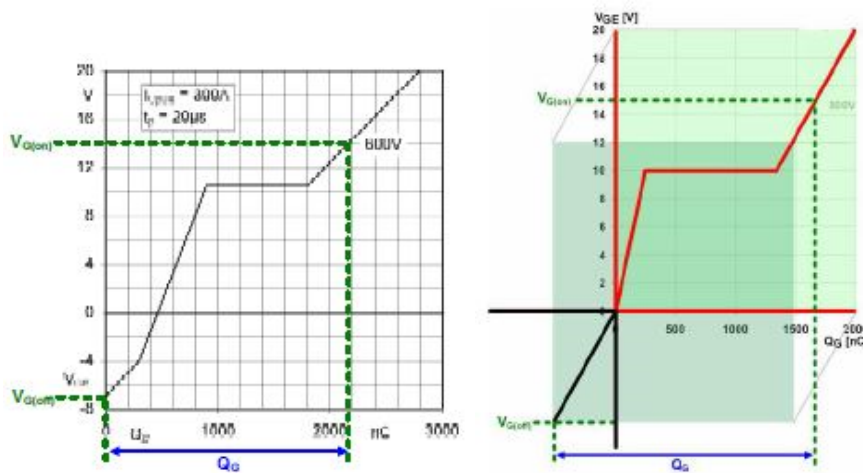
Figura E.4.: Capacidades de pequeña señal.

Una vez que se sabe esto, es posible calcular la potencia requerida por el driver, mediante la relación E.13.

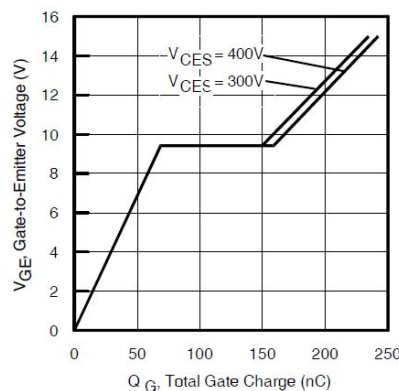
$$P_{GD(out)} = E \times f_{sw}, \quad \text{donde,} \quad E = Q_G \times (V_{G(on)} - V_{G(off)}) \quad (E.12)$$

$$P_{GD(out)} = C_G \times (V_{G(on)} - V_{G(off)})^2 \times f_{sw} \quad (E.13)$$

Otra manera de calcular la carga de puerta por pulso necesaria, es utilizando la curva característica de la carga de puerta, la cual relaciona V_{GE} y la carga de puerta. Teniendo en cuenta la tensión puerta-emisor total que se va a utilizar (por ejemplo la diferencia de $V_{G(ON)}$ a $V_{G(OFF)}$) se puede leer la carga necesaria directamente de la gráfica E.5a. En el caso de que el datasheet solo aporte el cuadrante positivo, se podría extrapolar la zona del cuadrante negativo como en el caso de la figura E.5b.



(a) Características de carga de puerta. (b) Extrapolación de características de carga de puerta.



(c) Características de carga de puerta en el AUIRGPS4067D1.

Figura E.5.: Características de carga de puerta.

Caso AUIRGPS4067D1:

$$Q_{G(ds)} = 360nC, \quad V_{G(on)} = 15V, V_{G(off)} = -8V, \quad f_{sw1} = 12kHz, f_{sw2} = 20kHz \quad (E.14)$$

$$P_{GD(out)} = Q_G \times (V_{G(on)} - V_{G(off)}) \times f_{sw} = \mathbf{0.099W} \quad (E.15)$$

$$P_{GD(out)} = Q_G \times (V_{G(on)} - V_{G(off)}) \times f_{sw2} = \mathbf{0.17W} \quad (E.16)$$

Caso FS800R07A2E3:

$$Q_{G(ds)} = 8,6\mu C, \quad V_{G(on)} = 15V, V_{G(off)} = -8V, \quad f_{sw1} = 12kHz, f_{sw2} = 20kHz \quad (E.17)$$

$$P_{GD(out)} = Q_G \times (V_{G(on)} - V_{G(off)}) \times f_{sw} = \mathbf{2.3736W} \quad (E.18)$$

$$P_{GD(out)} = Q_G \times (V_{G(on)} - V_{G(off)}) \times f_{sw2} = \mathbf{3.956W} \quad (E.19)$$

E.4. Corriente de puerta

Una de las claves de los drivers es que sean capaces de entregar suficiente corriente para cargar y descargar las capacidades internas, consiguiendo así poder encender y apagar el IGBT. Esta corriente de puerta puede ser calculada utilizando las ecuaciones de carga de las capacidades de entrada [17].

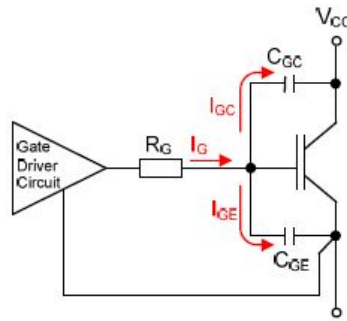


Figura E.6.: Corrientes de puerta.

$$Q_g = \int idt \quad (E.20)$$

$$Q_{ge} = I_{GE} \times t_{sw}, \quad Q_{gc} = I_{GC} \times t_{sw} \quad (E.21)$$

$$Q_g = Q_{ge} + Q_{gc} = (I_{ge} + I_{gc}) \times f_{sw} \quad (E.22)$$

$$I_g = Q_g \times f_{sw} = C_g \times (V_{G(on)} - V_{G(off)}) \times f_{sw} \quad (E.23)$$

Una vez que se tiene la relación para el cálculo de la corriente de puerta, se puede obtener otra relación para la potencia media en la puerta del IGBT como se ve en la relación E.25.

$$\langle P_{gate} \rangle = Q_g \times (V_{G(on)} - V_{G(off)}) \times f_{sw} = \langle I_g \rangle \times (V_{G(on)} - V_{G(off)}) \quad (E.24)$$

$$\langle P_{gate} \rangle = I_{rms}^2 \times R_{on,off} \quad (E.25)$$

E.4.1. Pico de corriente de puerta

El tiempo de conmutación del IGBT es controlado con las cargas y descargas de las capacidades. Si el pico de corriente de puerta aumenta se consigue reducir el tiempo de conmutación y las pérdidas. Ésto tiene otros efectos como sobretensiones, aumento de el EMI, etc. Por lo que habrá que limitar estos picos de corriente mediante la resistencia de puerta. Para ello, se puede calcular el valor del pico de corriente mediante la relación E.26.

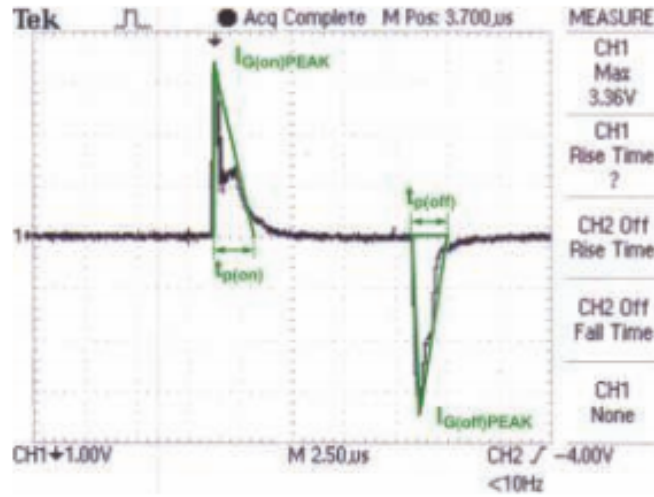


Figura E.7.: Picos de corriente de puerta.

$$I_{GPEAK} = \frac{V_{G(on)} - V_{G(off)}}{R_G + R_{G(int)}} \quad (E.26)$$

Como se ha dicho en el capítulo anterior, la potencia depende de la corriente eficaz de puerta del IGBT. Para un cálculo más sencillo, es posible realizarlo mediante el pico de corriente como se puede ver en (E.30) [16].

$$I_{G(on)RMS} = I_{G(on)PEAK} \sqrt{\frac{k}{3}}, \quad k = t_p \times f_{sw} \quad (E.27)$$

$$P_{G(on)} = I_{G(on)PEAK}^2 \times \frac{k}{3} \times R_{G(on)} \quad (E.28)$$

$$I_{G(off)RMS} = I_{G(off)PEAK} \sqrt{\frac{k}{3}}, \quad k = t_p \times f_{sw} \quad (E.29)$$

$$P_{G(off)} = I_{G(off)PEAK}^2 \times \frac{k}{3} \times R_{G(off)} \quad (E.30)$$

Caso AUIRGPS4067D1:

$$R_G = 4,7\Omega, R_{G(int)} = 0,5\Omega \quad V_{G(on)} = 15V, V_{G(off)} = -8V \quad (E.31)$$

$$k = t_p \times f_{sw} = 0,2 \quad (E.32)$$

$$I_{GPEAK} = \frac{V_{G(on)} - V_{G(off)}}{R_G + R_{G(int)}} = 5,2A \quad (E.33)$$

$$P_{G(on)} = I_{G(on)PEAK}^2 \times \frac{k}{3} \times R_{G(on)} = \mathbf{8,47W} \quad (E.34)$$

Caso FS800R07A2E3:

$$R_G = 1,8\Omega, R_{G(int)} = 0,5\Omega \quad V_{G(on)} = 15V, V_{G(off)} = -8V \quad (E.35)$$

$$k = t_p \times f_{sw} = 0,2 \quad (E.36)$$

$$I_{GPEAK} = \frac{V_{G(on)} - V_{G(off)}}{R_G + R_{G(int)}} = 10A \quad (E.37)$$

$$P_{G(on)} = I_{G(on)PEAK}^2 \times \frac{k}{3} \times R_{G(on)} = \mathbf{12W} \quad (E.38)$$

E.5. Conclusiones

Es muy importante realizar los cálculos anteriormente mencionados para una correcta conmutación del IGBT, ya que, de lo contrario, nos podríamos encontrar con errores en el funcionamiento del driver, y por tanto, errores en la conmutación del transistor. Por ello, es indispensable estudiar las capacidades y resistencias de puerta que controlan el comportamiento de la conmutación del IGBT. Además, como ya se ha visto, mediante éstos es posible realizar el cálculo de la potencia necesaria por el driver.

Otro campo muy importante es el de los picos de corriente, los cuales pueden generar bastantes ventajas. Pero, hay que tener mucho cuidado, ya que, pueden tener efectos muy negativos llegando a poder destruir el driver y el IGBT.

F. Protecciones

F.1. Introducción

Hoy en día, los inversores se usan en todo tipo de aplicaciones. El vehículo eléctrico es una de ellas, en la que es necesario para hacer girar un motor mediante una tensión V_{DC} . El inversor utiliza varios IGBT, y para poder llevar a cabo el disparo de éstos es necesario un disparador/driver el cual se encarga de generar los pulsos necesarios para conmutar el IGBT. Gracias a éste es posible controlar totalmente el comportamiento del inversor, funcionando así, en el modo deseado. El esquema a seguir es el observado en la figura F.1, en el que se pueden ver la fuente de alimentación V_{DC} , el bus DC y los IGBT con los correspondientes drivers y sus convertidores DC/DC.

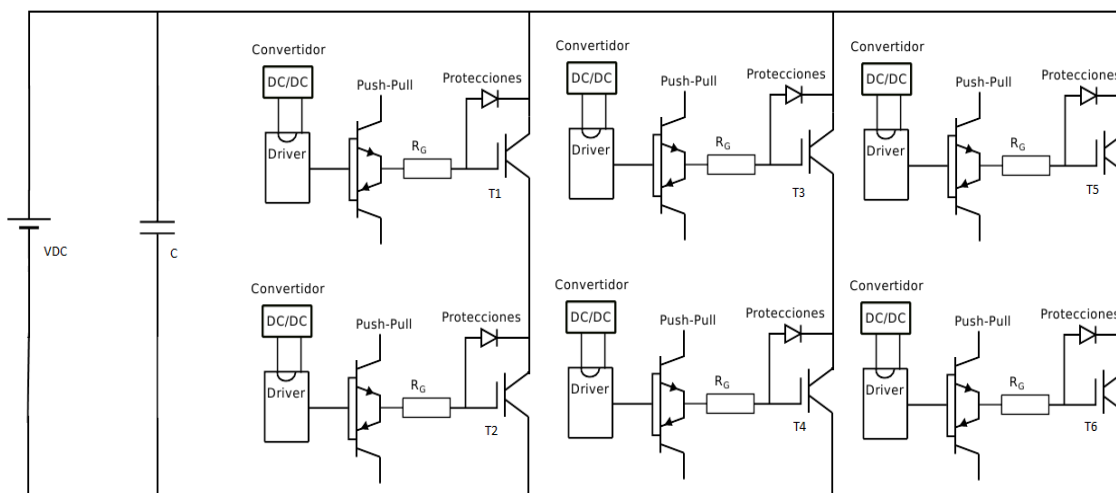


Figura F.1.: Esquemático inversor.

Para proteger al IGBT en caso de errores o funcionamiento inadecuado se suelen utilizar diferentes funciones de protección del driver eficientes y de respuesta rápida, como pueden ser:

- Detección de falta de saturación (rosa en la fig. F.2).
- Miller Clamping (amarillo en la fig. F.2).
- Active Clamping (azul en la fig. F.2).
- Gate Clamping (verde en la fig. F.2).

- Protecciones contra temperaturas.
- Short pulse supression.
- Protecciones contra deadtime.
- Tensión de alimentación (Vee) negativa.

En los siguientes apartados se van a exponer todas las protecciones que posteriormente van a ser simuladas para elegir entre todas ellas las que van a ser incluidas en el diseño del disparador/driver del IGBT. Además, se va a dar una breve explicación de cada una para poder entender el funcionamiento. En la figura F.2 se puede ver como quedaría el diseño de un driver similar.

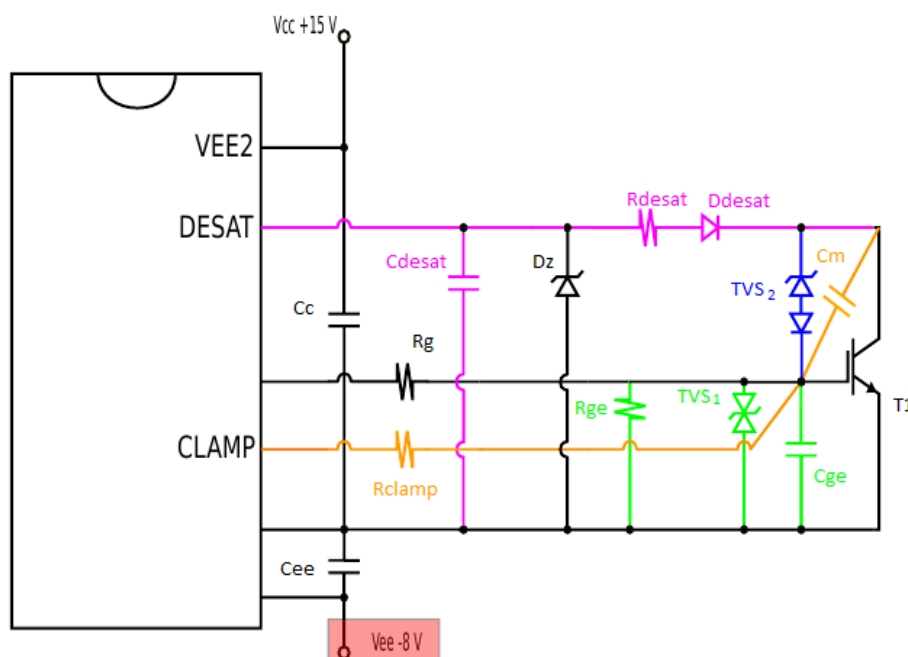


Figura F.2.: Driver con protecciones.

Además de esto se van a incluir las configuraciones posibles de la resistencia de puerta para, posteriormente, saber como realizar el conexionado de ésta y poder simular el comportamiento de cada una.

F.2. Detección de falta de saturación

Mediante esta protección lo que se se va a conseguir es proteger el driver ante cortocircuitos. Los IGBTs trabajan en estado de saturación cuando se encuentran en conducción. Sin embargo, si la corriente de carga (I_c) aumenta, el IGBT sale del estado de saturación, haciendo que la tensión $V_{CE(sat)}$ supere los valores típicos en estado de conducción, derivando

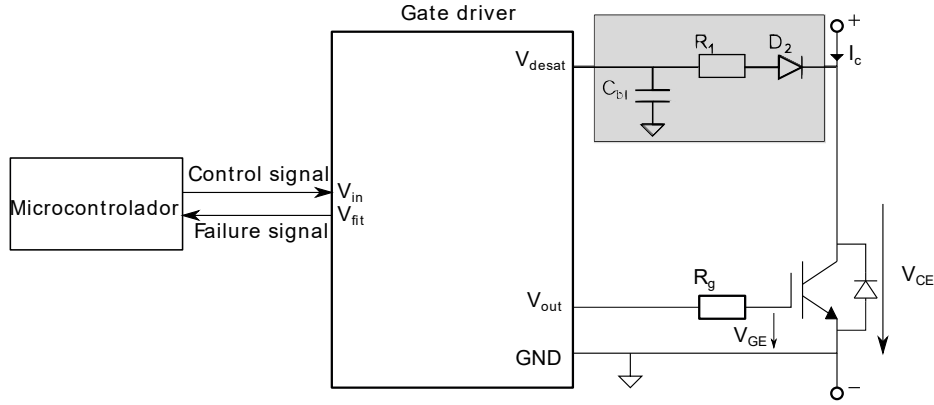


Figura F.3.: Principio de protección de saturación.

en un fallo del circuito. Este problema se soluciona empleando la protección de monitorización de $V_{CE(sat)}$.

Como consecuencia de un cortocircuito, la corriente por el colector (I_c) crece hasta alcanzar valores que pueden llegar hasta 4 veces su valor nominal; esto provoca un aumento de la tensión V_{CE} . Si este voltaje supera la tensión establecida en el diseño, la protección lo detectará como fallo y apagará el IGBT, o en su defecto, mandará la señal de error al microcontrolador para que este último apague el IGBT. En este tipo de protección se utiliza un comparador (habitualmente dentro del driver) que detecta cuando la tensión V_{CE} supera la tensión establecida. Cuando el driver recibe la orden de encendido (turn-on) desde el dispositivo de control, el condensador C_{bl} (fig. F.4) empieza a cargarse con una corriente constante I_{desat} . Cuando pasa un tiempo t_{bl} (F.1) (tiempo de carga del condensador C_{bl}), la tensión que cae en el IGBT más la tensión directa V_F del diodo D2 y la tensión que cae en la resistencia R1 (F.2) aparece en la entrada positiva del comparador. Por lo que esta tensión se comparará con una tensión de referencia y dependiendo del valor de ésta, se generará una falta o no [5].

$$t_{bl} = C_{bl} \frac{V_{ref}}{I_{desat}} \quad (F.1)$$

Donde:

t_{bl} : Blank time o tiempo hasta que se activa la protección (s)

C_{bl} : Condensador de Blank time (F)

V_{ref} : Tensión de referencia (V)

I_{desat} : Corriente proveniente de una fuente de corriente interna (A)

$$V_{COMPPOS} = V_{desat} = V_{CE} + V_F + R1\Delta I_{desat} \quad (F.2)$$

La conmutación del IGBT no es ideal, ocurre de forma gradual en un tiempo que varía entre 100-1000 ns, y es por ello que el driver enviaría un error en cada conmutación. Sin embargo, existe una proporcionalidad directa entre el condensador de blank y el blank time

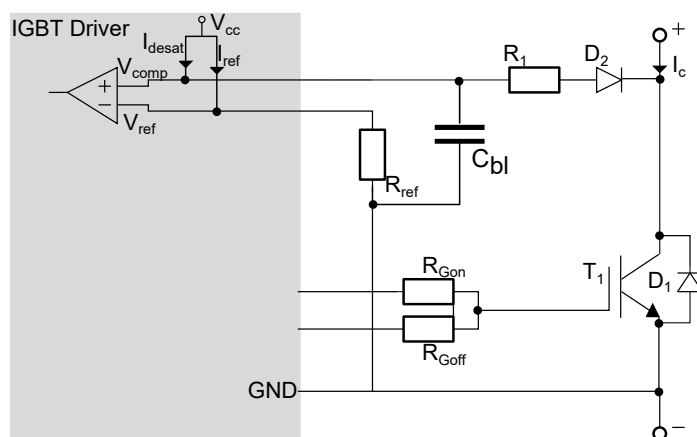


Figura F.4.: Ejemplo de circuito con $V_{CE(sat)}$ estático.

con el que fijar un tiempo t_{bl} (F.1) de blank time permitiendo que el IGBT llegue a estado de saturación antes de que el driver envíe la señal de error. Cada IGBT tiene un blank time diferente, por ello habrá que calcular un t_{bl} distinto para cada modelo de IGBT [5].

F.2.1. V_{CEsat} dinámico

En esta variación de la protección de falta de saturación, la curva de referencia V_{CEsat} es dinámica, esto quiere decir que al encenderse el IGBT irá disminuyendo su valor de configuración paulatinamente. Si en algún momento la tensión V_{CE} supera la referencia, el driver lo detecta y envía la señal de control que apaga el IGBT.

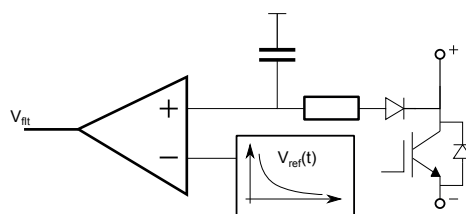


Figura F.5.: Ejemplo de circuito con $V_{CE(sat)}$ dinámico.

Como se puede ver en la figura F.6 V_{ref} va disminuyendo mientras que el tiempo va pasando. Así, en un funcionamiento normal se puede observar como V_{CE} está por debajo en todo momento. Sin embargo, puede ocurrir que el encendido sea muy lento, por lo que habría que hacer que la tensión V_{ref} decreciera de una forma más lenta para que no se generaría la falta. Además de esto, en la figura F.6 también se pueden ver 2 casos de falta (cortocircuito), uno mientras se conduce y otro durante el encendido.

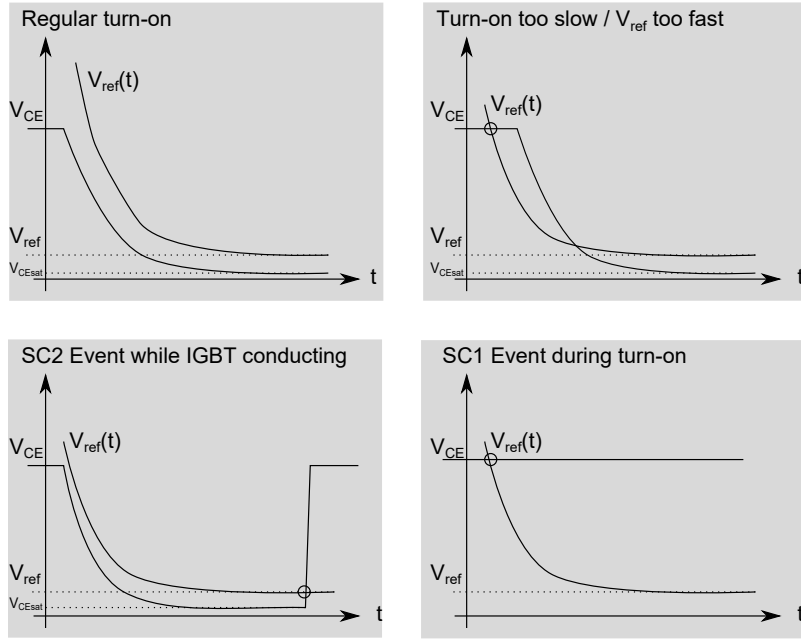


Figura F.6.: Curvas de $V_{CE(sat)}$ dinámico.

F.3. Miller Clamping

Introduciendo la protección Miller Clamping se va a conseguir que el IGBT no se encienda de forma parásita. En las aplicaciones en las que no se utiliza una tensión negativa para el apagado del IGBT (se utiliza una tensión de 0V), puede ocurrir que éste se vuelva a encender por un corto periodo de tiempo en situaciones anómalas. Esto se debe a los picos de corriente que aparecen (F.3) en la capacidad parásita puerta-colector (capacidad de Miller) a causa de las transiciones de tensión (dv/dt) muy altas. Esta corriente se define como:

$$i_{GC} = C_{GC} \frac{dV_{CE}}{dt} \quad (F.3)$$

Debido a las inductancias parásitas, en el apagado del IGBT se realizan unos cambios de corriente muy bruscos generando así una tensión negativa en la inductancia. Ésta será la causa de que la tensión V_{CE} tenga unos picos de tensión, la cual será la suma de la tensión del bus DC y la tensión generada en la inductancia. Además, en el apagado la corriente comienza a disminuir pero no se queda en 0A, sigue disminuyendo hasta alcanzar un valor negativo, generando así pérdidas.

La corriente fluye a través de la resistencia interna del IGBT, la resistencia externa y a través del driver generando una V_{GE} (Ec. F.4) que puede ser mayor que $V_{GE(TO)}$ encendiendo, así, el IGBT.

$$V_{GE} = i_{GC}(R_{Gint} + R_{Gext} + R_{driver}) \quad (F.4)$$

Este encendido parásito dura un corto periodo de tiempo, pero es suficiente para generar pérdidas relevantes o incluso un cortocircuito en caso de que el IGBT complementario (de la misma rama) se encuentre en conducción. Por lo que, para la protección de este efecto se proponen los circuitos de las figuras F.7 y F.8.

Mediante la capacidad extra (figura F.7) lo que se consigue es aumentar la carga necesaria para alcanzar la $V_{GE(TO)}$. Por otra parte, la potencia necesaria por el driver también aumentaría y se presentarían mayores pérdidas para la misma $V_{GE(TO)}$. Mediante la fuente de tensión negativa (figura F.7), sin embargo, se eliminan las pérdidas que se generan se consigue apagar de mejor modo el IGBT, pero por el mayor costo, no se utiliza en aplicaciones con corrientes por debajo de los 100A [18].

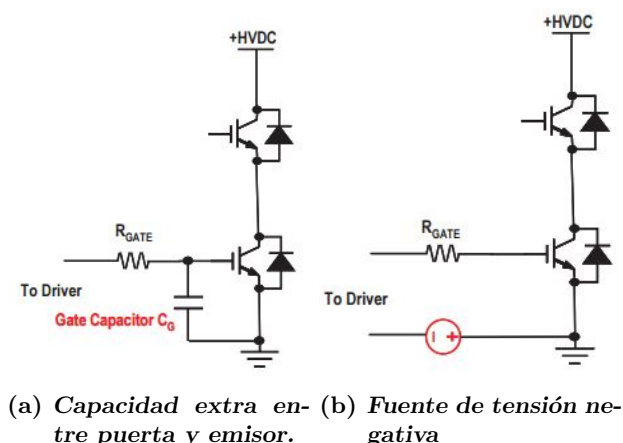
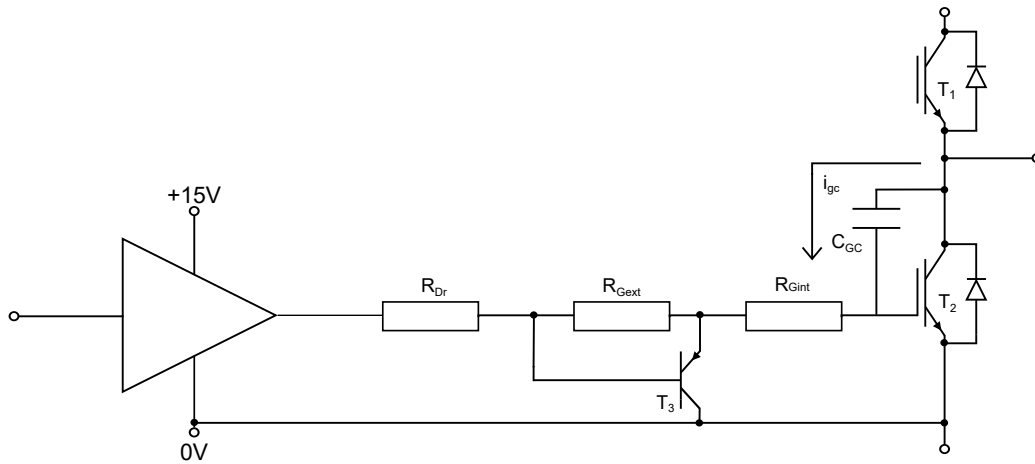
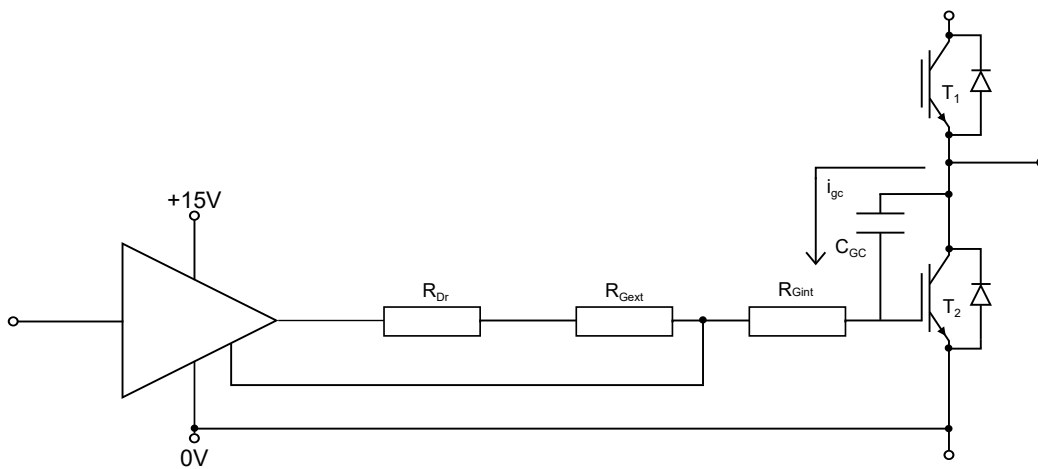


Figura F.7.: Proteccion Miller Clamping.

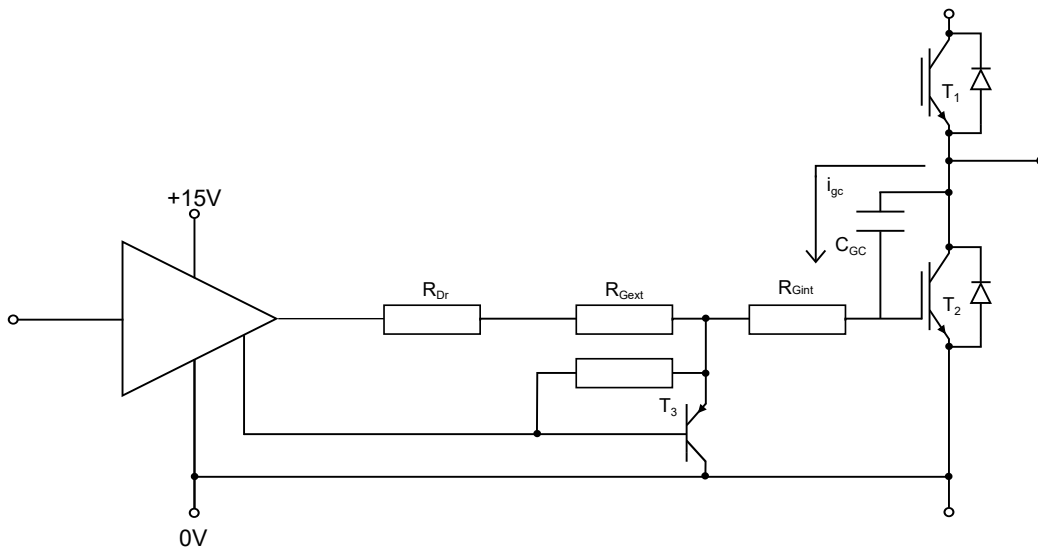
Además de estas dos simple soluciones, existe la opción de añadir un transistor adicional uniendo la puerta y el emisor con el fin de acortar el camino de la corriente como se puede observar en la figura F.8. Una de las soluciones es utilizar un transistor pnp (T_3) el cual se enciende automáticamente cuando la tensión en el emisor supera la de la base en 0,7V (figura F.8a). Otra solución posible sería la utilización de drivers comerciales que contienen el transistor integrado, por lo que, solo habría que conectar la base al pin del driver (figura F.8b). Si el transistor interno no es capaz de conducir corrientes tan grandes, la solución sería introducir un transistor externo que si sea capaz de conducir estas corrientes grandes (figura F.8c).



(a) Miller clamping con pnp externo.



(b) Miller clamping con función integrada.



(c) Miller clamping con función integrada y pnp externa.

Figura F.8.: Variantes de protección Miller Clamping.

F.4. Active Clamping

F.4.1. Active Clamping feedback to gate

Los picos de corriente generados por sobrecargas o cortocircuitos pueden generar sobretensiones muy grandes debidas a las di/dt muy altas presentes en las inductancias parásitas. Por lo que si se supera el valor de tensión de ruptura del IGBT, éste se destruirá. Una manera de proteger el circuito ante estas sobretensiones es la protección Active Clamping. En las figuras F.9 y F.10 se pueden ver dos alternativas para esta protección.

Cuando la tensión V_{CE} supera un valor umbral establecido, empieza a conducir el diodo TVS (D1 en la figura F.9). Esto ocurre mientras el IGBT se encuentra en proceso de apagado (el IGBT está encendido). Si la tensión V_{CE} supera la tensión de avalanche del diodo D1, la corriente I_1 circulará a través de D1, D2, R_g y T2. Esta corriente creará una tensión en R_g mayor que la tensión umbral forzando el encendido del IGBT y como consecuencia disminuye la $\frac{di}{dt}$ del IGBT en el apagado. La corriente que circula por los diodos TVS es elevada por lo que a la hora de elegir los diodos hay que escoger aquellos que sean capaces de soportar tales corrientes. En resumen, esta protección conduce las corrientes altas desde el IGBT hasta la resistencia de puerta aumentando la corriente de base [4].

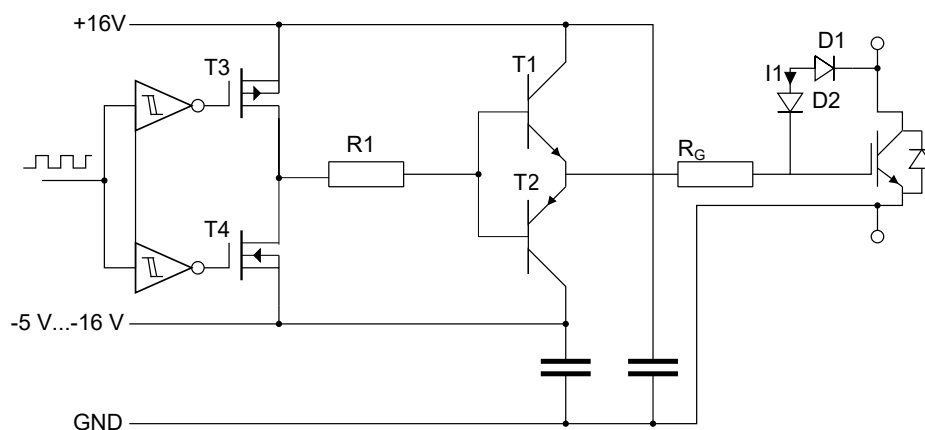


Figura F.9.: Protección collector emitter clamping (feedback to gate) [4].

F.4.2. Active Clamping feedback to gate and driver

La protección Active Clamping con feedback to gate and driver es similar a la anterior, pero, en este caso, la corriente (I_2) se hace llegar al driver en vez de a la base como se ve en la figura F.10. La corriente I_2 circula por el diodo D5, la resistencia R1 y por el MOSFET hasta el driver. La resistencia R1 es mucho mayor que la resistencia de R_g , con ello se consigue que solo una pequeña parte de la corriente I_1 circule para encender T5 y apagar T6 [4]. Cuando se enciende T5, I_1 no circula por R_g , sino que carga el condensador C_{GE} aportando las siguientes ventajas:

- Corrientes inferiores por el diodo: diodos TVS más baratos y pequeños.

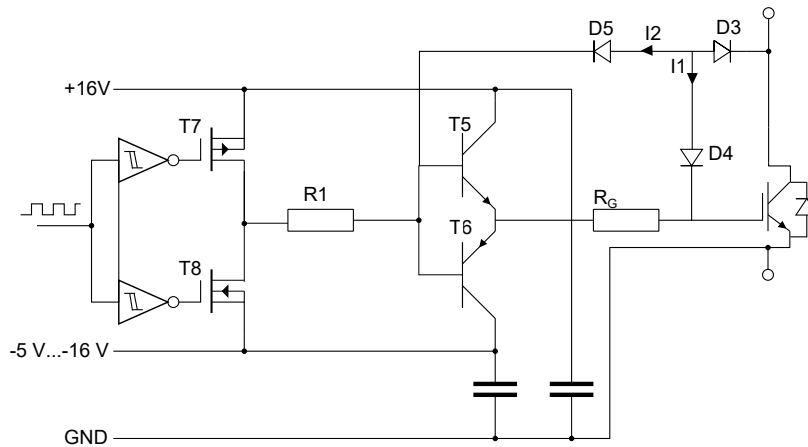


Figura F.10.: Protección collector emiter clamping (feedback to gate and driver) [4].

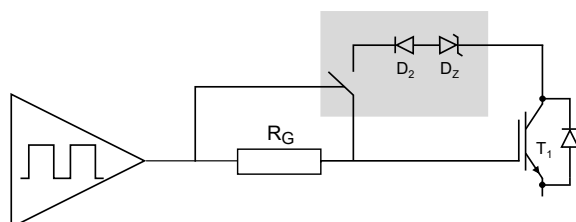
- Respuesta rápida del circuito.

La configuración feedback to driver es la más recomendada por las ventajas que conlleva.

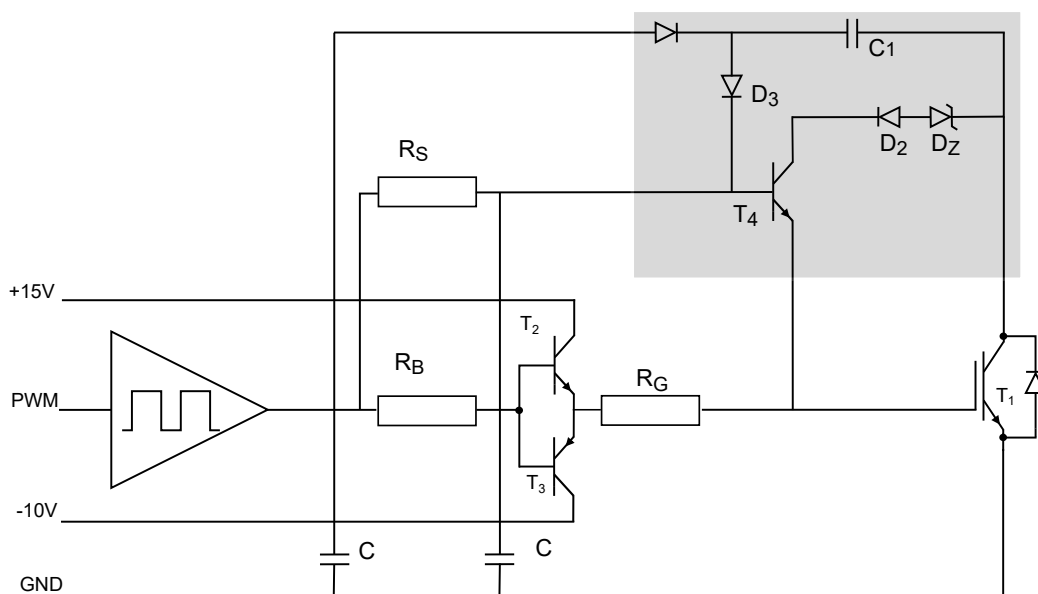
Hay que tener en cuenta las tensiones de ruptura de los diodos TVS D1 y D3. La tensión de ruptura de los TVS se expresa en función de la temperatura de forma inversamente proporcional.

F.4.3. Conditional Active Clamping

En ocasiones puede suceder que la tensión del bus DC supere la tensión de ruptura de los TVS pero todavía no alcance la tensión de bloqueo del IGBT. Por ejemplo, en aplicaciones en las que el bus DC puede crecer (por ejemplo vehículos eléctricos), por lo que es recomendable modificar la protección Active Clamping, teniendo como objetivo que solo se active la protección con el funcionamiento normal del IGBT, es decir, la protección no puede ser activada cuando el transistor no está disparado. Esto se consigue introduciendo un switch que se controla con la señal de puerta [4]. En la figura F.11 se puede ver como realizar la protección Conditional Active Clamping.



(a) *Concepto de protección.*



(b) *Ejemplo de protección.*

Figura F.11.: Protección condicional Active Clamping.

F.4.4. Dynamic Active Clamping

En ocasiones, es posible que la protección active clamping se active demasiado tarde, sobre todo trabajando con módulos de gran potencia con corrientes muy elevadas. La razón del fallo es que aunque el canal MOS del IGBT esté cerrado, todavía circula suficiente corriente por el IGBT. La función de esta solución consiste en mantener abierto el canal MOS del IGBT hasta que la corriente residual disminuya F.12.

Para que funcione correctamente, la tensión que el diodo TVS elegido debe soportar debe ser inferior a la tensión del bus DC (al contrario que en el active clamping). Para proteger el IGBT se coloca un condensador en serie con el diodo con el objetivo de bloquear la componente de continua. Gracias a este condensador circula una corriente que es función de $\frac{dV_{CE}}{dt}$ (F.5), mientras se supera la tensión del diodo TVS [5].

$$xI_{AC} = C_{AC} \frac{dV_{CE}}{dt} \quad (F.5)$$

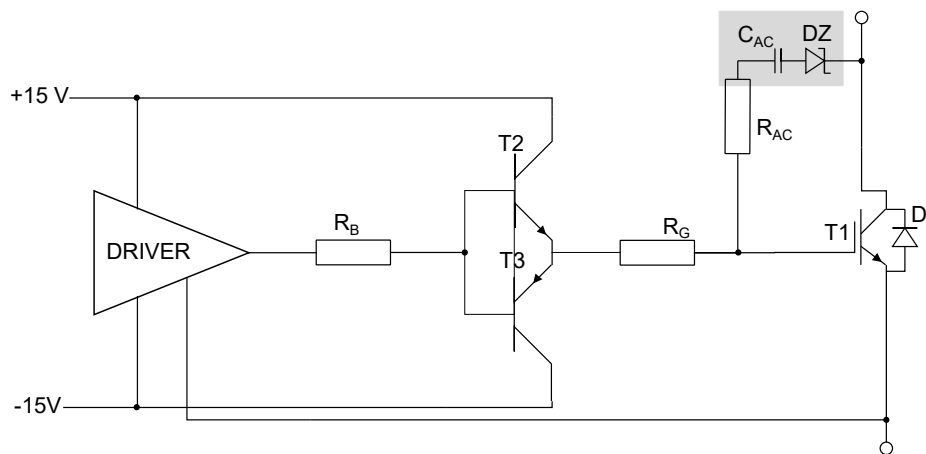


Figura F.12.: Protección Dynamic Active Clamping [4].

F.5. Gate Clamping

Como ya se ha mencionado, pueden fluir corrientes por el condensador parásito de Miller del IGBT cargando el gate. Este proceso aumenta la tensión en el gate del IGBT sacándolo de su modo de funcionamiento correcto. Esto ocurre cuando hay cortocircuitos.

Por lo tanto, es necesario limitar la tensión de gate a un valor máximo. El gate clamping limita la tensión máxima en el gate por lo que también la corriente de cortocircuito queda limitada. Las figuras F.13 y F.14 muestran dos maneras diferentes de implementar esta protección. En la primera, el gate se conecta al emisor mediante un diodo Zener (D_z) unidireccional o bidireccional. Este limita la máxima tensión a su voltaje de ruptura [5].

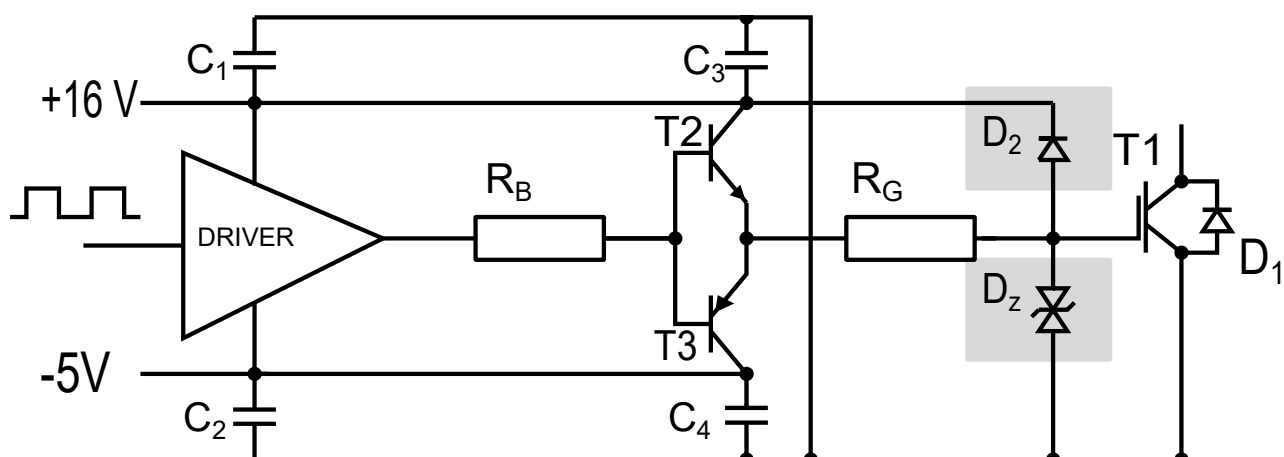


Figura F.13.: Protección Gate Clamping: alternativa de diodo supresor con BJT.

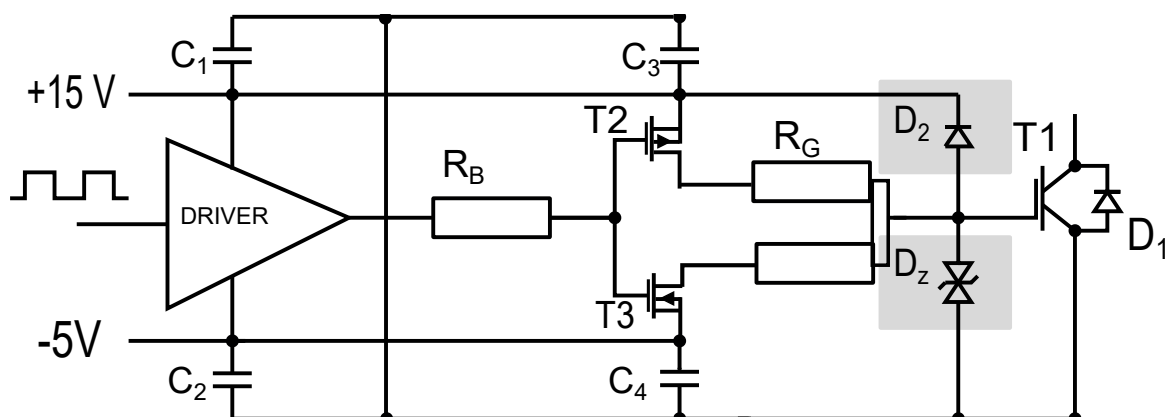


Figura F.14.: Protección Gate Clamping: alternativa de diodo supresor con MOSFET.

El otro método conecta directamente el gate a la alimentación positiva del driver a través

del diodo D_2 . De este modo, el voltaje en el gate queda limitado por la tensión positiva del driver más la tensión directa del diodo. Esta solución es efectiva ya que para una alimentación de +15 V, la tensión queda limitada a +16 V incluso si ocurre un cortocircuito.

Hay que tener en cuenta varias consideraciones a la hora de elegir los diodos. En el caso de los diodos Zener, existe una gran variedad de tensiones de ruptura por lo que hay que escoger el que más se adecue a las necesidades del diseño. Además, hay que tener en cuenta la variación que éstos sufren en función de la temperatura. Para mantener los niveles máximos de corriente de cortocircuito y maximizar el tiempo de corregir el cortocircuito, es necesario reducir el valor nominal de tensión positiva un par de voltios por debajo del valor de alimentación. De este modo, se asegura que el valor máximo de tensión del gate no exceda el nivel máximo permitido.

Si se implementa el circuito de la figura F.14, hay que asegurarse de que la corriente de fuga se mantenga a niveles bajos incluso con altas temperaturas (si aumenta V_{GE} , disminuye la T_{max} que soporta el semiconductor). Si la corriente de bloqueo es demasiado alta, la fuente de potencia del driver se carga innecesariamente y la corriente de bloqueo incrementa la tensión del gate. En consecuencia puede ocurrir el encendido parásito del IGBT.

Para este propósito los diodos Schottky son de especial utilidad ya que su voltaje directo es menor que el de los diodos pn. Sin embargo, tienen la desventaja de tener una corriente de bloqueo mayor a altas temperaturas que los diodos pn [5].

F.6. Resistencia de puerta

El comportamiento de conmutación depende de la carga de la capacidad de puerta de los IGBT. Como se puede ver en la figura F.15 el IGBT tiene varias capacidades internas, las cuales deben de ser cargadas y descargadas. Por ello, es necesario inyectar corriente para poder obtener una correcta conmutación.

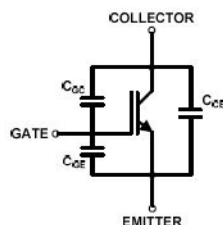


Figura F.15.: Capacidades internas del IGBT.

Gracias a la resistencia de puerta, se puede conseguir controlar la carga y descarga de estas capacidades con lo que se consigue controlar la conmutación del IGBT. En la figura F.16 se pueden ver diferentes configuraciones de la resistencia de puerta.

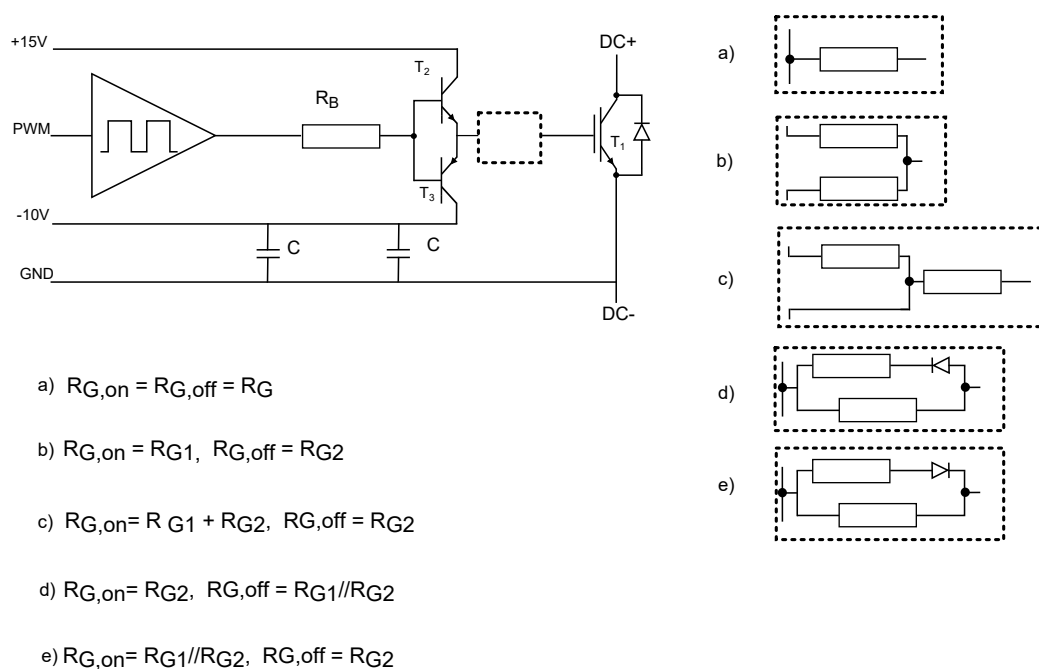


Figura F.16.: Diferentes configuraciones para la resistencia de puerta [4].

- Tiempo de encendido y apagado simétrico (a).
- Tiempo de encendido y apagado independientes (b).

- Tiempo de encendido y apagado diferentes (c, d y e).

Como se puede ver, el tiempo de encendido y apagado dependen de la resistencia de puerta. Cuanto más pequeña sea la resistencia, más rápida será la conmutación y se generarán menos pérdidas. Por otro lado, los picos de corriente (F.6) y de tensión generados serán mayores, con unas d/dt más altas, generando así mas EMI, por lo que se ha de tener mucho cuidado a la hora de elegir la resistencia. Además, estos picos de tensión o corriente pueden ser tan grandes que pueden llegar a destruir el IGBT.

$$I_{GM} = \frac{V_{G(on)} - V_{G(off)}}{R_G + R_{G(int)}} \quad (F.6)$$

En la figura F.17 se pueden ver todos los efectos que tiene una resistencia mayor o menor.

| Rating / Characteristics | $R_G \uparrow$ | $R_G \downarrow$ |
|-----------------------------|----------------|------------------|
| t_{on} | \uparrow | \downarrow |
| t_{off} | \uparrow | \downarrow |
| E_{on} | \uparrow | \downarrow |
| E_{off} | \uparrow | \downarrow |
| Turn-on peak current | \downarrow | \uparrow |
| Turn-off peak current diode | \downarrow | \uparrow |
| dv/dt | \downarrow | \uparrow |
| di/dt | \downarrow | \uparrow |
| Voltage spike | \downarrow | \uparrow |
| EMI noise | \downarrow | \uparrow |

Figura F.17.: Efectos de la variación de la resistencia de puerta.

F.7. Protecciones contra temperaturas

Al igual que todos los dispositivos electrónicos, los drivers tienen una temperatura máxima a la que pueden operar. Esta información la da el fabricante mediante la hoja de especificaciones. Si durante el funcionamiento el driver detecta que se ha excedido dicha temperatura, manda un señal del falta y desconecta todas las salidas poniéndolas a 0 V. No todos los drivers cuentan con esta protección por lo que es importante tener en cuenta, en el caso de que no la tenga, que el dispositivo no supere en ningún caso la temperatura máxima [5].

F.8. Short pulse supression

Esta protección se encarga de evitar que los pulsos de encendido o apagado provenientes del driver, con una duración inferior a la fijada, puedan activar o desactivar el semiconductor.

Es el microcontrolador el encargado de generar las señales de control del driver. Si esas señales superan el tiempo mínimo, el supresor de pulsos no afecta en ningún sentido a las señales. En aplicaciones de potencia es recomendable que el driver disponga de esta protección ya que el acoplamiento magnético puede causar variaciones de voltaje. Si estas variaciones superan el valor umbral del driver, provocan pulsos de control falsos y en consecuencia el sistema funcionará de forma incorrecta.

Esta protección también sirve para el diodo (Free Wheeling Diode) conectado en antiparalelo con el semiconductor. El método más sencillo de implementar el supresor es mediante el pin Schmitt Trigger con un filtro paso bajo a la entrada. El valor de t_{mps} (figura F.18) habitual es entre 100 y 800 ns [5].

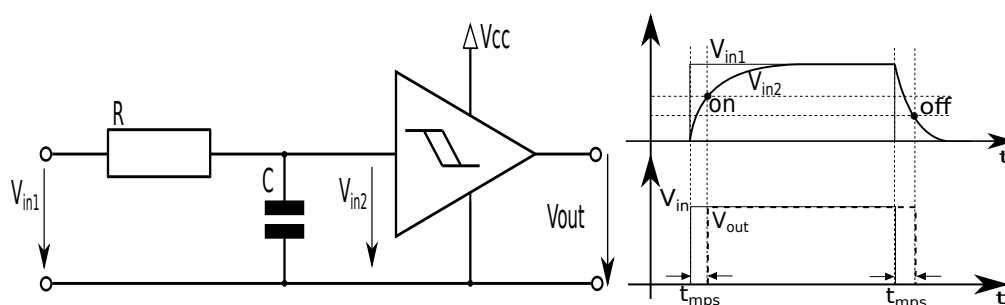


Figura F.18.: Esquema del supresor mediante Schmitt Trigger.

La longitud de los pulsos depende de la tolerancia de los componentes del circuito, por lo que el tiempo de supresión varía según el diseño.

F.9. Protecciones contra deadtime

Un interruptor ideal debe conmutar de estado activo a desactivado en un tiempo infinitesimal. Obviamente, esto no es posible. Este lapso de tiempo da lugar a lo que se denomina *overlap time*. Overlap es el tiempo desde que se enciende el primer IGBT (en una topología de medio puente) hasta que se enciende el IGBT complementario de la misma rama. En consecuencia, circula una corriente a través de los componentes electrónicos de potencia provocando pérdidas adicionales, acortando la vida útil de los componentes e incluso creando ruido electromagnético [5].

Para evitar esta situación, puede programarse un lapso de tiempo llamado deadtime durante el cual se mantiene el circuito a la espera de que se activen todos los semiconductores. Este tiempo es de pocos μS pero varía inversamente proporcional con la frecuencia de conmutación: a menor frecuencia mayor deadtime. En la siguiente imagen se muestra como puede combinarse con el supresor de pulsos visto en el apartado anterior (figura F.19).

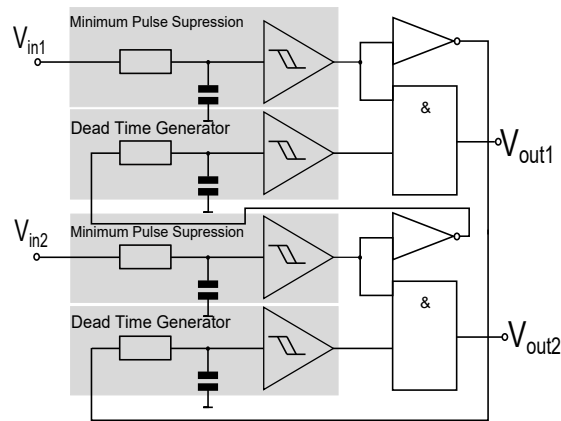


Figura F.19.: Esquema de interbloqueo (deadtime) junto con el supresor de pulsos.

F.10. Tensión de alimentación (V_{ee}) negativa

Los drivers envían señales para el encendido y el apagado del dispositivo de conmutación. La activación se hace mediante una tensión positiva, y en el caso del apagado, puede hacerse enviando 0 V o mediante tensión negativa.

Apagar el interruptor mediante tensión negativa aporta dos ventajas frente a hacerlo mediante 0 V.

- Rapidez: el dispositivo de conmutación pasa de encendido a pagado más rápido si se le excita mediante una tensión negativa.
- Protección: al apagar el dispositivo una corriente fluye a través de la capacidad parásita de Miller. Esto provoca una caída de tensión en la resistencia R_G , si esta tensión supera la tensión umbral, el dispositivo podría encenderse de nuevo durante un breve periodo de tiempo. Sin embargo, utilizando una tensión negativa para excitar el dispositivo se aleja la tensión umbral haciendo más difícil que la tensión formada en R_G alcance dicho nivel F.20.

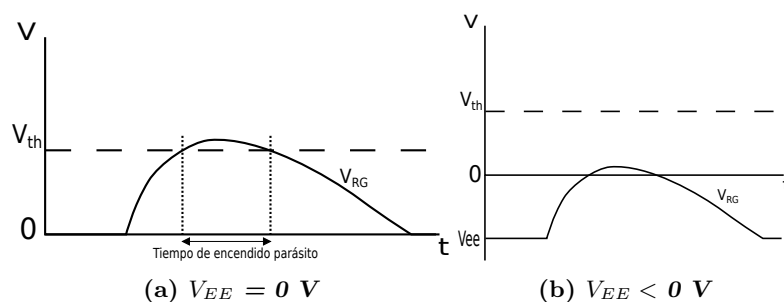


Figura F.20.: Comparativa de la tensión V_{RG} con y sin protección por V_{EE} .

F.11. Conclusiones

En este capítulo se han visto las principales protecciones para los dispositivos de conmutación. Es esencial proteger los semiconductores ante comportamientos erróneos provocados por corrientes de falta o sobretensiones. Las medidas de protección mencionadas en este capítulo son la forma de evitar en la medida de lo posible estos efectos no deseados garantizando el correcto funcionamiento del sistema.

G. Consideraciones para el diseño del PCB de la tarjeta de disparo

G.1. Introducción

En el proceso de diseño de un PCB (*Printed Circuit Board*) es de vital importancia conocer de antemano y de manera detallada el funcionamiento del circuito, teniendo en cuenta la naturaleza de las señales (control, alimentación, AC/DC, etc.), con el fin de elaborar el plano de distribución de los elementos de tal forma que cumplan los requerimientos funcionales del circuito. Hoy en día existen diferentes softwares con la opción de auto-rutado. Por otro lado, este sistema no hace diferencia entre los diferentes tipos de señales que atraviesan cada pista y desconocen la corriente que circula por cada una de ellas. Es por ello que estos softwares no cumplen las reglas sobre ancho y longitud de los caminos.

Como resultado de un diseño no riguroso del PCB, se ocasionan problemas como: interferencia electromagnética irradiada (EMI), inestabilidad del circuito de potencia, ineficiencia y reducción del tiempo de vida operacional. Existen leyes que establecen los niveles máximos de EMI permitidos, los circuitos deben superar unas rigurosas pruebas a fin de poder ser comercializados.

G.2. Lazos de corriente

A la hora de realizar un buen diseño de PCB es de gran relevancia identificar las rutas por las que circulan corrientes pulsantes, sobrepicos y componentes de alta frecuencia, ya que son estas las corrientes que más afectan a la EMI. Como medida preventiva el diseñador debe identificar los lazos que transportan dichas corrientes e incluirlas en primer lugar en el diseño. Una vez rutadas las señales más problemáticas, conviene rutar a continuación las señales de control del circuito G.1.

En muchas aplicaciones de potencia se conmutan interruptores a alta frecuencia. En el proceso de conmutación es posible que se presenten dos modos de funcionamiento según la aplicación.

1. Modo discontinuo: se presenta cuando los elementos magnéticos descargan totalmente la energía magnética almacenada antes de que el interruptor se encienda de nuevo.
2. Modo continuo: ocurre cuando cierta energía residual permanece aún en el elemento magnético al encenderse el interruptor en el siguiente ciclo.

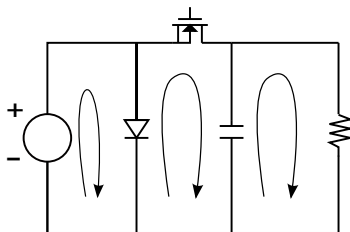


Figura G.1.: Ejemplo de lazos de corriente en un circuito.

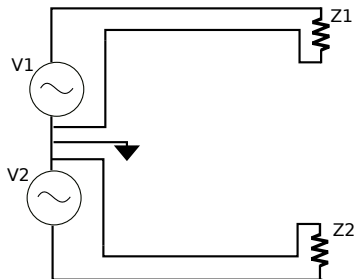


Figura G.2.: Lazos pequeños para reducir inductancias parásitas.

Estas conmutaciones tienen como resultado transiciones muy altas de corriente ($\delta i/\delta t$), pues el flujo de señal al final de cada periodo es rápidamente interrumpido. Existen también variaciones importantes de tensión ($\delta v/\delta t$), esto crea impulsos periódicos de potencia con componentes de alta frecuencia.

Para el diseño del PCB, los circuitos deben presentar lazos en forma de muy pequeña circunferencia (ver figura G.2), la cual a su vez debe estar compuesta por pistas cortas y anchas. La circunferencia del lazo controla la energía de RF que se puede irradiar en frecuencias bajas, por lo que haciendo la circunferencia tan corta como sea posible, se evita crear una antena eficiente para estas bajas frecuencias de ruido. Cuanto más baja es la frecuencia en la que un lazo irradia, mayor es la energía que escapa al ambiente. Por estas razones se aconseja el uso de pistas tan anchas como el diseño permita para favorecer una mejor disipación del calor, y aún más importante, la inductancia y la resistencia de una trayectoria resultan inversamente proporcionales al ancho de pista.

G.3. Disposición de las tierras

Las tierras de un circuito de potencia se deben considerar por separado, teniendo en cuenta los lazos de corriente discutidos en el apartado anterior (G.2). Las tierras son especialmente importantes ya que son el retorno de las corrientes, así como el punto potencial de referencia para todas las señales del circuito. Las señales pueden constar de componentes AC y DC por lo que puede darse el caso de necesitar dos porciones de tierra separadas una de la otra. Las dos porciones se conectarán en un único punto del circuito. Si estas tierras

se interconectan incorrectamente, el circuito conmutado puede llegar a ser inestable.

En los circuitos de potencia conmutados hay tres tipos de tierra que hay que tener en cuenta:

1. La tierra de entrada de alta corriente.
2. La tierra de salida del alta corriente.
3. La tierra del circuito de control.

Si los pines del circuito integrado del controlador están separados, éstos deben ser rutados por separado al lado de la tierra del resistor que sensa la corriente. Si el circuito integrado no tiene pines de tierra separados, el camino entre el circuito integrado y el extremo de tierra del resistor que sensa la corriente tienen que estar cortocircuitados.

Una buena alternativa para reducir las emisiones de EMI es poner áreas grandes del plano de tierra en el lado opuesto del PCB, y al rededor de estas, caminos de alta corriente. Los planos de tierra actúan como protectores electrostáticos para la energía de RF radiada. Estas grandes áreas de conductor atrapan la EMI radiada y la disipan evitando que se irradien.

Como recomendación general se aconseja añadir una capa al PCB de tierra para minimizar el camino de retorno y evitar en la medida de lo posible lazos de corriente.

G.4. Efectos resistivos de las pistas

Se debe tener en cuenta la longitud y el grosor de las pistas en función de la corriente que vayan a conducir. Existen herramientas como PCB Via Calculator que permite establecer las medidas adecuadas de las pistas cumpliendo las características indicadas en cada caso. Si estas dimensiones se diseñan de manera errónea, pueden incrementar el valor de una resistencia no deseada y causar problemas por caídas de tensión o servir de fusible por al limitar la corriente que circula por una vía. Todo material conductor presenta una resistividad propia y según las dimensiones del mismo, tendremos una resistencia eléctrica expresada por la siguiente fórmula (G.1):

$$R = \rho \frac{l}{A}, \quad (\text{G.1})$$

Donde:

R: Resistencia eléctrica (Ω)

ρ : Resistividad del material (Ωm)

l: Longitud de la pista (m)

A: Área transversal de la pista (m^2)

G.5. Efectos térmicos de las pistas

Es conveniente estudiar la colocación de los componentes teniendo en cuenta la interconexión, interferencias térmicas e interferencias electromagnéticas. Las condiciones térmicas pueden causar variaciones en los valores de las resistencias ya que la resistividad de los materiales se expresa en función de la temperatura de la siguiente forma G.2:

$$\rho = \rho_0(1 + \alpha(T - T_0)), \quad (\text{G.2})$$

Donde:

ρ Resistividad del material (Ωm)

α Coeficiente de temperatura

ρ_0 Resistividad de una temperatura de referencia

T Temperatura actual

T_0 Temperatura de referencia

Para mejorar la disipación del calor de los dispositivos de potencia del circuito se recomienda añadir disipadores con una capa de grasa térmica entre ellos para asegurar una buena unión. Los espacios de aire que puedan quedar entre el disipador y el dispositivo entorpecen la disipación ya que el aire no es un buen conductor y puede llevar al recalentamiento y daño permanente del dispositivo.

G.6. Efecto capacitivo e inductivo de las pistas

Los circuitos de alta potencia inducen corrientes que pueden dañar los circuitos de control, por ello es recomendable separar el circuito de control del circuito de potencia. La capacidad parásita que se crea en placas paralelas se expresa con la fórmula (G.3).

$$C = \varepsilon_0 \frac{\varepsilon_r A}{d}, \quad (\text{G.3})$$

Donde:

C: Capacidad parásita

ε_0 : Constante dieléctrica del vacío

ε_r : Constante dieléctrica del material entre las placas

A: Área efectiva entre las placas

d: Distancia entre las placas o espesor dieléctrico

Para evitar el efecto capacitivo de las pistas paralelas, se recomienda rutar una de las caras del PCB con rutas verticales y la contraria con rutas horizontales. De este modo, se minimiza el área efectiva y con ello la capacidad parásita. Por otro lado, para reducir el ruido de conmutación en los circuitos digitales se recomienda añadir condensadores de desacoplo entre tierra y la alimentación del circuito lo más cerca posible del circuito integrado. Pueden reducirse las emisiones EMI utilizando dos planos de tierra separados (analógico y digital) o utilizando acoplamientos (transformadores, octoacopladores, aisladores de radiofrecuencia, etc.). Para circuitos delicados se utilizan jaulas de faraday como protección adicional.

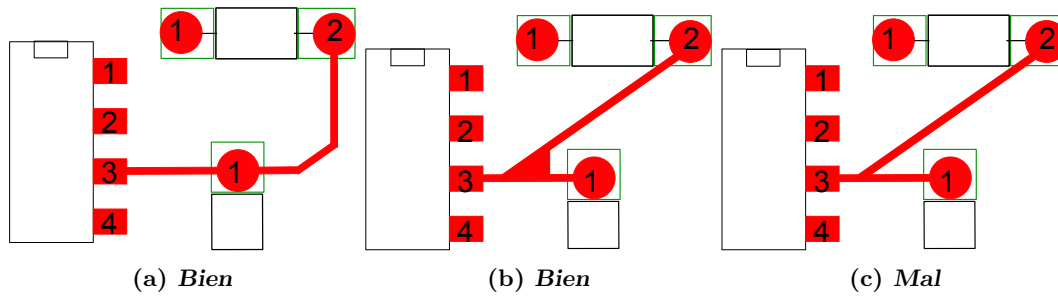


Figura G.3.: Cambios de dirección en las pistas.

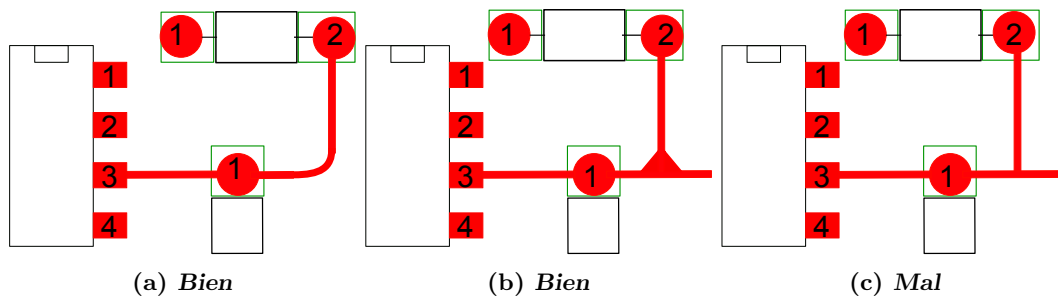


Figura G.4.: Evitar ángulos rectos en las pistas.

G.7. Conclusiones

Rutar significa a la acción de unir los diferentes componentes de un circuito mediante conexiones, también llamadas pistas, de cobre. Si el rutado no se hace correctamente pueden surgir diversos problemas que imposibilitan el correcto funcionamiento del circuito. Por esta razón hay que tener en cuenta varias reglas con el fin de evitar dichos problemas.

1. Siempre deben evitarse los ángulos agudos en los cambios de dirección de una pista o en las intersecciones entre dos pistas (figura G.3).
2. En las pistas que sean portadoras de alta frecuencia (generalmente se supone de alta frecuencia si superan 1 Mhz) deben evitarse los ángulos de 90° en los mismos casos que en el punto anterior G.4 (Ver 1).
3. Cuando dos o más pistas discurren paralelas la distancia entre ellas deber ser uniforme (figura G.5).
4. En las uniones pista-pad la pista debe ser radial a dicho pad, y no tangencial (figura G.6).
5. No deben unirse dos o más pads directamente. Dicha unión, aunque la distancia sea pequeña, debe realizarse mediante una pista (figura G.7).
6. En cada pad solo pueden coincidir cuatro pistas como máximo, y nunca formando ángulos agudos entre ellas (figura G.8).

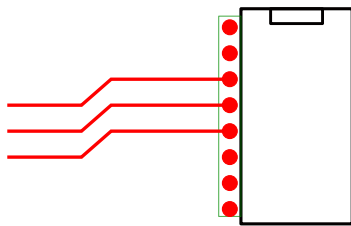


Figura G.5.: Distancia uniforme entre líneas paralelas.

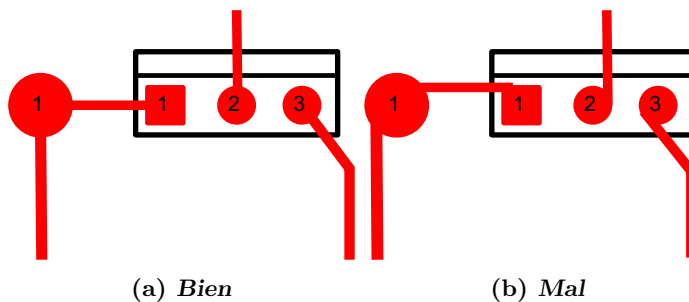


Figura G.6.: Evitar pistas tangenciales al pad.

7. El objetivo es hacer un diseño lo más sencillo posible: cuanto más cortas sean las pistas mejor.
8. Para determinar el ancho de pista hay que tener en cuenta la corriente que cada pista debe de soportar. Con un grosor de pista de $35 \mu\text{s}$ (el usual) 4 mm de ancho de pista soportan de 8 a 10 A máximo, 1,5 mm de 2 a 4 A y 0,2 mm para 0,5 A.
9. La separación mínima de pistas para tensiones de trabajo pequeñas es de 0,3 mm.
10. El diámetro del pad debe ser al menos el doble de la pista más ancha que conecte con él. Si la pista fuese de 5-6 mm, el diámetro del pad puede coincidir con la anchura de la pista.
11. La distancia mínima entre un pista y el borde de la placa es de 2 a 3 mm.
12. En los casos en que el circuito esté compuesto por una parte digital y otra analógica, deben existir dos líneas de masa independientes. La unión entre ambas debe realizarse en un solo punto.
13. La anchura mínima de las pistas de alimentación es de 1-2 mm independientemente de la corriente que el circuito vaya a consumir.

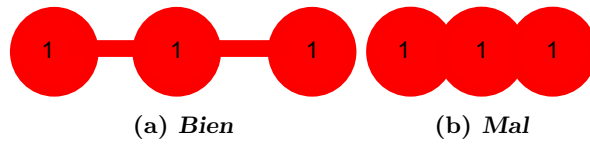


Figura G.7.: Evitar pads sobrepuestos.

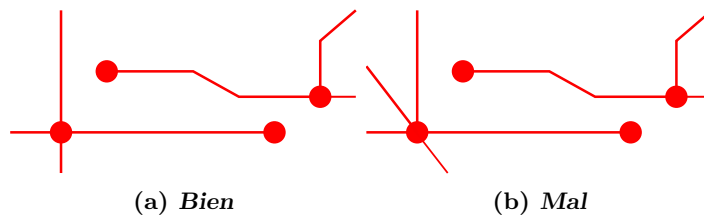


Figura G.8.: Pistas máximas por pad.

Bibliografía

- [1] **Datasheet FS800R07A2E3.**
- [2] **Datasheet AUIRGPS4067D1.**
- [3] **Datasheet Skyper32.**
- [4] A. Volke y M. Hornkamp, **IGBT modules :technologies, driver and application.** Infineon, 2011, andreas Volke and Michael Hornkamp.; ITJA.
- [5] A. Wintrich, U. Nicolai, W. Tursky, T. Reimann, **Application Manual Power Semiconductors**, 2nd ed., SEMIKRON International GmbH, Ed. SEMIKRON International GmbH, 2011. <http://www.semikron.com/>
- [6] Rashid, Muhammad H and González, Muhammad H Rasid Virgilio and Fernández, Pozo Agustín Suárez and González, Virgilio and others, **Electrónica de potencia: circuitos, dispositivos y aplicaciones.** Pearson Educación, 2004.
- [7] D. W. Hart, **Electrónica de potencia.** Pearson Educación, SA, 2001.
- [8] P. Baginski, **Driving IGBTs with unipolar gate voltage, Application Note AN-2006-01**, Infineon Technologies AG, 2006.
- [9] T. Reiter, **AN2010-09, Automotive IGBT Module**, 1st ed., Infineon, 2010.
- [10] J. Lutz, H. Schlangenotto, U. Scheuermann y R. D. Doncker, **Semiconductor power devices.** Springer, 2011.
- [11] Z. Xi, **Application Note 2007-04, How to calculate and minimize the dead time requirement for IGBTs properly**, Infineon, 2007.
- [12] **Application Manual Power Modules**, SEMIKRON, 2000.
- [13] **Application Note 5324, Desaturation Fault Detection**, AVAGO, 2012.
- [14] **2ED020I12FA dual IGBT driver IC datasheet**, Infineon.
- [15] **TVS Diodes, 1N4954 thru 1N4996**, Microsemi, 2010.
- [16] M. Hermwille, **Application Note 7003, Gate resistor - principles and applications**, SEMIKRON, 2012.
- [17] —, **Application Note 7004, IGBT Driver Calculation**, SEMIKRON, 2007.
- [18] **Application Note 5314, Active Miller Clamp**, AVAGO, 2010.